HITACHI

No. 00021

CL32W35TAN
CL28W35TAN
C32W35TN
C32W40TN
C28W40TN

SERVICE MANUAL
MANUEL D'ENTRETIEN
WARTUNGSHANDBUCH

CAUTION:
Before servicing this chassis, it is important that the service technician read the "Safety Precautions" and "Product Safety Notices" in this service manual.

ATTENTION:
Avant d'effectuer l'entretien du châassis, le technicien doit lire les «Précautions de sécurité» et les «Notices de sécurité du produit» présentés dans le présent manuel.

VORSICHT:
Vor Öffnen des Gehäuses hat der Service-Ingenieur die „Sicherheitshinweise" und „Hinweise zur Produktsicherheit" in diesem Wartungshandbuch zu lesen.

Data contained within this Service manual is subject to alteration for improvement.

Les données fournies dans le présent manuel d'entretien peuvent faire l'objet de modifications en vue de perfectionner le produit.

Die in diesem Wartungshandbuch enthaltenen Spezifikationen können sich zwecks Verbesserungen ändern.

TECHNICAL SPECIFICATIONS

TV Standard ..... 625 lines, STANDARD I (UK) B/G/H, L/L', (Export)

Channel coverage..... UHF Channels (UK) UHF/VHF Hyper band (Export)

Aerial input impedance .....75ohm Unbalanced

Programme Selectors ..... Channel UP/DOWN buttons with 60 programme remote control CH direct input Frequency direct input

Power Consumption	Picture Tube
28W30 ..... TBA	66 cm Type
28W35 ..... 120W	66 cm Type
28W40 ..... 115W	66 cm Type
32W30 ..... TBA	76 cm Type
32W35 ..... 126W	76 cm Type
32W40 ..... 120W	76 cm Type

Standby Power Consumption ..... <6W
Mains Voltage ..... 220V/210V 50 Hz
Fuse..... T4.0A Type
Focusing..... Electro static

SPÉCIFICATIONS TECHNIQUES

Standard TV..... 625 lignes, STANDARD: R-U B/G/H. L/L': (Export)

Couverture de canaux..... Canaux UHF (R-U) UHF/VHF Band hyper (Export)

Impédance d'entrée d'antenne..... 75 ohms Non équilibrée

Sélecteurs de programmes .....Touches de Sélection de canaux HAUT/BAS Avec 60 programmes Télécommande Entrée directe canal (CH) Entrée directe fréquence

Consommation électrique	Tubes-images
28W30 ..... TBA	66 cm Type
28W35 ..... 120W	66 cm Type
28W40 ..... 115W	66 cm Type
32W30 ..... TBA	76 cm Type
32W35 ..... 126W	76 cm Type
32W40 ..... 120W	76 cm Type

Consommation en mode veille ..... <6W
Tention secteur ..... 220V/240V 50 Hz
Fusible ..... Type T4 0A
Mise au point ..... Electrostatique

SPECIFICATIONS TECHNIQUES

Fernsehnorm ..... 625 Zeilen, Fernsehnorm I (nur GB) Fernsehnorm B/G/H, L/L

Kanäle..... UHF-Bereich (GB) UHF-/VHF-/Hyperband-Bereich (Export)

Antenneneingangsimpedanz ..... 75 ohn Unsymmetrisch

Senderwahl.....AUF/AB-Taste auf Fernbedienung für 60 Sender Senderdirekteingabe Frequenzdirektingabe

Leistungsaufnahme	Bildröhre
28W30 ..... TBA	66 cm Type
28W35 ..... 120W	66 cm Type
28W40 ..... 115W	66 cm Type
32W30 ..... TBA	76 cm Type
32W35 ..... 126W	76 cm Type
32W40 ..... 120W	76 cm Type

Leistungsaufnahme im Standby-Modus ... <6W
Netzspannung ..... 220 V - 240 V, 50 Hz
Sicherung T4.0A
Fokusierung..... Elektrostatisch

May 1999

ENGLISH 3
SAFETY 3
SAFETY PRECAUTIONS 3
CIRCUIT DESCRIPTION 4
D8/A8 CHASSIS ALIGNMENT PROCEDURE 4
DIGITAL COMB FILTER – TOSHIBA TC9090AF. 13
SCAN VELOCITY MODULATION. 13
DIGITAL DOUBLE SCAN CONVERSION UNIT (FEATURE BOX) 13
INPUT PROCESSOR - PHILIPS TDA 9320. 14
PICTURE IMPROVEMENT - PHILIPS TDA 9178 15
TUNER 15
RGB PROCESSOR - TDA 9330. 15
SIGNAL PATH DESCRIPTION 16
AUDIO CIRCUIT 16
AUDIO OUTPUT 17
DOLBY DECODER. 17
DEFLECTION 17
HIGH END FEATURE BOX 18
LOW END FEATURE BOX 18
MICROCONTROLLER SECTION ON THE A8/D8 CHASSIS 19
POWERED CONSOLE 26
DIGITAL SECTION 27
GENERAL BLOCK DIAGRAM 28
COFDM FRONT-END PCB 29
MPEG DECODER AND AV/GRAPHICS PCB 37
CONNECTOR SPECIFICATION 60
A8/D8 PSU 66
DTI PSU 67
SERVICING 69
SERVICE. 69
SELF DIAGNOSTICS 71
DIAGNOSTIC INTERFACE 73
FRANÇAIS 74
SÉCURITÉ 74
CONSIGNES DE SECURITE 74
DESCRIPTION DU CIRCUIT 75
PROCEDURE D'ALIGNEMANT DU COFFRET D8/A8 75
FILTRE-PEIGNE NUMÉRIQUE 84
MODULATION DE LA VITESSE DE BALAYAGE 84
GROUPE DE CONVERSION NUMÉRIQUE À DOUBLE VISIONNEMENT (COFFRET DES FONCTIONS). 84
PROCESSEUR D'ENTRÉE – PHILIPS TDA 9320 85
AMÉLIORATION DE L'IMAGE - PHILIPS TDA 9178 86
TUNER 86
PROCESSEUR RGB - TDA 9330 86
DESCRIPTION DE LA TRAJECTOIRE DES SIGNAUX 87
CIRCUIT AUDIO 87
SORTIE AUDIO 88
DÉCODEUR DOLBY 88
DEFLEXION 89
CASE DE FONCTIONS EXTRÉMITÉ HAUTE 90
CASE FONCTIONS EXTRÉMITÉ BASSE 90
SECTION DU MICROCONTRÔLEUR DU CHÂSSIS A8/D8 91
CONSOLE D'ALIMENTATION 99
DESCRIPTION GÉNÉRALE 100
SCHÉMA SYNOPTIQUE 101
CIRCUIT IMPRIMÉ FRONTAL COFDM 102
CIRCUIT IMPRIMÉ DE DÉCODEUR MPEG ET AV/GRAPHIQUES 110
SPÉCIFICATION DES CONNECTEURS 132
ALIMENTATION A8/D8 139
ALIMENTATION DTI 140
ENTRETIEN COURANT 142
SERVICE. 142
AUTO-DIAGNOSTIC 146

INTERFACE DE DIAGNOSTIC. 148
DEUTSCH 149
SICHERHEIT 149
SICHERHEITSVORKEHRUNGEN 149
SCHALTUNGSBESCHREIBUNG 150
D8/A8 VERFAHREN ZUM GRUNDPLATTENABGLEICH 150
DIGITALER KAMMFILTER – TOSHIBA TC9090AF. 159
MODULATION DER ABTAST-GESCHWINDIGKEIT. 159
DIGITALES DOPPELABTASTUNGS-UMWANDLUNGS-AGGREGAT (ZUSATZ-KASTEN). 159
EINGABE-PROZESSOR - PHILIPS TDA 9320. 160
BILDVERBESSERUNG - PHILIPS TDA 9178. 161
TUNER. 161
RGB PROZESSOR - TDA 9330. 161
BESCHREIBUNG DES SIGNALWEGS. 162
AUDIO-SCHALTKREIS. 162
AUDIO-AUSGABE 163
DOLBY DECODER. 163
ABLENKUNG 163
„HÖHERE“ FEATURE BOX 165
„NIEDRIGE“ FEATURE BOX. 165
MIKROCONTROLLER-ABSCHNITT AUF DER A8/D8 GRUNDPLATTE 166
MIT STROM VERSORGTE KONSOLE 175
DIGITALER TEIL 175
BLOCKSCHALTBILD 177
COFDM EINGANGS-FLACHBAUGRUPPE 178
MPEG DECODER UND AV/GRAFIK FLACHBAUGRUPPE 187
STECKER-SPEZIFIKATION 210
A8/D8 NETZTEIL 217
DTI-NETZTEIL 218
WARTUNG 220
WARTUNG 220
SELBST-DIAGNOSE. 223
DIAGNOSE-SCHNITTSTELLE. 224
WAVEFORMS 225
IC DATA 230
I200 230
IE02 235
MECHANICAL 238

ENGLISH

SAFETY

SAFETY PRECAUTIONS

WARNING: The following precautions must be observed.

ALL PRODUCTS

1. Before any service is performed on the chassis an isolation transformer should be inserted between the power line and the product.
2. When replacing the chassis in the cabinet, ensure all the protective devices are put back in place.
3. When service is required, observe the original lead dressing. Extra precaution should be taken to ensure correct lead dressing in any high voltage circuitry area.
4. Many electrical and mechanical parts in HITACHI products have special safety related characteristics. These characteristics are often not evident from visual inspection, nor can the protection afforded by them necessarily be obtained by using replacement components rated for higher voltage, wattage, etc. Replacement parts which have these special safety characteristics are identified by marking with a ⚠ on the schematics and the replacement parts list. The use of a substitute replacement component that does not have the same safety characteristics as the HITACHI recommended replacement one, shown in the parts list, may create electrical shock, fire, X-radiation, or other hazards.
5. Always replace original spacers and maintain lead lengths. Furthermore, where a short circuit has occurred, replace those components that indicate evidence of overheating.
6. Insulation resistance should not be less than 2M ohms at 500V DC between the main poles and any accessible metal parts.
7. No flashover or breakdown should occur during the dielectric strength test, applying 3kV AC or 4.25kV DC for two seconds between the main poles and accessible metal parts.
8. Before returning a serviced product to the customer, the service technician must thoroughly test the unit to be certain that it is completely safe to operate without danger of electrical shock. The service technician must make sure that no protective device built into the instrument by the manufacturer has become defective, or inadvertently damaged during servicing.

CE MARK

1. HITACHI products may contain the CE mark on the rating plate indicating that the product contains parts that have been specifically approved to provide electromagnetic compatibility to designated levels.
2. When replacing any part in this product, please use only the correct part itemised in the parts list to ensure this standard is maintained, and take care to replace lead dressing to its original state, as this can have a bearing on the electromagnetic radiation/immunity.

PICTURE TUBE

1. The line output stage can develop voltages in excess of 25kV; if the E.H.T. cap is required to be removed, discharge the anode to chassis via a high value resistor, prior to its removal from the picture tube.
2. High voltage should always be kept at the rated value of the chassis and no higher. Operating at higher voltages may cause a failure of the picture tube or high voltage supply, and also, under certain circumstances could produce X-radiation levels moderately in excess of design levels. The high voltage must not, under any circumstances, exceed 29kV on the chassis (except for projection Televisions).
3. The primary source of X-radiation in the product is the picture tube. The picture tube utilised for the above mentioned function in this chassis is specially constructed to limit X-radiation. For continued X-radiation protection, replace tube with the same type as the original HITACHI approved type
4. Keep the picture tube away from the body while handling. Do not install, remove, or handle the picture tube in any manner unless shatterproof goggles are worn. People not so equipped should be kept away while picture tubes are handled

LASERS

If the product contains a laser avoid direct exposure to the beam when the cover is open or when interlocks are defeated or have failed.CIRCUIT DESCRIPTIONCIRCUIT DESCRIPTION

CIRCUIT DESCRIPTION

D8/A8 CHASSIS ALIGNMENT PROCEDURE

APPLICATIONS

THIS SPEC. SHOULD BE APPLIED TO ALL UK AND EXPORT, A8 RECEIVERS

P.W.B ASSEMBLY ADJUSTMENT

FOR SIGNAL

PREPARATION ADJUSTMENT

- +B adj. VR982.....Centre
- Screen VR (FBT).....Counter-clockwise fully
- Turn on set. Adjust +B to approximately 152V. (Pre adjustment only - final adjustment in +B VOLTAGE ADJUSTMENT section)
- If flaring is observed adjust L501 until a clean video signal is seen on the oscilloscope video out port.

For models which have a flash device fitted, ensure that the service information reads **FLASH: x.x** instead of **Code: x.x** for the software version.

STANDARD AFC ALIGNMENT

To reduce the influence of circuit temperature drift, let the television warm up by leaving it operating normally for more than two minutes.

- Receive a 'PAL I' signal by selecting **program 3** via the remote control handset.
- Receive a signal level of +60 dBuV at 623,25MHz (CH40) by **direct frequency entry** under the CH option.
- Set AFC offset (in service - options) to the centre position.
- In the tuner menu select standard I.F AFC and press either '<' or '>' on the remote control to activate the automatic AFC setting procedure.
- If the indicator bar goes either end, then returns to the centre, adjust L201 one turn and then return to step 3, continue this until the indicator bar no longer jumps back to the centre.

L' AFC ALIGNMENT (FOR EXPORT MODELS ONLY).

- To reduce the influence of circuit temperature drift, let the television warm up by leaving it operating normally for more than two minutes.
- Receive an L' signal by **selecting program 14** via the remote control hand-set.
- Receive a signal level of +60 dBuV at 63,75MHz (CH4) by **direct frequency entry** under the CH option.
- In the tuner menu select L' I.F AFC and press '<' or '>' on the remote control.
- If the bar goes to either end then returns to centre, adjust L201 one turn and then return to step 3, continue this until the indicator bar no longer jumps back to the centre.

Because the set up procedures are interactive it is necessary to repeat all procedures from **STANDARD AFC ALIGNMENT** until no adjustment of L201 is required.

AGC ALIGNMENT

- To reduce the influence of circuit temperature drift, let the television warm up by leaving it operating normally for more than two minutes.
- Connect a voltmeter of at least 100K internal resistance to the A.G.C. terminal of the tuner.
- Receive channel 40 (623.25mhz) at +60dBuV.
- Adjust the A.G.C. using the A.G.C take-over option in the tuner sub menu until the A.G.C. voltage is 2.8V +/- 0.1V.

POWER AND DEFLECTION ADJUSTMENT

+B VOLTAGE ADJUSTMENT

- AC input voltage = 230V ± 5V/50Hz
- Turn +B voltage (R982) to mid-point (if pre-adjustment not done).
- Receive Philips circuit pattern. Switch on chassis and set the brightness and contrast to maximum.
- After applying heat run for 1 MIN. or more, turn R982 gradually and adjust +B (re-check after 30 secs)

Measuring point : +B voltage C958 + side
Gnd C958 - side

- Set the value of +B voltage to the value shown in the table below.

MODEL	+B VOLTAGE (V)
All D8	151V ± 0.2V
All A8	148V ± 0.2V

	Min Load	Max Load
+8V = 8V ± 5%	0.3A	0.8A
+5V = 5V ± 5%	0.3A	0.8A
+16V = 16V ,+3V – 0.5V	0A	1.6A
+16V(Phono) = +16V, (+ 3V, - 1V)	0A	200mA
+B	0.2A	0.8A

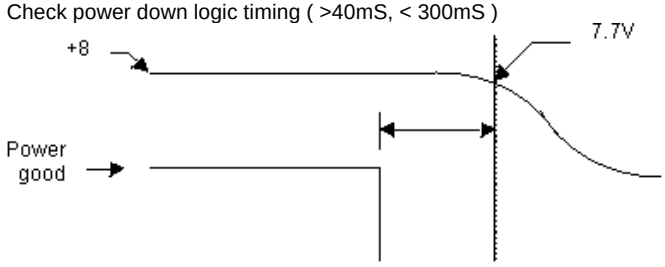
- Check + B voltage in standby > 145V and < 160V.

Short circuit test (all rails). PSU should go into standby/reset/lockup (supply may have to be removed to restart). Audio rail should be tested , Q921 source to 0V.

POWER AND DEFLECTION ADJUSTMENT

POWER GOOD LINE

- Set picture to same conditions as above.
- Measure pin 2 I903. Should be HI, if LOW then cut R962 (if fitted). If HI but no power down timing (see below) then cut R955 (if fitted).
- Check power down logic timing (>40mS, < 300mS)



- After setting power good , check operation at 200V AC mains

PRIMARY CURRENT LIMIT

(Pre-set R980 to mid point)

Rail	Trip Load	Check Load	Trip Power	Check Power
+B	1.2ADC	1.1A	180W	165W
+16V	2.24ADC	1.65A	36W	26W
+11V (+5, +8)	1.60A	1.60A	18W	18W
TOTAL W			234W	209W

- In standby apply full load +40%, to the +B & audio/+11V rails (dynamic load) as table above.
- Adjust R980 until set trips out .
- In standby apply check load. PSU should not trip.

STANDBY OPERATION CHECK

- Check all rails (except +B and standby +5V) go to 0V.
- Check +B does not rise above 160V

GENERAL SAFETY CHECKS

- High voltage BEAB test to confirm components across barrier (including sub board).
- Deg relay insertion orientation test (relay can be fitted inverted on main and sub PSU console stand). + Job instruction to show orientation of relay.

SUB BOARD PSU CHECK (DTT/BASS/CONSOLE PSU)

- Short circuit test (all rails)
- Output voltage test (all rails), see table.
- Standby operation. All rails should be off. +10V remains to supply, sub PSU & opto.
- Full load operation check.

RAIL	DTT	BASS	CONSOLE
38V	/	0.62A	0.62A
32V	/	/	0.92A
9V	400mA	/	/
5.1V	1.5A	Used for mute	Used for mute
3V3	2.7A	/	/
30V	10mA	/	/
12V	10mA	/	/

DTT +5V SETTING

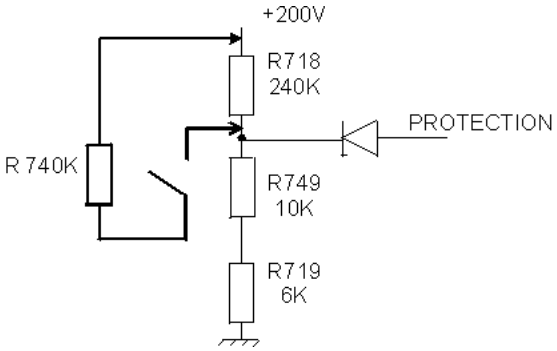
- Set VR1 to approx. centre position (10kΩ).
- Turn power on applying external load, see table.
- Adjust VR1 making sure +5.2V rail is within ± 0.05V.

SUB-BOARD MUST BE BEAB TESTED IN A SET OR CONSOLE STAND.

HIGH VOLTAGE LIMITER CIRCUIT CHECK

- Mount the PW board to the set and adjust normally.
- Receive the circle pattern signal.
- Set the contrast and brightness to maximum.
- Add R=470K in parallel with R718 and R718A.
- Check that picture and sound disappear when R is added.

NOTE:
High voltage limiter circuit jig:



	R719	R749
2		
25",28"	47K	4K7
28" 16/9	47K	4K7
32" 16/9	47K	4K7

ANODE/FOCUS SHORT-CIRCUIT TEST PROTECTION CIRCUIT CHECK

- Add a dc voltage to R760 until set trips (The dc level should be equivalent to 1.7 x (+B current peak value)

0.6 VDC R760 SET **SHOULD NOT** TRIP
1.6 VDC R760 SET **SHOULD** TRIP

FINAL ANODE VOLTAGE LEVEL CHECK.
Please check on all A8 models that the final anode voltage does not exceed the voltages stated.

28" widescreen	31kV
32" widescreen	32kV

This test should be carried out with the brightness and the contrast set to minimum.

FOR FEATURE BOX (A8 ONLY)

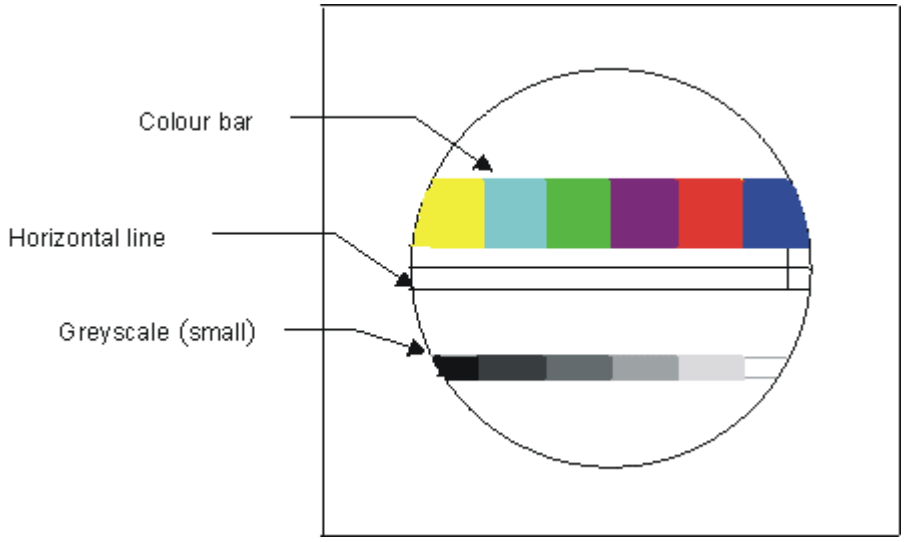
5V & 8V SHORT CIRCUIT CHECK USING FEATURE BOX BOARD

- Measure the resistance between 5V (EU11, pin1) and GND (EU11, pin3) by multi-meter. If the meter shows 62.5 ± 4Ω, The FEATURE BOX is OK.
- Measure the resistance between 8V (EU11, pin6) and GND (EU11, pin3) by multi-meter. If the meter shows 1.29 ± 0.1kΩ, The FEATURE BOX is OK.

If these resistance are not correct, Please check solder bridge or solder losing around IU03 (SDA9272).

FEATURE BOX OPERATION CHECK

- Fit FEATURE BOX onto main board.
- Receiving circle pattern (PAL), checking the picture quality. **Check**: Horizontal line is stable (see horizontal line). <----- Only for 2897,W35 models Colour bar part is correct (see colour bar). White part of picture is pure white(see greyscale).



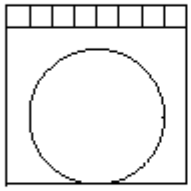
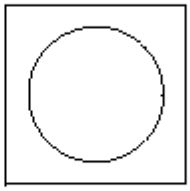
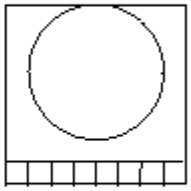
- Check the progressive scan/100Hz operation by handset (scan-key) <----Only for 2897,W35 models.
- Change sharpness , CTI , compression (14:9, 4:3 & zoom), noise reduction (low, mid & high) by handset. Check the total performance. Whenever digital noise is appears on the picture, or miss operation occurs, reject the feature box.

Receive an NTSC signal , check same items as PAL.

PICTURE POSITION/SHAPE

HORIZONTAL PHASE
VERTICAL CENTRE
VERTICAL AMPLITUDE

- Wait 5 minutes minimum after switching on the mains before adjustment.
- Receive the Philips circle pattern.
- Set brightness and contrast to maximum.
- The set should face North or South.
- AC input should be 230V ± 5V 50Hz.
- Adjust software control (using PC / HAND SET)
- Adjust control so that the centre of the picture is as in the diagram below.

	Upper: Extends Lower: Shrinks	Standard	Upper: Shrinks Lower: Extends
Picture Condition			
Size	Adjust until upper part of castillations disappear	Adjust until both sides of castillations disappear.	Adjust until lower parts of castillations disappear.

Note:
The picture should be exaggerated as to create a barrel type picture at the vertical edges. The compensation to achieve this barrel picture should be 3 steps passed the normal vertical edge position. This is to compensate for the pin cushion effect noticeable on the OSDs.

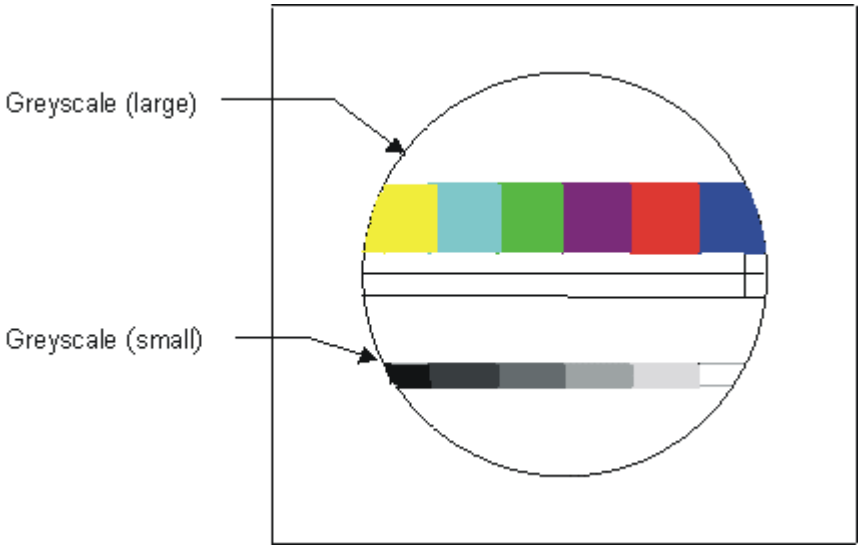
TILT
PARABOLA
WIDTH

- Allow 5 minutes warm up time before adjustment.
- Receive Philips circle pattern.
- Set brightness and contrast to nominal.
- The set should face North or South.
- AC input should be 230V ± 5V 50Hz.
- Adjust software so that the vertical lines at the outside edges of the screen are adjusted to be roughly vertical.
- Adjust the software so that the (approximately) vertical lines at the sides of the screen are adjusted as vertical as the centre of the screen.
- Adjust the software so that the castillations at the sides of the picture are not quite visible. Reduce the brightness and contrast to make sure that the picture width has not reduced so that you can see beyond the castillations. You may have to repeat stages 6 and 7 again.

NOTE. For all 16:9 receivers the picture should be first set up in 16:9 mode, then final adjustment for parabola and corner correction only to be carried out in 4:3 mode.

FOCUS ADJUSTMENT

- Receive the Philips circle pattern.
- Adjust after horizontal/vertical has been adjusted.
- Switch the received signal to the cross hatch signal.



- Turn the focus VR gradually clockwise from the full counter clockwise position so that the focus of the vertical line in the centre part, furthest to the right is adjusted for best result (contrast - maximum, brightness - normal).

WHITE BALANCE ADJUSTMENT

- Receive 100% white signal. (Do not use factory signals, use generator through RF, for improved signal)
- Set Colour Saturation to centre
- Adjust Red and Blue bars using the 'white point' menu Measurement to be made at 10cd

CL Model	7400^{o}K
W30 Models	8700^{o}K
C Model	9300^{o}K

All new models from August 1999 (including the W30), the colour temperature should be set to 8700K

TEXT BRIGHTNESS

- Set text pattern to white box test pattern
- Adjust brightness to 90Cd/m^{2}

CUT-OFF ADJUSTMENT

- Rough Adjustment.
- Set video mode with no signal.
- Turn screen pot of FBT until lines disappear.
- Fine Adjustment.
- Select A.V mode without any signal applied.
- Service »» white point »» more on bottom line. You can see
  0+ or **i-** or **0-**

This is an indication of the black current status (cut-off). Adjust it to 'i-' with screen pot of FBT.

PICTURE SOFTWARE SETTINGS.

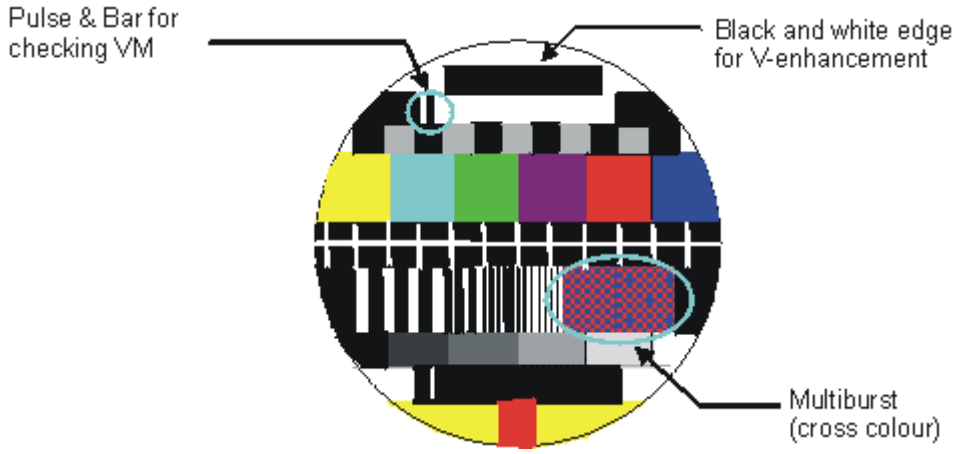
SEE SHIPPING SPEC. TABLES AT THE END OF THIS DOCUMENT.

RGB SHIFT

- Receive RGB signal from scart, and SERVICE»» HORIZONTAL»» RGB SHIFT by handset.
- Adjust the horizontal picture position by changing RGB SHIFT.

COMBFILTER OPERATION CHECK

- Receive Philips circle test pattern. PICTURE»» MORE»»COMBFILTER by handset
- Ensure the combfilter is ON using handset and watch the multiburst making sure there is no 'Cross Colour'.



- Check "VERTICAL ENHANCEMENT" by watching horizontal edge of black and white.
- Check the total picture quality.

VM OPERATION CHECK

- Receive Philips circle pattern.

PICTURE»» MORE»» VM by handset
Check the bar width changes wider (see above) when VM is switched ON by handset.

DTT MODULE FUNCTION CHECK LIST.

FUNCTION Reception Lower Channel (ch.21)	**OK STATUS**
Video Output	No error
RGB Output	No error, right colour
Audio Output	L/R out, No error
BER*	under 7.00E-003
Reception Centre Channel (ch.41)	
Video Output	No error
RGB Output	No error, right colour
Audio Output	L/R out, No error
BER*	under 7.00E-003
Modem	
RS232	
Output from Module	Indicate running software status correctly
Input to Module	Possible to input command
PCMCIA	
Software Upgrade from PC Card	Possible to upgrade
RF Output	Check the function of the RF output terminal for a gain of +2dB/-3dB.
	Reduce the level of the digital test signal to -65dBm, there should be no blocking on screen. This test must be performed with the +5V supply adjusted so that its voltage is set to the minimum, inside the tolerance i.e. 5.1V - 1% = 5.05 V.

OVER-LOAD PROTECTION CHECK.

- To check for tripping during maximum load for picture, set a signal generator to Black to White bounce signal.

SHIPPING SPEC. TABLES

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	Contrast	Brightness	Colour	Sharpness	More…	Noise Reduction	Comb Filter	CTI	VM	White Point	Black Stretch
1	C28W40TN(A)	100%	50%	50%	50%		Off	N/A	Off	On	Normal	Off
2	C32W30TN(A)	100%	50%	50%	50%		Low	N/A	Off	N/A	Normal	On
3	C32W35TN(A)	100%	50%	50%	50%		Off	Off	Off	Off	Normal	On
4	C32W40TN(A)	100%	50%	50%	50%		Off	N/A	Off	On	Normal	Off
5	C32W2000N	100%	50%	50%	50%		Off	Off	Off	Off	Normal	On
6	CL28W30TAN(A)	100%	50%	50%	50%		Low	N/A	Off	N/A	Normal	On
7	CL28W35TAN(A)	100%	50%	50%	50%		Low	Off	Off	Off	Normal	On
8	CL32W30TAN(A)	100%	50%	50%	50%		Low	N/A	Off	N/A	Normal	On
9	CL32W35TAN(A)	100%	50%	50%	50%		Low	Off	Off	Off	Normal	On

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	Volume	Loudness	more	Mode	Graphic Equaliser		Sound Mode		100Hz/ Progressive Scan		Digital/ Analogue Mode		16:9 Mode
1	C28W40TN(A)	10%	Off		1	50%		Pro Logic		N/A		Digital		Auto
2	C32W30TN(A)	10%	Off		1	50%		N/A		100Hz		Analogue		Auto
3	C32W35TN(A)	10%	Off		1	50%		Pro Logic		Progressive		Analogue		Auto
4	C32W40TN(A)	10%	Off		1	50%		Pro Logic		N/A		Digital		Auto
5	C32W2000N	10%	Off		1	50%		Pro Logic		Progressive		Analogue		Auto
6	CL28W30TAN(A)	10%	Off		1	50%		N/A		100Hz		Analogue		Auto
7	CL28W35TAN(A)	10%	Off		1	50%		Pro Logic		Progressive		Analogue		Auto
8	CL32W30TAN(A)	10%	Off		1	50%		N/A		100Hz		Analogue		Auto
9	CL32W35TAN(A)	10%	Off		1	50%		Pro Logic		Progressive		Analogue		Auto

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	Sleep Timer	Default Zoom	Default 4:3	Auto Wide Detection		Language		Surround Set-up	Seating Position		Internal Speakers	Centre Channel
1	C28W40TN(A)	Off	Panoramic	Panoramic	On		English		100%	Mid		On	Normal
2	C32W30TN(A)	Off	Panoramic	Panoramic	On		English		N/A	N/A		On	N/A
3	C32W35TN(A)	Off	Panoramic	Panoramic	On		English		100%	Mid		On	Normal
4	C32W40TN(A)	Off	Panoramic	Panoramic	On		English		100%	Mid		On	Normal
5	C32W2000N	Off	Panoramic	Panoramic	On		English		100%	N/A		On	Phantom
6	CL28W30TAN(A)	Off	Panoramic	Panoramic	On		English		N/A	N/A		On	N/A
7	CL28W35TAN(A)	Off	Panoramic	Panoramic	On		English		100%	Mid		On	Phantom
8	CL32W30TAN(A)	Off	Panoramic	Panoramic	On		English		N/A	N/A		On	N/A
9	CL32W35TAN(A)	Off	Panoramic	Panoramic	On		English		100%	Mid		On	Phantom

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	AV1 VCR Mode	AV1 SAV Mode	AV2 VCR Mode	*AV2 Output Mode	AV3 VCR Mode		B/G	Other	VHF	AFC Offset	L' Offset		3DS Mode
1	C28W40TN(A)	On	Auto	On	RF	Off		Off	I	Off	11	76		Off
2	C32W30TN(A)	On	Auto	Off	RF	Off		Off	I	On	11	76		N/A
3	C32W35TN(A)	On	Auto	Off	RF	Off		Off	I	Off	11	76		Off
4	C32W40TN(A)	On	Auto	On	RF	Off		Off	I	Off	11	76		Off
5	C32W2000N	On	Auto	On	RF	Off		Off	I	Off	11	76		On
6	CL28W30TAN(A)	On	Auto	Off	RF	Off		On	L/L'	On	11	76		N/A
7	CL28W35TAN(A)	On	Auto	Off	RF	Off		On	L/L'	On	11	76		On
8	CL32W30TAN(A)	On	Auto	Off	RF	Off		On	L/L'	On	11	76		N/A
9	CL32W35TAN(A)	On	Auto	Off	RF	Off		On	L/L'	On	11	76		On

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	RGB Shift	Text Shift		R, G, B	Cool Offset	Warm Offset		Cathode Level	C Delay	Text Brightness	SECAM Offset		Current Text Mode
1	C28W40TN(A)	35	31		32	4	4		83V	3	31	N/A		Single
2	C32W30TN(A)	35	31		32	4	4		71V	3	31	N/A		Single
*	C32W35TN(A) (Old FB/New FB)	35	31		32	4	4		62V/71V	3	31	N/A		Single
4	C32W40TN(A)	35	31		32	4	4		83V	3	31	N/A		Single
5	C32W2000N (Old FB/New FB)	35	31		32	4	4		62V/71V	3	31	N/A		Single
6	CL28W30TAN(A)	35	31		32	4	4		71V	3	31	16		Single
7*	CL28W35TAN(A) (Old FB/New FB)	35	31		32	4	4		62V/71V	3	31	6/16		Single
8	CL32W30TAN(A)	35	31		32	4	4		71V	3	31	16		Single
9*	CL32W35TAN(A) (Old FB/New FB)	35	31		32	4	4		62V/71V	3	31	6/16		Single

SERVICE DATA SETTINGS. This is the data set in SERVICE mode for various models.

	Model No.	Top Text	Text Modes	Processor	Tube Type	M Gating		Hotel Mode	No Standby	Prog.	Max. Volume	DTT Prog.	Unit ID
1	C28W40TN(A)	Off	SGL	JBL		Off		Off	Off	1	50%	1	1
2	C32W30TN(A)	Off	SGL	JBL		Off		Off	Off	1	50%	N/A	1
3	C32W35TN(A)	Off	SDS	JBL		Off		Off	On	1	50%	N/A	1
4	C32W40TN(A)	Off	SGL	JBL		Off		Off	Off	1	50%	1	1
5	C32W2000N	Off	SDS	JBL		Off		Off	Off	1	50%	N/A	1
6	CL28W30TAN(A)	On	SGL	JBL		Off		Off	On	1	50%	N/A	1
7	CL28W35TAN(A)	On	SDS	JBL		Off		Off	On	1	50%	N/A	1
8	CL32W30TAN(A)	On	SGL	JBL		Off		Off	On	1	50%	N/A	1
9	CL32W35TAN(A)	On	SDS	JBL		Off		Off	On	1	50%	N/A	1

DIGITAL COMB FILTER – TOSHIBA TC9090AF.

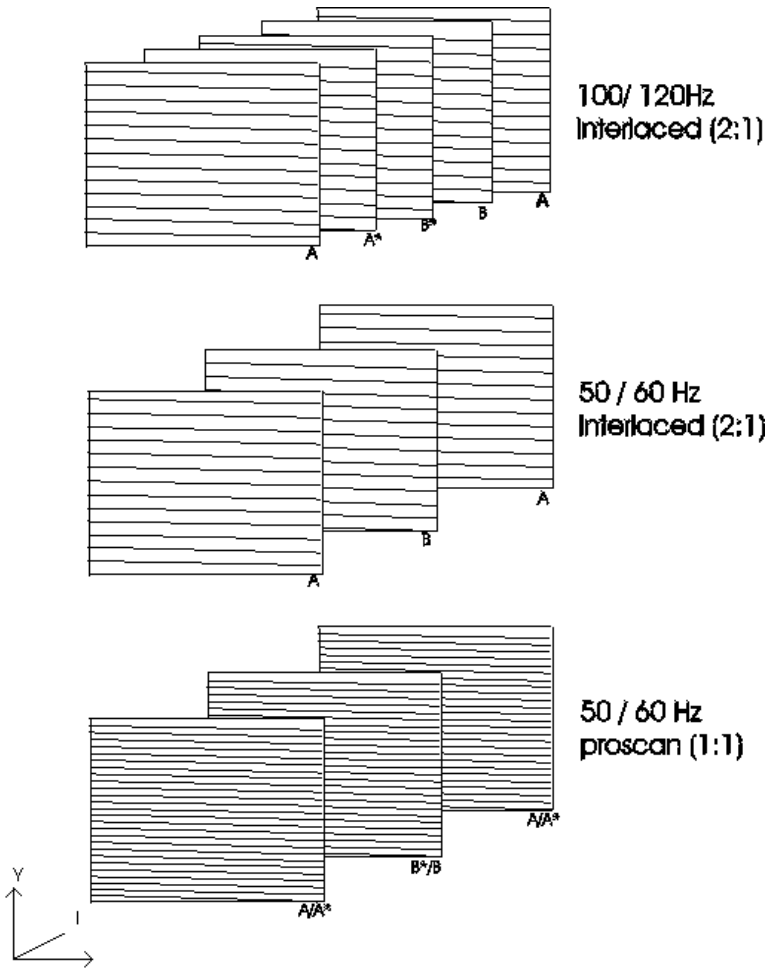
The operation of a comb filter is to separate the composite video into luminance and reconstruct the chrominance colour sub carrier signal using digital signal processing techniques. The comb filter IC, IN01 has an additional vertical edge enhancement feature. Composite video input (Pin 6 of connector E500) and colour sub-carrier (pin 8 of E500) are converted via an 8 bit analogue to digital converter where the vertical enhancement and digital comb filtering takes place. Separated luminance and chrominance output components are available via a digital to analogue 8 bit converter at pins 1 & 4 respectively.

SCAN VELOCITY MODULATION.

During transmission the signal sufferers from degradation and also due to the frequency characteristics of the television circuitry. This normally results in a gently rise or fall in the luminance change areas when black-to-white-to-black patterns are received.
The picture sharpness quality can be assessed by how steep the leading and trailing edges are. The scan velocity modulation circuit has been designed to improve picture quality, i.e. make the video signal edges steeper, by controlling the horizontal scanning velocity of the electron beam in the CRT.
The velocity modulation circuit produces a compensation signal by adding the RGB components then differentiating. The compensation signal is given some current gain, applied to the auxiliary coil (connector E806) on the neck of the cathode ray tube (CRT).
The VM circuit is located on the CRT base along with the final RGB amplifiers. The RGB signals derive from PL803 pins 4-6 and into emitter of Q861, through the differentiator C863, R891 arriving at the base of Q862 for voltage amplification and latter stages, power gain.

DIGITAL DOUBLE SCAN CONVERSION UNIT (FEATURE BOX).

The main feature of this unit is double scan frequency conversion, 100/120Hz interlaced and 50/60Hz progressive scan. Other features of this unit are CTI (Colour Transient Improvement), horizontal compression, noise reduction, sharpness and vertical zoom. These functions are controlled by I^2C bus and are provided elsewhere by the picture improvement IC, TDA 9178 (IE01) for digital models without 100Hz/progressive scan.



Scan rate conversion mode for display

As the diagram shows, **A/B** are the Odd/Even original 50Hz signal fields which are used to create extra picture information, while **A*/B*** are the predicted/manipulated extra picture information, created by the feature box. Fig.1 shows the differences between 100/120Hz interlaced and 50/60Hz progressive scan. The biggest advantage of progressive scan is "non-interlaced" scanning; keeping the field frequency at 50/60Hz. This means the line construction is double per field, compared with 100/120Hz interlaced. It will make very fine pitch scan lines and will eliminate line flicker. The advantage of selecting 100Hz operation will be the reduction of large area flicker and will reduce the line flicker (except for A8 W30 100Hz models).

This unit is powered from +5V and +8V supplies, feeding into pins 21, 22 and 26 of E10 respectively. The three input 50Hz video signals Y, U, V are sent to this unit at pins 8, 10 and 12 of E11. The Y, U, V video output signals (double frequency video) are taken from pins 5, 3 and 1 of E11. The horizontal and vertical sync signals are input to this unit as a composite sync signal at 24 of E10, the double frequency horizontal and vertical sync signals outputs are from pins 30 and 31of E10.

INPUT PROCESSOR - PHILIPS TDA 9320.

The TDA9320 is a multistandard input processor. Features include:

VIDEO OUTPUTS/EXTERNAL INPUTS.

The input processor has provision for three CVBS inputs (1 internal & 2 external) and 2 Y/C inputs. The external CVBS inputs are used for the Scart sockets. The Y/C inputs are used for S-VHS and a third CVBS input. The circuit can detect whether CVBS or a Y/C signal is presented to AV3 input. The I.C. has 2 RGB inputs with fast switching. The switching of the various sources is controlled by I^2C and detection of a Comb filter can be made.

SYNCHRONISATION.

The sync separator is preceded by a controlled amplifier which adjusts the sync pulse amplitude to a fixed level. These pulses are fed to the slicing stage which is operating at 50% of the amplitude. The sync pulses are fed to the phase detector and to the coincidence detector. This coincidence detector is used to detect whether the line oscillator is synchronised and can also be used for transmitter identification. The PLL has a very high statical steepness so that the phase of the picture is independent of the line frequency.
For the horizontal output pulse, two conditions are possible:
An H_A pulse which has a phase and width which is identical to the incoming horizontal sync pulse.
A clamp pulse CLP which has a phase and width which is identical to the clamp pulse in the sandcastle pulse.
The H_A/CLP signal is generated by means of an oscillator which is running at a frequency of 440 x F_H. Its frequency is divided by 440 to lock the first loop to the incoming signal. The free running frequency of the oscillator is determined by a digital control circuit which is locked to the reference signal of the colour decoder. When the coincidence detector indicates an out of lock situation the calibration procedure is repeated.
The vertical pulse is obtained via a vertical count down circuit. The countdown circuit has various windows depending on the incoming signal (50/60Hz).

VISION I.F. AMPLIFIER.

The video signal is demodulated by means of a PLL carrier regenerator. This circuit contains a frequency detector and a phase detector. During acquisition the frequency detector will tune the VCO to the right frequency. After lock-in, the phase detector controls the VCO so that a stable phase relation between VCO and the input signal is achieved. The VCO is running at double the I.F. frequency with the reference signal for the demodulator obtained by means of a frequency divider circuit.
The AFC output is obtained by using the VCO control voltage of the PLL and can be read via the I^2C bus. The AGC detector operates on top sync and top white level. The time constant on the AGC system during positive modulation is long to avoid visible variations of the signal amplitude. To improve the speed of the AGC system a circuit has been included which detects whether the AGC detector is activated every frame period. When during 3 field periods no action is detected the speed of the system is increased. For signals without peak white information the system switches automatically to a gated black level AGC. Because a black level clamp pulse is required for this way of operation the circuit will only switch to black level AGC in the internal mode.
The circuit contains a video identification circuit which is independent of the synchronisation circuit. Therefore search tuning is possible when the display section of the receiver is used as a monitor.

CHROMA & LUMA PROCESSING.

The I.C. contains a chrominance bandpass filter , the SECAM cloche and chrominance traps. The filters are calibrated using the tuning frequency and the crystal frequency of the colour decoder. The luminance output signal which is derived from the incoming CVBS or Y/C signal can be varied in amplitude by means of a separate gain control.

COLOUR DECODING.

The colour decoder can decode PAL, NTSC and SECAM signals. The PAL / NTSC decoder contains an alignment free crystal oscillator with 4 separate pins, a killer circuit and two colour difference demodulators. The 90^o phase shift for the reference signal is made internally. Because it is possible to connect 4 different crystals to the colour decoder, all colour standards can be decoded without external switching circuits. Crystals not used must be left open. The horizontal oscillator is calibrated by means of the crystal frequency of the PLL.
The I.C. contains an automatic colour limiting circuit which is switchable which prevents over saturation when signals with a high chroma-to-burst ratio are received. The acl circuit is designed such that it only reduces the chroma signal and not the burst. This has the advantage that the colour sensitivity is not affected by this function.
The SECAM decoder contains an auto-calibrating PLL demodulator which has two references, the 4.43MHz sub-carrier frequency which is obtained from the crystal oscillator which is used to tune the PLL to the desired free running frequency and the bandgap reference to obtain the correct absolute value of the output signal. The VCO of the PLL is calibrated during each vertical blanking period, when the I.C. is in search or SECAM mode. The base-band delay line is integrated into the package.

PICTURE IMPROVEMENT - PHILIPS TDA 9178.

The picture improvement IC is an analogue video processor offering three main processing functions; luminance vector, colour vector and spectral processing. Features presently being implemented are; luminance transient improvement (LTI), colour transient improvement (CTI), variable gamma control and picture dependant non-linear Y and U, V processing by luminance histogram analysis.
The spectral processor provides luminance transient improvement, luminance detail enhancement by smart peaking and colour step improvement (CTI). The linewidth control may be user defined. The luminance vector processor, the transfer function is controlled in a non-linear manor by histogram analysis of measured luminance values measured in a picture. As a result the contrast ratio of the most important parts of the scene will be improved. A variable gamma function after the conversion offers the possibility of alternative brightness control or factory adjustment of the picture tube.
The following functions sharpness, noise reduction and colour transient improvement (CTI) are provided by the picture improvement IC for digital models, while 100Hz/progressive scan models provide these functions within the double scan module. All functions described are switchable/adjustable via I^2C control using the options in the service menu.
Y, U and V signals are taken from I200 pins 49, 50 & 51 and go straight into Y_{in} U_{in} and V_{in} (pins 6, 8 and 9 of IE01). The enhanced Y, U & V outputs originate from IE01 (pins 19, 17 & 16 respectively) and are directed to IE02 (pins 28, 27 & 26 respectively).

TUNER.

The tuner U100, is a frequency synthesis type with an unbalanced input, powered from the +5V rail while the tuning voltage is supplied by the +33V rail, supplied from the horizontal deflection circuit. Direct frequency access, channel selection, AGC and AFC functions are controlled via the I^2C bus. AGC, AFC and Offset controls may be selected by entering the service menu and selecting the 'tuner' option.
Pin 1, AGC is taken from pin 62 of TDA 9320. The balanced I.F. output is taken from pins 10 & 11, which are then arrive at both the inputs of the vision and sound SAW filters (pins 1 & 2). The outputs from X200 and X202 (pins 4 & 5 respectively) pass through to pins 2 & 3 and pins 63 & 64 of I200, where they are demodulated.

RGB PROCESSOR - TDA 9330.

VERTICAL DEFLECTION & GEOMETRY CONTROLS.

The drive circuit for the vertical and E-W deflection circuits are generated by means of a vertical divider which gets its clock from the line oscillator. The divider is synchronised by the incoming vertical pulse, generated by the input processor or the feature box.
The vertical drive is realised by means of a differential output current. The outputs must be DC coupled to the vertical output stage.
The vertical geometry can be adjusted by I^2C control via the service menu.

HORIZONTAL SYNCHRONISATION & DRIVE CIRCUIT.

The horizontal drive signal is obtained from an internal VCO which is running at a frequency of 13.75MHz. This oscillator is stabilised to this frequency by means of a resonant oscillator 12 MHz. The internal VCO is synchronised to the incoming horizontal H_d pulse by means of a PLL with an internal time constant. The horizontal drive signal generated by means of a second control loop which compares the phase of the reference signal from the internal VCO with the flyblack pulse. The time constant loop is internal.
The I.C. has a dynamic horizontal phase correction input which can be used to compensate phase shifts which are caused by beam current variations. Additional settings of the horizontal deflection which are realised via the second loop are the horizontal shift and the parallelogram correction.
The horizontal drive signal is switched on and off via the so called soft-start/soft-stop procedure. This function is realised by means of a variation to the T_{on} of the horizontal drive pulse. For EHT generators without bleeder the I.C. can be set in a fixed beam current mode. In that case the picture tube capacitance is discharged with a current of about 1mA which is determined by the black current feedback loop. With the fixed beam current option activated it is still possible to have a black screen during switch-off. This can be realised by placing the vertical deflection in an overscan position.
An additional function of the I.C. is the low-power start-up feature. This mode is activated when a supply voltage of 5V is supplied to the start-up pin. The required current for this function is 3mA typical. In this condition the horizontal drive signal has the normal T_{off} and T_{on} grows gradually from zero to about 30% of the normal value. This results in a line frequency of about 50kHz or 25kHz. The output signal remains unchanged until the mains voltage is switched-on. Then the horizontal drive signal will gradually change to the normal frequency and duty cycle via the soft-start procedure.
The I.C. has a general purpose bus controlled DAC output with a resolution of 6 bits and with an output voltage range between 0.2 to 4V.

INPUT SIGNALS.

The RGB control circuit of the TDA 9330 contains three sets of input signals.
Y, U, V, input signals which are supplied by the input processor or feature box. The nominal input signals for u and V are 1.33 $V_{Peak\text{-}to\text{-}Peak}$ and 1.05$V_{Peak\text{-}to\text{-}Peak}$ respectively. These input signals are controlled by brightness, contrast and saturation.
Two RGB sources are intended for use by the Scart, while the second is used for the OSD and teletext. The required input signal has an amplitude of 0.7$V_{Peak\text{-}to\text{-}Peak}$. The switching between the internal signal and the OSD signal can be realised via a fast blanking . this input is only controlled by brightness.
Switching between various sources can be realised via the I^2C bus and by fast insertion switches. The circuit contains switchable matrix circuits for the colour difference signal so that the colour reproduction can be adapted for PAL/SCAM and NTSC.

OUTPUT AMPLIFIER.

The output signal has an amplitude of around 2V black-to-white at nominal settings. The required white point setting of the picture tube is implemented by 3 separate gain settings for the RGB channels.

To obtain an accurate biasing of the tube, a continuous cathode calibration circuit is implemented by means of a two point black level stabilisation circuit. By inserting 2 test levels for each gun and comparing the resulting cathode currents with two different reference currents the influence of the picture tube parameters like the spread in cut-off voltage can be eliminated.

SIGNAL PATH DESCRIPTION.

The I.F. signal is obtained from SAW filters X200 (vision) and X202 (Sound) pins 4 & 5 and are fed into pins 2 & 3 vision and 63 & 64 sound of I200. A composite video signal is available at pin 10 from the vision demodulator. I.F. sound out from pin 6. The video is taken from pin 10 via C304 into pin 12 and out at pin 13. This is the selectable Group Delay via software input output. The composite video gets taken through buffer and filtering stages where the desired video returns to I200 at pin 14.
The AV switching matrix supports two Scart sockets, phono CVBS and S-VHS inputs. Scart CVBS inputs are at pins 20 (AV1 E301) and 16 (AV2 E302), CVBS outputs to Scart pins 19 from emitter of Q301 (AV1) and emitter of Q303 (AV2). The RGB input (Digital models) to I200 from the Digital Terrestrial Tuner (DTT) comes to pins 36-38, from P301 pins 9, 7 and 5, respectively. S-VHS input is via E300 to pin 23 & 24 of IE02, detection of CVBS input is detected within IE02. For models with progressive scan feature detection for a Comb filter has been fitted via Y/C input pins 28 & 29. Colour sub-carrier output for the Comb filter is form pin 30.
Y, U and V signals are taken from I200 pins 49, 50 & 51 and go straight into Y_{in} U_{in} and V_{in} (pins 6, 8 and 9 of IE01) for 50Hz operation, while 100Hz operation, Y, U, V signals are directed to pins 9, 10 & 12 of the double scan module (UQ01).
Other miscellaneous pins such as the sandcastle pin 59 is independent of the sandcastle pulse generated by IE02, they do not drive each other. The Vertical and Horizontal output pulses generated by I200 drive the double scan module, pins 18 & 19 respectively (100Hz operation) or the IE02 (50Hz operation) pins 23 & 24. I^2C control lines are pins 46 & 47, and tuner AGC control voltage is present at pin 62.
As already previously described Y, U, V signals in either 50Hz/100Hz/Progressive scan mode are sent to pins 26-28 of the TDA 9330 (IE02). Once inside the RGB processor, geometry and synchronisation functions can be implemented before being sent to the CRT base (pins 40-42 of IE02 & 3-5 of P302) for final video amplification and to the velocity modulation circuit.
The vertical drive output is provided by pin 1 & 2 of IE02 directly to I601 Vertical Output I.C. (pins 11 & 12). Horizontal output is from pin 8 of IE02 and feeds the base of Q701 Bipolar (50Hz), Q701B MOSFET (100Hz). East-West drive output can be obtained at pin 3 and is driving the gate of the East-West MOSFET Q700.
I^2C is present at pins 10 & 11 (IE02) and +8V supply rails at pins 7 & 17. Two sets of RGB inputs are available, only one set is used for the OSD, pins 35-37, the other is for a VGA board which is not fitted.

AUDIO CIRCUIT

The output from the Tuner T1 is fed via a gain and buffer stage formed by Q200 and Q201 to the Saw Filter X202. The saw filter has two separate characteristics depending on which of the two inputs (on pin 1 and 2 of the Saw Filter) the signal is applied to. Selection is achieved by the combination of Q204 and Q203. For most standards, pin 1 is selected. However, when an L' Signal has been selected , the micro (I001) instructs I200 via an I2C command to take pin 19 high. When this happens Q204 conducts taking pin 1low and switching Q203 and D203 off. This means that the collector of Q203 goes high allowing D202 to conduct and hence the signal to be applied to pin 2. To return to other broadcast standards, pin 19 of I200 is obviously returned to the low condition.
The output of the Saw is applied to pins 63 and 64 of I200. Here the Signal is transformed from the 1st IF (30 – 40 MHz depending on transmission standard) to the sound IF (5.5 to 6.5 MHz depending on the transmission standard).
I200 also provides AM demodulation for the L' and L standards. The demodulated signal appears superimposed on the Sound IF on pin 5 of I200.
This signal then takes two paths. The first takes it through a Low pass filter formed by R426 and C427 and coupling capacitor C426. This is then applied to pin 55 of I400 and forms the AM sound Input. The second path takes the signal through a amplifier and buffer stage formed by Q400 and Q401.
After these stages some high pass filtering is applied by C464 and R477 before the sound IF is applied to pin 60 of I400 via C431.
I400 is The MSP3410D. This IC provides Nicam , FM Mono and FM Stereo Demodulation as well as matrixing of the scart / digital receiver signals (If Fitted).
The AV1 input is applied on pins 52 and 53, the AV2 input on pins 49 and 50, the AV3 input on pins 46 and 47. The Digital input (DTT) is applied to pins 43 and 44 (when fitted). In Each case a 100R resistor and 330n capacitor is used.
The Scart outputs on I400 use the following protocol.

Scart Output	Output Signal	
	Non Digital Models	Digital Models
AV1	RF	Digital
AV2	Selectable or Auto*	Selectable or Auto*

*If auto is selected in the on screen menu's, AV2 follows the audio of what is being watched the device is I2C Controlled via pins 10 and 11 and receives a reset from the micro at power up on pin 24.The clock is provided by X406 on pins 62 and 63. The device has three supply rails, 5V Digital (Pin 18), 5v Analogue (Pin 57), and 8v Analogue (Pin 39).

AUDIO OUTPUT

The left, right, centre and surround signals are output from pins 29, 28 26 and 25 of the MSP3410D (I400) and are then applied to an operational amplifier (IF03) at pins 5, 10, 12 and 3 respectively. This adds 3dB of gain.
The outputs from IF03 for the left and right (pins 7 and 8) are supplied to both the audio amplifier (I401) via the attenuation networks R443 / R439 & R446 / R447 and the phono outputs via buffer transistors QF02 and QF01.
The centre and surround outputs from IF03 (pins 14 and 1) are only supplied to the phono outputs via buffer transistors QF22 and QF21.
The left and right output stage consists of one TDA7297 (I401) which is a dual bridge amplifier which in this case is driven to give 12W per channel @ 10% thd. The power output is limited by the Vcc supply to pins 3 & 13.
The left and right signals are input to pins 4 & 6 and the outputs obtained from pins 1& 2 and 14 & 15.

Warning. Neither output for either channel is connected to the chassis ground so caution must be taken if an oscilloscope and other mains operated equipment with a common earth is to be used simultaneously when checking the audio outputs.

The TDA7297 has two control lines on pins 6 & 7. These control inputs are high when the outputs are active and low when muted.
The outputs from pins 2 and 14 of I401 are connected directly to pins 2 and 3 of P400. The outputs from pins 1 and 15 are connected to pins 1 and 4 of P400 via the headphone socket J400. When a set of headphones is inserted the connections between I401 and P400 are broken. The left and right outputs from pins 1 and 15 of I401are connected to ground via C438 / R438 & the left headphone coil and C437 / R437 & the right headphone coil respectively. This method was used to limit the power dissipated in the headphones.
J400 also contains a switch for the 16V supply that appears at the rear single phono socket. When a suitable plug is inserted into the headphone socket the connection between pins 8 and 9 of J400 is broken removing the 16V from pin 8. This is sensed by pin 19 of I001 (the micro processor) via the potential divider R473 and R474, this tells I001 to change the audio menu's to the headphone versions (Dolby models only).
The 16V is also removed from the rear phono socket, this turns off the infra red surround sound speaker transmitter or the power console (if connected - not supplied with all models).
For non Dolby models the speaker leads are connected directly to P400. For Dolby models the internal speakers are connected from P400 via a sub panel screwed to the rear of the chassis frame. This houses two din type speaker sockets with internal switches. The switches disconnect the internal left and right speakers when a plug is inserted, thus allowing external left and right speakers to be fitted.

DOLBY DECODER.

The Dolby decoding is provided by IF01 (YSS241) The signals which are sent to this device from I400 in the I2S format, and are:-
SD0 (Pin Of I400) - the Left and Right channel data (before Dolby decoding)
SCK (Pin Of I400) - the system or bit clock
WS (Pin Of I400) - the word select line, provides selection between the Left and Right samples on the SDO Line.
IFO1 is provided with an 18.432 MHz clock via pin 1 of I400 (SYSCLK),a reset line from pin 4, and is I2C controlled. The Pro-logic signals that the device decodes are provided in I2S form at pins 40 and 41 (DACS1 and DALR) These signals are in a 32bit per channel format (The MSP4310D uses 16 bit) and must therefore pass through a conversion IC IF02. This IC also takes a Bit clock, DABC from pin 36 of IF01. IF02 then provides the 16 bit pro-logic I2S channels as SDI1 and SDI2 on pins 14 and 20 of I400.
I400 then passes these signals through DAC's so that the Left, Right, Centre and Surround signals appear at pins 29, 28,26 and 25 as Pre-L, Pre-R, Pre-C and Pre-S respectively. Theses are then amplified by 3dB by op-amp IF03 to become AmpL, AmpR, Centre and Surround. These then pass through a buffer and filter network to the four way phono plug JF01. The AmpL and AmpR signals split off before the buffers to the amplifier I401 via dividing resistors R443/R439 and R446/R447 and are decoupled by C443 and C445. The operation of the amplifier is explained elsewhere in this manual.

DEFLECTION

100HZ HORIZONTAL DEFLECTION STAGE (A8)

The 2H output from UQ01 (the feature box) from pin 30 is fed via K66 and RH03 to pin 24 of IE02 TDA9330 the "HOP".
The horizontal drive is then output from pin 8 is passed through an emitter follower stage (Q705) to the gate of Q701B. A mosfet is used to sharpen the switching edges and reduce the temperature of the power transistor Q751. The drain of Q701B is fed from the +B via R701 and the primary of the drive transformer T702. The secondary of the transformer drives the base of the power transistor Q751, the collector of which is supplied from the +B via R751, L700 and the primary of the FBT T701. The emitter is connected to ground via R760 a 1 Ohm 10W resistor (R760 should be kept away from Q751 heatsink to reduce heat transfer) which is a sense resistor for the protection circuit.
The capacitive divider network C717 and C708 produce a line pulse which is sampled by Z704 and clamped by D713 and D714 this is then returned to pin 13 of IE02.

50HZ HORIZONTAL DEFLECTION STAGE (D8)

The HA OUT from pin 60 of I200 TDA9320 the "HIP" is fed via K66 and RH03 to pin 24 of IE02 TDA9330 the "HOP".
The horizontal drive is then output from pin 8 is fed to the base of Q701. The collector of Q701 is supplied from the +B via R701 and the primary of the drive transformer T702. The secondary of T702 drives the base of the power transistor Q751. The collector of Q751 is supplied from the +B via R751, L700 and the primary of the FBT T701. The emitter is connected to ground via R760 which is a sense resistor for the protection circuit.
The capacitive divider network C717 and C708 produce a line pulse which is sampled by Z704 and clamped by D713 and D714 this is then returned to pin 13 of IE02.

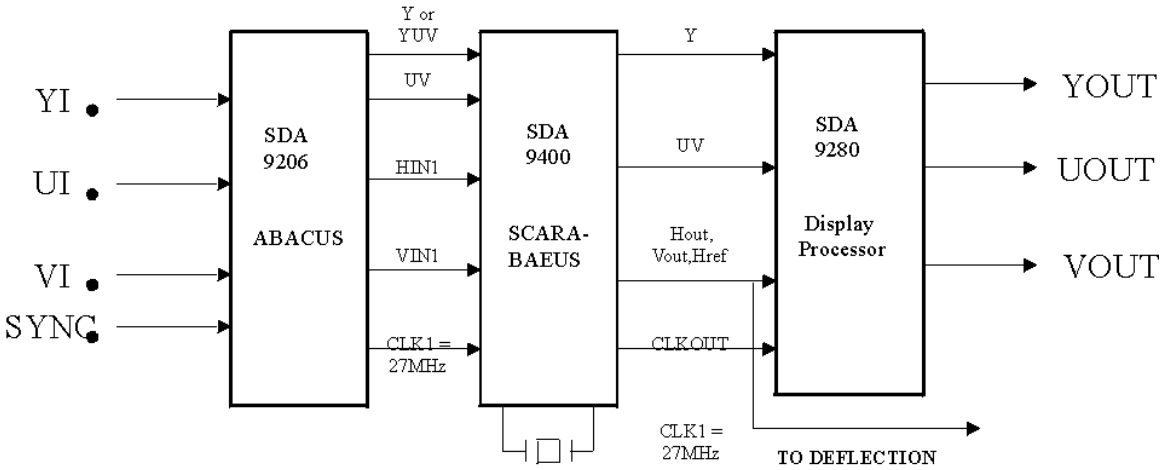
VERTICAL DEFLECTION

On the 50Hz D8 the vertical drive pulse come from pin 61 (VA OUT) of I200 and on the 100Hz A8 it comes from pin 31 of UQ01. This is fed via K65 and RV02 to pin 23 of IE02. The vertical sawtooth waveforms are output from pins 1 and 2 of IE02 and fed to pins 11 and 12 of I601 via RV04 and RV03. I601 (TDA8354) is the vertical output amplifier, it requires 2 supply voltages, approximately 14V to pins 4 and 10 to operate the IC and approximately 48V to pin 7 for the flyback pulse generator. The outputs are from pins 2 and 9 with the gain setting feedback resistors R602 and R603 connected to pin 5.
Pin 1 is the vertical guard which is connected to pin 9 of IE02 if a vertical failure is detected the vertical part of the sandcastle pulse is removed and IE02 blanks the picture to prevent damage to the tube. Z615 samples the flyback pulse which is then clamped by Z606 this generates the frame pulse used by the micro I001.

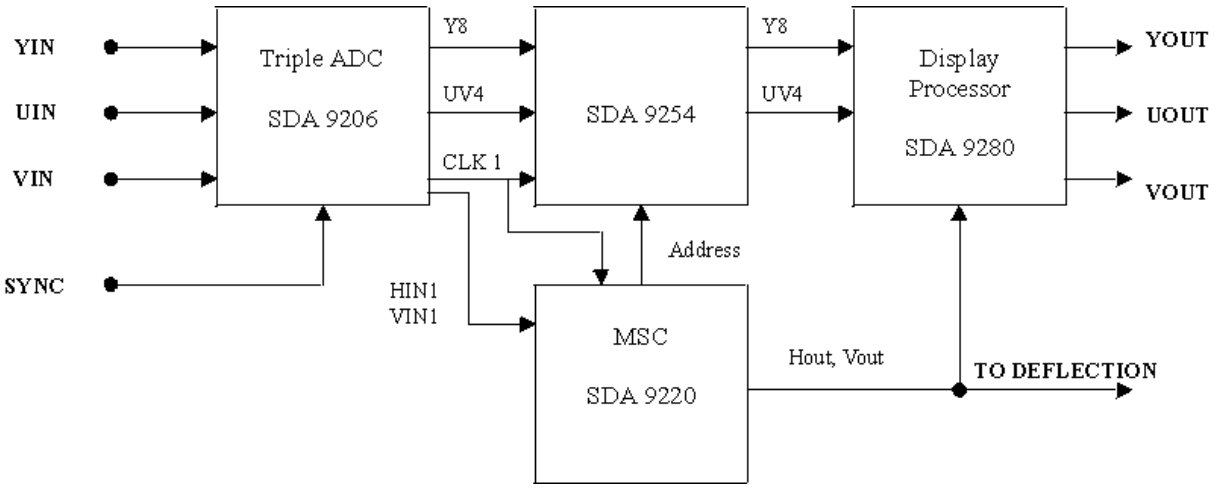
EAST WEST CORRECTION

The east west parabola is output from pin 3 of IE02 and fed to the gate of Q700 via RH04. The drain of Q700 is connected to the centre of the diode modulator D706 and D707 via the east west injection coil L751.

HIGH END FEATURE BOX



LOW END FEATURE BOX



MICROCONTROLLER SECTION ON THE A8/D8 CHASSIS

INTRODUCTION:

The main microcontroller on the A8/D8 chassis is located at I001 (ST92R195B). This is an 80-pin QFP (quad-flat package) that is surface mounted for compactness. This highly complex device controls many of the other integrated circuits via dedicated input/output lines or the I2C bus. This device also generates the RGB signals for the on-screen display (OSD) menus and the teletext. The device can acquire, decode and display the teletext without the need for a separate IC. This microcontroller is ROM-less which results in the need of a separate memory device to store the program code necessary for operating the television. This memory device is located at I002 and is multi-time programmable (MTP). This allows the device to be re-programmed and in the future can even be re-programmed in the board without having to remove the back cabinet of the TV. The television stores all the necessary customer preferences and operating settings in an on-board EEPROM (E2). This device can hold 2Kb of information for storing the programme information (frequency, name, AV setting, etc.), factory alignment settings (geometry, white balance, tuner AFC/AGC, etc.), service diagnostic errors and customer control settings (volume, brightness, contrast, etc.). This device communicates with the main microcontroller via the I2C bus, even in the standby mode.

MAIN MICROCONTROLLER (I001)

INTRODUCTION

The ST92R195B is an enhanced microcontroller based on the ST9+ instruction set from STMicroelectronics. It is capable of displaying menus and teletext for 50Hz and 100Hz televisions. This device can acquire/decode and display pages of teletext information in FLOF (FastText) and TOP (only in Germany/Switzerland/Austria) modes. The device operates from a single 4MHz crystal and a +5V supply. Dedicated address/data lines enable it to access 4Mbytes of address space, even though in this television it is accessing 128Kbytes (1Mbit). These address/data lines are connected to the EPROM/MTP device which holds the instructions necessary for controlling the television.

DESCRIPTION

EXTERNAL MEMORY INTERFACE MMU ADDRESS LINES

- **Pins 1** (MMU0), **15** (MMU1) and **16** (MMU2) are used to access addresses above 64Kbytes. Normally pins 15 and 16 are not used when using a 128Kbyte EPROM/MTP device (MX26C1000APC) in position I002.
- **Pin 2** (MMU3) is used to select between either the EPROM/MTP in position I002, or a future device that can be fitted in position I003. When this line is low, the MX26C1000APC device in position I002 is enabled (chip enable).
- **Pin 17** (MMU4) is used as an output port to derive a clock signal needed for shifting the data into the 74HC595 shift register (I006).
- **Pin 18** (MMU5) is not used.

EXTERNAL MEMORY INTERFACE CONTROL LINES

- **Pin 4** is the Data strobe line which is connected to the output enable input of the EPROM/MTP (I002). When data is read from the EPROM/MTP, this line is temporarily low.
- **Pin 8** is the Read/Write line for I003. Normally, this line is not used (HIGH) but if an SRAM were to be fitted into this position, the line could be low when writing data to the SRAM.

EXTERNAL MEMORY INTERFACE ADDRESS LINES

- **Pins 3, 5, 6, 7, 13, 14** and **71 to 80** are the address lines needed to specify which location in a 64Kbyte page is needed to be accessed from the EPROM/MTP (I002). These lines are also connected to I003 if an SRAM is to be fitted in future. Normally these lines will be changing state (0V to approx. +5V). By placing an oscilloscope on pin 12 of the EPROM/MTP (I002) it can be confirmed that the microcontroller is operating successfully. In this case, this line should be changing state very frequently.

EXTERNAL MEMORY INTERFACE DATA LINES

- **Pins 63** to **70** are the 8 data lines needed for receiving data from the EPROM/MTP (I002). If an SRAM were to be fitted in position I003, then these lines would be used to transfer data from the microcontroller to the SRAM. Under normal circumstances these lines change from LOW (0V) to HIGH (approx. +5V).

GROUND CONNECTIONS

- **Pin 9** (GNDM) is the ground connection (0V) for the external memory interface. This should be free of noise to enable successful communications between the microcontroller and the EPROM/MTP (or SRAM).
- **Pin 35** (GND) is the digital ground connection (0V) for normal operation of the device.
- **Pin 62** (GNDA) is the analogue ground connection for the DAC and phase lock loops (PLL's).

SUPPLY CONNECTIONS

- **Pin 10** (VDDM) is the +5V supply for the external memory interface. Without this supply, the microcontroller cannot communicate with the EPROM/MTP (or SRAM).
- **Pin 34** (VDD) is the main digital supply voltage to the IC (5V 10% tolerance).
- **Pin 52** (VDDA) is the analogue supply voltage for the DAC's and PLL's (+5V). These connections are all joined together to the +5V standby rail of the television, ensuring that the microcontroller operates even in the standby state.

CRYSTAL OSCILLATOR CONNECTIONS

- **Pin 11** is the 4MHz crystal oscillator input (OSCIN).
- **Pin 12** is the 4MHz crystal oscillator output (OSCOUT). By connecting a x100 scope probe to pin 11, it can be seen if a 4MHz sine wave is present at the oscillator input to the microcontroller.

RESET CONNECTION

- **Pin 54** is the active low RESET input of the microcontroller. This input is normally high (approx. +5V) under operating conditions, but changes state when the standby +5V power supply is typically below +4.5V. In this circumstance, the reset IC (I021) pulls pin 54 low until the input of it is above +4.5V. The diode (D001) ensures that the capacitor (C015) discharges quickly when the standby supply falls, so that the reset operates quickly. The capacitor (C015) charges up slowly when the standby +5V supply is restored, ensuring that there is some hysteresis.

INFRA-RED (IR) RECEIVER INPUT

- **Pin 25** is the IR receiver's filtered output. This input from the IR receiver consists of PWM pulses between 0V and +5V which are decoded by the microcontroller into useful commands from the handset. When a valid command has been decoded, the Red LED on the front of the TV will briefly flash.

HORIZONTAL AND VERTICAL SYNCHRONISATION CONNECTIONS

- **Pin 48** is the vertical synchronisation input from the deflection stage. This input is used to ensure that the OSD is displayed in a stable vertical position. When the TV is in the standby state, this input is normally low. The vertical input is triggered on the rising edge (positive polarity).
- **Pin 9** is the horizontal synchronisation input from the deflection stage. This input ensures that the OSD is displayed in stable horizontal position. When the TV is in the standby state, this input is normally low. This input is rising edge triggered (positive polarity).

GENERAL INPUT CONNECTIONS

HEADPHONE INPUT

- **Pin 19** is used to detect if the headphone has been inserted into its socket. This input is normally HIGH (+5V) unless the headphone has been inserted, in which case it is near 0V. When the headphone is inserted, the headphone mode option is then available in the "Sound Mode" Menu and the loudspeakers (and internal sub-woofer if available) in the television are muted.

PROTECTION INPUT

- **Pin 26** is used to determine if a protection fault has occurred on the chassis. This line is connected to the comparator outputs 1, 13 and 14 of I903 in the power supply. This line is normally high (approx. +5V) unless a fault has occurred, in which case it is near ground potential (0V).
- Comparator output 1 monitors the +16V audio supply rail for over-current. If this rail is shorted, or draws too much current, then the comparator output (pin 1 of I903) will change state to 0V.
- Comparator output 13 monitors the EHT voltage generated by the FBT in the deflection circuit. If this voltage is too high, then this output will be low to indicate that there is a problem with the deflection.
- Comparator output 14 is connected to the secondary side of the deflection's line input transformer. It is primarily used to indicate whether too much current is being drawn from the line-input transformer and FBT.

POWER-GOOD INPUT

- **Pin 27** is used to indicate if the power has been removed from the TV or whether a static discharge has occurred. This input is interrupt driven to react instantaneously to a falling edge (+5V -> 0V). Under this circumstance, the audio power amplifiers are muted and the television begins to power-down into standby. This input is derived from the comparator output (pin 2 of I903) in the power supply. This comparator provides an "early warning" indication that the primary supply has been removed or a static discharge event has occurred. Under a static-discharge condition, the TV will enter the standby condition temporarily before powering back up a few seconds later.

DTT FAN FAIL INPUT

- **Pin 32** is used only on a D8 chassis fitted with a DTT module. It is used to indicate if a fault with the fan on the DTT unit has occurred (e.g. fan stuck). This input is normally HIGH (approx. +5V) unless a fault condition has been detected (0V).

FRONT PANEL BUTTONS AND SAV3 SOCKET INPUTS

- **Pins 36** and **38** are 2 of the 4 ADC inputs of the microcontroller.
- **Pin 36** is connected to the Volume +/- buttons and the SAV3 (Hi-8) socket on the front panel of the TV. When the voltage on this pin is changed to a value in a certain window, the microcontroller will interpret it as either a volume +, volume -, volume +/- command and/or an SVHS Hi-8 connector was inserted into the Hi-8 socket.
- **Pin 38** is connected to the Programme +/- and Menu buttons on the front panel of the TV. When the voltage on this pin is changed to a value in a certain window, the microcontroller will interpret it as either a programme change or the menu button was pressed.

GENERAL OUTPUT CONNECTIONS

74HC595 SHIFT REGISTER OUTPUTS

STORAGE-REGISTER CLOCK OUTPUT (RCLK)

- **Pin 20** of the microcontroller is connected to the rising edge (positive triggered) input (pin 12) of I006. This line is normally low when not communicating with the device or when shifting data into it. Once the full 8-bits have been shifted in, the RCLK line rises in order to latch the data to the device's outputs.

SHIFT-REGISTER CLOCK OUTPUT (SCLK)

- **Pin 17** of the microcontroller (MMU4) is used to transfer the data into to the 8-stage shift-register on the rising edge of the SCLK. 8 clock pulses are needed to transfer 8 bits of data into the shift register.

SHIFT-REGISTER DATA OUTPUT (SI)

- **Pin 21** of the microcontroller is used as the data line input to pin 14 of the shift register. When this line is HIGH, and the SCLK changes from low to high, the first bit of data (logical 1) is shifted into the register. When this input is low, the first bit of data is '0', on the rising edge of the SCLK.

EEPROM WRITE ENABLE OUTPUT

- **Pin 22** is the E2 write enable output line, which is connected to pin 7 of the EEPROM (E2). When this output is HIGH (approx. +5V), the E2 cannot be written to (write disable) but data from the device can be read. When this output is low (0V), then data can be written to the E2. This hardware line helps to protect the E2 from inadvertent write operations, which could occur under abnormal circumstances.

ON/OFF OUTPUT

- **Pin 28** is the On/Off line which turns On (LOW) /Off (HIGH) the secondary supplies (+B, +16V audio rail, +8V and +5V). The standby +5V and+10V rails are unaffected when this output is HIGH (TV in the standby state). Under normal operating conditions, this output will be low when the TV is NOT in the standby condition.

ON/OFF 2 OUTPUT

- **Pin 29** is the On/Off 2 line which turns On (LOW) / Off (HIGH) the DTT/ASW sub-power supply.

DTT RESET OUTPUT

- **Pin 31** is the DTT reset line which is asserted HIGH (+5V) on power-up and shutdown of the DTT module. Under normal operating conditions when the TV is powered up, this line is low.

I2C DISABLE OUTPUT

- **Pin 33** is the I2C disable output which prevents the main chassis I2C bus from being connected to the I2C bus of the microcontroller (I001) and E2 (I002). This line is normally HIGH when the TV is in the standby state. This output is inverted using the 74HC04 hex inverter IC (I004) and in connected to pins 5 and 6 of I007. In the standby condition, pins 5 and 6 of I007 (74HC4066) are low and the M.SDA and M.SCL (microcontroller) lines are disconnected from the SDA and SCL (main chassis) I2C lines. When writing to the E2, the I2C disable output is also pulled high, to ensure that successful writing of the data has occurred (e.g. to log fault diagnostics when the TV fails to power-up and the main chassis I2C bus is low).

SCART DISABLE OUTPUT

- **Pin 39** is used to disable the RS232 transmit and receive lines from pins 10 (Rx) and 12(Tx) of scart socket 2. This is necessary when the TV is functioning normally. However, when the TV is in service or diagnose modes, then this output will be low to enable connection of the RS232 lines of the microcontroller to the scart socket.

MUTE OUTPUT

- **Pin 40** is the mute output for the on-board audio amplifiers. This output is HIGH when the amplifiers are in the mute condition (e.g. Standby). If the user has chosen to use the internal speakers, then under normal operating conditions, this output will be LOW. When powering down, this output will quickly rise to mute the speakers, to prevent any unwanted 'popping' noises from being heard.

GREEN LED OUTPUT

- **Pin 41** is the green LED output, which is only used on the D8 chassis fitted with a DTT module. This output is high when the green led is ON. When the DTT module is in the partial standby state or when recording a digital terrestrial programme, then this LED will be ON and will be mixed with the red LED to produce an amber colour. When the DTT module is connected via the telephone line and receives mail, then this LED will flash periodically to indicate this condition.
- When the TV first has power applied to it, then the green LED will be ON. Soon after, though, this LED should extinguish to indicate that the TV is operating correctly. NOTE: This is one of the easiest ways to check that the microcontroller is running the programme code correctly in the EPROM/MTP. If the green led remains ON, then the microcontroller or EPROM/MTP has a fault preventing the code from being executed correctly.

RED LED OUTPUT

- **Pin 42** is the red LED output, which is used to indicate the standby state and when an IR command has been successfully received and decoded. When the TV is in the standby state, this output will be HIGH to ensure that the red LED is brightly lit. When the TV is not in standby, then this output will be low, but the red LED will remain dimly lit through resistor R081. When an IR command has been successfully received, then the LED will flash briefly, to inform the user that the button on the handset was pressed correctly.

I2C CONNECTIONS

- **Pin 23** is the I2C bus data input/output for transferring data between other I2C peripherals/devices. This line is only connected to the EEPROM (I005) when in the standby state or when writing to the EEPROM. This line is constantly active when the TV is powered up and normally changes state between (+5V and 0V).
- **Pin 24** is the I2C bus clock output for clocking the data to other I2C peripherals/devices. The clock line is also disconnected from the main chassis when in the standby state or when writing to the EEPROM. This line oscillates at a frequency around 90KHz

RS232 CONNECTIONS

- **Pin 30** is the RS232 Transmit line from the microcontroller. It can be routed to pin 12 of the scart socket and to pin 3 of connector P001 for the DTT module (only on D8 chassis). This line is time shared between communicating with the DTT unit and the scart socket (for diagnostics). When the DTT disable line is LOW, the TXD line is routed from pin 1 to pin 2 of I008 (74HC4066). When the Scart disable output from the microcontroller (pin 39) is low, then the TXD can be routed from pin 1 to pin 2 of I007 (74HC4066). There is never a situation whereby both disable outputs are low (enabling both DTT and SCART RS232 communications).
- **Pin 37** is the RS232 Receive line for the microcontroller. It can be routed from Scart 2 RXD (pin 10) and from pin 4 of connector P001 for the DTT unit (only on D8 chassis). When the DTT disable line is low, the DTT can transmit to pin 10 of I008 and is then routed through to Pin 37 of the microcontroller. When the Scart disable line is low, then the data can be routed from pin 10 of scart 2 to pin 10 of I007 and then through to pin 37 of the microcontroller. There is never a situation when both RS232 enable lines are HIGH (disable outputs LOW).

RGB CONNECTIONS

- **Pin 44** is the OSD/Teletext RGB blanking signal necessary for allowing insertion of the OSD/Teletext onto the picture. When this output is high (approx. +5v), then the RGB signal will be superimposed onto the current picture.
- **Pin 45** is the OSD blue signal necessary for displaying BLUE colours for the OSD and Teletext.
- **Pin 46** is the OSD green signal necessary for displaying GREEN colours for the OSD and Teletext.
- **Pin 47** is the OSD red signal necessary for displaying RED colours for the OSD and Teletext.

CVBS CONNECTIONS

- **Pin 60** is the Composite Video signal input for VPS and WSS slicing. It is normally AC coupled and internally clamped to ensure reliable operation. VPS (video programming system) is necessary when auto-sorting programmes in Germany/Austria/Switzerland. WSS (wide-screen signalling) is used to indicate the aspect ratio of the incoming signal. The TV can then use this information to display the picture in the correct format.
- **Pin 61** is the Composite Video signal input for Teletext acquisition and decoding and also for sync extraction, necessary for obtaining the correct line timings for slicing the teletext information and VPS/WSS information.

EPROM/MTP (I002)

INTRODUCTION

The device located in position I002 is used to store the program code needed by the microcontroller to operate the television correctly. This 32 pin device is an MTP (multi-time programmable memory) which allows for it to be re-programmed out of the chassis without having to erase it using conventional UV EPROM erasers. The device currently used on the A8/D8 chassis is the MX26C1000APC, which can hold 128Kbytes of information (1Mbit). This device also holds any initialisation data to be downloaded to an EEPROM. When a blank EEPROM is fitted, the initialisation data is automatically downloaded to it when power is applied to the chassis.

DISCUSSION

SUPPLY/GROUND CONNECTIONS

- **Pins 32** and **16** are the +5V supply and ground connections respectively. The supply voltage of +5V is always present even when the TV is in the standby state.

ADDRESS CONNECTIONS

- **Pins 2** to **12, 23** and **25** to **29** are the 17 address lines needed to access the full 128Kbytes of 8-bit data inside the device. These lines are connected directly with the microcontroller so that it can request data from the MTP when operating. An oscilloscope can be used to check pin 12 of the MTP to check whether the microcontroller is running correctly and accessing the MTP. This pin should be oscillating at a frequency of around 2MHz and is a non-periodic square waveform.

DATA CONNECTIONS

- **Pins 13** to **15** and **17** to **21** are the 8 data lines needed to transmit a byte at a time to the microcontroller. These outputs are normally tri-state and are high-impedance when the output enable pin 24 of the MTP is HIGH. When the output enable pin is low, the data from the required address will be output on these pins.

OUTPUT ENABLE CONNECTION

- **Pin 24** is the output enable active low input used to control the logical state of the data lines. When this pin is HIGH, the data lines are in the high impedance condition and no data is present on these pins. When the output enable input it LOW, the data lines are active and output the addressed data, This line is connected to the data strobe output of the microcontroller to ensure correct operation/timings.

CHIP ENABLE CONNECTION

- **Pin 22** is the chip enable active low input used to select the device. Normally, this input is low to enable the device. However, the device can be placed in a standby state when accessing a future SRAM in position I003. The MMU3 line from the microcontroller is used to select either the SRAM or the MTP. When no SRAM is fitted, the chip enable pin is always low.

MISCELLANEOUS

- **Pin 1** (VPP) is the programming voltage input pin (+12.75V needed) used to re-program the device when placed in a special programmer. This pin is always tied to the +5V standby supply, to ensure that the device can never be re-programmed inside the television chassis.
- **Pin 30** is not used in this device. However, it is still connected to the MMU1 line from the microcontroller for use with larger size MTP's/EPROM's. This line can be used to access a further 128Kbytes if such a device was fitted.
- **Pin 31** is the active-low programming enable pin that is used to re-program and erase the device. This pin is always connected to the +5V standby supply to ensure that no inadvertent writes/erases are performed on the device.

SRAM (I003)

INTRODUCTION

On future chassis, the position I003 will be used to hold an SRAM for teletext page storage and memory storage. A 128Kbyte device will most likely be situated here to allow 100 teletext pages to be acquired and stored for immediate fast access to them. The SRAM is connected to the microcontroller's address and data lines, which are shared with the EPROM/MTP in position I002.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 32** and **16** are the +5V supply and ground connections respectively. This device always has +5V connected to it, even when the TV is in the standby state.

ADDRESS LINE CONNECTIONS

- **Pins 2** to **12, 23, 31** and **25** to **28** are the address lines needed to access the 128Kbyte of data by the microcontroller.

DATA LINE CONNECTIONS

- **Pins 13** to **15** and **17** to **21** are the 8-bit data lines needed to receive/transmit a byte of data at a time to/from the microcontroller.

CHIP ENABLE CONNECTIONS

- **Pins 22** and **30** are 2 chip enable inputs that need to be LOW and HIGH respectively for the 128Kbyte device to operate. If either pin 22 is HIGH or pin 30 is LOW, then the device enters a standby state whereby its power consumption is dramatically reduced (10uW). The MMU3 output pin from the microcontroller (pin 2) is used to select the SRAM when it is HIGH. If this pin is low, then the MTP/EPROM in position I002 is selected instead.

WRITE ENABLE CONNECTIONS

- **Pin 29** is the active-low write enable input used to enable data to be stored inside the device. This pin is connected to the read/write line of the microcontroller for synchronisation purposes.

74HC04 HEX INVERTER (I004)

INTRODUCTION

The 14-pin IC in position I004 is a high speed CMOS hex inverter used to invert digital signals. The package consists of 6 inverters, but only 4 are used in this application.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 14** and **7** are the +5V and 0V supply connections respectively. This device always has +5V supplied to it, even when the TV is in the standby state. Capacitor C023 is connected across the supply terminal for de-coupling.

CHIP ENABLE CONNECTION

- **Pin 1** is connected to the MMU3 output from the microcontroller and is used to select either the MTP or the SRAM. This signal is inverted and output from pin 2 that is then connected to the active low chip enable input (pin 22) of the SRAM. In this way, only one chip enable line from the microcontroller needs to be used to enable the SRAM.

DTT DISABLE CONNECTION

-
- **Pin 3** is the DTT disable input from pin 7 of I006. This input is inverted and is outputted at pin 4, before being connected to pins 12 & 13 of the analogue switch (I008).

I2C DISABLE CONNECTION

- **Pin 5** is the I2C disable input from pin 33 of the microcontroller. This signal is inverted and output at pin 6 to pins 5 & 6 of the analogue switch (I007). When the microcontroller is in the reset condition, or when the TV is in the standby state, the I2C disable line is HIGH. This signal must be inverted to disable the microcontroller's I2C bus from the I2C bus of the rest of the chassis.

SCART DISABLE CONNECTION

- **Pin 13** is the RS232 Scart Disable input from pin 39 of the microcontroller. This input is inverted and output at pin 12, which is then connected to pins 12 & 13 of the analogue switch (I007). When the microcontroller is in the reset state, or when the TV is NOT in service/diagnose modes, the RS232 transmit/receive lines MUST be disconnected from pins 10 and 12 of scart socket 2. This line must then be inverted to prevent any connection being made.

EEPROM (I005)

INTRODUCTION

The ST24C16 EEPROM, or E2 as it is commonly known, is a 16Kbit (2Kbyte) device that holds non-volatile data when power is removed from the TV. This device can hold information for 100 programmes, such as the name, frequency, standard, AV setting, speaker language setting and teletext favourite pages. The EEPROM also holds diagnostic fault codes used to help identify previous faults with the chassis (see separate section that deals explicitly with this). The E2 also holds factory aligned parameters, such as the geometry, white balance, tuner AFC/AGC, model type, cathode level, etc. The E2 also holds the user's preferential settings, such as the volume, balance, contrast, brightness, etc. Data is written to/ read from the device using the standard Philips I2C protocols.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 8** and **4** are the +5V supply and ground (0V) connections respectively. The EEPROM is powered from the +5V standby rail so that it always has power to it, even when the TV is in standby.

I2C CONNECTIONS

- **Pin 5** is the I2C Data line needed to transfer serial data between the microcontroller and itself. Data is changed when the clock line is low and latched on the rising edge of the I2C clock.
- **Pin 6** is the I2C clock line needed to synchronise the I2C data transfer. 9 clock pulses are needed for the 8-bit data and an acknowledge bit. The I2C master clock originates from the microcontroller and operates at a frequency around 100KHz.

ADDRESS CONNECTIONS

- **Pins 1** to **3** are the address lines used to select the I2C slave address of the device. On the ST24C16 device, these lines must be connected to ground in order to access the device properly.

WRITE DISABLE CONNECTION

- **Pin 7** is the I2C write enable/disable input. When this input is HIGH (+5V), all I2C writes to the device are denied. When the pin is pulled low by the microcontroller (pin 22 E2RD), data can be written to the device. In this manner, inadvertent write operations can prevent the I2C data from being corrupted.

74HC595 SHIFT REGISTER (I006)

INTRODUCTION

The 74HC595 is a 16-pin high-speed CMOS 8-bit shift register used for additional output port capability on the A8/D8 chassis. 8-bit data is serially shifted into the device and then latched to the outputs when so desired. These outputs are not used when the TV is in the standby state.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 16** and **8** are the +5V supply and 0V ground connections respectively. This device has +5V supplied to it, even when the TV is in the standby state. Capacitor C024 is used to de-couple the supply.

VM ON/OFF OUTPUT CONNECTION

- **Pin 1** is used to turn On (LOW) or Off (HIGH) the VM (velocity modulation) circuit of some high-end chassis. This improves the transition from black to white (and vice versa) areas of the picture to sharpen them up. This is particularly noticeable at the outer areas of the CRT. This output pin is connected to the +5V signal supply and so is left floating when the TV is in the standby state. The diode, D008, prevents any leakage current from flowing from pin 1 to the VM circuitry when the TV is in the standby state.

MUTE 2 OUTPUT CONNECTION

- **Pin 2** is used to switch the ASW amplifier into standby (LOW) or operating mode (HIGH). This pin is also used to step down the +16V supply at the rear of the TV to mute an optional console/speaker system connected to the +16V phono connector, when power is removed from the TV.

COMPRESS OUTPUT CONNECTION

- **Pin 3** is the compress relay enable (HIGH) or disable (LOW) control. This output is high when a wide-screen TV is in 4:3 aspect ratio, and is low in all other modes. In 4:3 mode, black side panels are observed either side the central picture.

EXTERNAL BLANKING OUTPUT CONNECTION

- **Pin 4** is the external RGB blanking output, needed to switch the external blanking input (pin 39) of the HIP (TDA9320) into full-screen blanking mode. This mode is activated when the user selects "RGB" from the possible AV modes. In this instance, the line is HIGH causing the RGB signals on pins 36 to 38 of I200 to have precedence over the picture.

MSP RESET OUTPUT CONNECTION

- **Pin 5** is the MSP3410D reset line that is low when the MSP is being reset. This line is normally HIGH (+5V) when the TV is operating correctly. When the TV is in the standby state, this line is low, as there is no +5V signal supply to pull the line up through resistor R044.

MUTE3 OUTPUT CONNECTION

- **Pin 6** is the Mute3 output needed to mute the ASW amplifier. When this line is HIGH, the internal sub-woofer (optional on some models) is muted. This occurs if the user has disabled the internal speakers from the speaker configuration menu, headphones are inserted into the TV, or when the TV is powered off.

DTT DISABLE OUTPUT CONNECTION

- **Pin 7** is the DTT disable output necessary for disconnecting the DTT's RS232 transmit/receive communication lines from the microcontroller's RS232 ports. This output goes to pin 3 of the hex inverter (I004) which is then inverted and fed to pins 12 & 13 of analogue switch I008. The analogue switch disconnects the RXD and TXD (receive and transmit) lines of the microcontroller from the DTT's when pins 12 & 13 of it are LOW.

SHIFT REGISTER CLEAR INPUT (SCLR)

- **Pin 10** is an active low input necessary for clearing the shift register's data on power-up.

SHIFT REGISTER CLOCK INPUT (SCK)

- **Pin 11** is the shift register clock input necessary for clocking the data into the device. Each bit of data is latched into the device, on the rising edge of the clock. This clock originates from pin 17 of the microcontroller.

REGISTER CLOCK INPUT (RCK)

- **Pin 12** is the register clock input necessary for latching the data to the output pins. On the rising edge of this pin, all 8 latched bits are transferred to the output pins.

OUTPUT ENABLE INPUT (G)

- **Pin 13** is an active low input necessary for enabling the output ports. This pin is always connected to ground to enable the outputs.

SHIFT DATA INPUT

- **Pin 14** is the shift data input necessary for transferring the 8 data bits into the device. When this line is HIGH, a logical '1' is latched into the device on the rising edge of SCK. When this line is low during the rising edge of SCK, a logical '0' is stored instead.

74HC4066 ANALOGUE SWITCH (I007)

INTRODUCTION

The 74HC4066 is a 14-pin high speed CMOS quad bilateral switch. It is used primarily for connecting/disconnecting signals when out of/in the standby state.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 14** and **7** are the +5V supply and 0V ground connections respectively. This device is always powered up, even when then television is in the standby state. Capacitor C025 ensures that the supplies are properly de-coupled.

TXD CONNECTIONS

- **Pin 1** is the RS232 Transmit line from the microcontroller (pin 30) which is routed through to pin 2 of I007 when pin 13 is HIGH. Under normal operating conditions (and when the TV is NOT in service or diagnose modes), pin 1 is disconnected from pin 2 (and pin 10 of scart2). When the TV is in service mode, a PC can be connected to scart 2 to perform diagnostic functions on the chassis (see separate section on diagnostic protocols for more information).

RXD CONNECTIONS

- **Pin 11** is the RS232 receive line from the microcontroller (pin 37) which is routed through to pin 10 when pin 12 is HIGH. Under normal operating conditions (and when the TV is NOT in service or diagnose modes), pin 10 is disconnected from pin 12 (and pin 12 of scart2). When the TV is in service mode, a PC can be connected to scart 2 to perform diagnostic functions on the chassis (see separate section on diagnostic protocols for more information).

I2C CONNECTIONS

I2C CLOCK CONNECTION

- **Pin 8** is the I2C master clock input from the microcontroller (pin 24). When pin 6 of I007 is HIGH, this line is connected to pin 9, which enables the microcontroller to communicate with other I2C devices on the chassis. Pin 6 is normally LOW when the TV is in the standby state, or when power is first applied to the chassis.

I2C DATA CONNECTION

- **Pin 4** is the I2C data input from the microcontroller (pin 23). When pin 5 of I007 is HIGH, this line is connected to pin 3, which enables the microcontroller to communicate with other I2C devices on the chassis. Pin 5 is normally LOW when the TV is in the standby state, or when power is first applied to the chassis.

74HC4066 (I008) D8 CHASSIS ONLY

INTRODUCTION

The 74HC4066 is a 14-pin high speed CMOS quad bilateral switch. It is used primarily for connecting/disconnecting signals when out of/in the standby state.

DESCRIPTION

SUPPLY/GROUND CONNECTIONS

- **Pins 14** and **7** are the +5V supply and 0V ground connections respectively. This device is always powered up, even when then television is in the standby state. Capacitor C026 ensures that the supplies are properly de-coupled.

TXD CONNECTIONS

- **Pin 1** is the RS232 Transmit line from the microcontroller (pin 30) which is routed through to pin 2 (DTT Tx) of I007 when pin 13 is HIGH. Pin 2 is connected with pin 3 of P001, which is in turn connected to the DTT module. When communicating with the DTT module, pin 13 of I008 is HIGH. However, when communicating with the RS232 on scart 2, this line must be LOW to prevent simultaneous communications.

RXD CONNECTIONS

- **Pin 11** is the RS232 receive line from the microcontroller (pin 37) which is routed through to pin 10 (DTT Rx) when pin 12 is HIGH. Pin 10 is connected with pin 4 of P001, which is in turn connected to the DTT module. When communicating with the DTT module, pin 12 of I008 is HIGH. However, when communicating with the RS232 on scart 2, this line must be LOW to prevent simultaneous communications.

DTT RESET CONNECTION

- **Pin 4** is the DTT reset connection that is routed through to pin 3 when pin 5 is HIGH. Pin 3 is then connected to pin 1 of P001, which in turn is connected to the DTT module. The DTT reset line is normally HIGH when powering up/down the DTT module, and is low otherwise.

POWERED CONSOLE

The powered console is used make the A7 and A8/D8 models into full Dolby pro logic sets by amplifying the centre and surround channels with the addition of a sub woofer.
The amplifiers used for this are three TDA7482 which are mono class D. In this application the Bass output (IC2) is rated at 20W, and the Centre (IC3) and Surround (IC1) channels are rated at 12W the output being restricted by the supply voltage.
These devices usually require two supplies one positive and one negative but in this case a dummy ground is created for each amplifier by using a resistive / capacitative divider network. The Bass is supplied from 38V and divided by R11 / R12 and C11+ C16 / C17 + C18. The Centre and Surround are supplied from 32V which are divided by R56 / R57 and C72 + C77 / C78 + C79 (Centre) and R50 / R51 and C57 + C64 / C65 + C66(Surround).
The brief principle behind the class D is that the signal is divided in to segments at a rate set by the internal oscillator (the frequency is set by the R / C components attached to pin 6 in this case approximately 110kHz). This is then amplified and output from pin 1 as a pulse width modulated square wave form with an amplitude almost equal to the supply voltage. The inductor / capacitor network of which the speaker is part then filters out most of the fundamental frequency leaving the amplified audio signal.
The class D type amplifiers were chosen because of there high efficiency (low heat losses within the device).
The centre and surround inputs are fed straight forward from the phono sockets to pin 9 of the amplifiers via 470nF capacitors. The bass uses the left and right outputs from the TV, these signals are passed through an active filter with amplifier(IC9), the output of which is fed to IC2 pin 9 via R68 and C2.
The only control on the IC is pin 10 which has three level ranges :-

1. 0 to 0.7 V above pin 7 voltage standby (no output at all from pin 1).
2. 1.7 to 2.5V above pin 7 voltage mute (only the 110kHz output can be seen at pin 1).
3. 4 to 5V above pin 7 voltage play range.

As the Bass, centre and surround amplifiers stages are identical, only the bass will be described. On the powered console a fast falling 5V rail is used to stop pops and squeals when the TV set is turned off or put into standby (removing the 5V), this is applied to

the base of Q2 via R1, the collector of Q2 holds the base of Q3 low via R3. This allows the collector of Q3 and pin 10 of IC2 to rise through the pull up network consisting of R10, regulated to 5V6 by ZD2, R9 and R8, C7 is just to add a time constant.
A dual operational amplifier (IC6) is used with both comparator outputs (pins 1 & 7) joined together to mute the amplifiers by holding the 5V rail low.
At power up pin 1 of IC6 holds the 5V rail low through D42 until the main supply rails settle. A reference voltage generated from the 38V rail by a potential divider consisting of R24 and R30 is applied to pin 2 of IC6, this is then compared to the voltage applied to pin 3 from the potential divider R104 and R100 with C107 adding the time constant.
The other half of the comparator is used at power down. Pin 6 has a reference level derived from the 38V supply from the potential divider R24 and R102. Pin 5 is connected to the relay switching voltage supplied by the TV. When the TV is put into standby or turned off the 16V drops to approximately 14V immediately causing pin 7 to be pulled low muting the amplifiers
At power down the 5V is pulled low turning off Q2, which allows the base of Q3 to rise via the pull up resistor R81 from the main supply for IC2, this in turn pulls the collector low, discharging C7 and removing the voltage from pin 10 via R105 and D30A which are used to speed up the turn off time of the amplifier. The pull up to the supply is used to make sure that the amplifier stays in mute / standby while the supply rail discharges.

DIGITAL SECTION

GENERAL DESCRIPTION

The main function of the digital section of the receiver is to accept COFDM (**C**oded **O**rthogonal **F**requency **D**ivision **M**ultiplex) coded signals modulated onto a RF carrier in the UHF band, and by demultiplexing, decoding and formatting the information carried, to produce analogue outputs at audio and video suitable for presentation through a 'TV' display.
It may be integrated into a television receiver (IDTV) or a set-top box (STB) with a suitable analogue 'motherboard'.
The graphics, menus and control functions for the digital receiver are also carried out within the digital module.
The digital section of the receiver is made up of two main PCBs and another associated PCB:

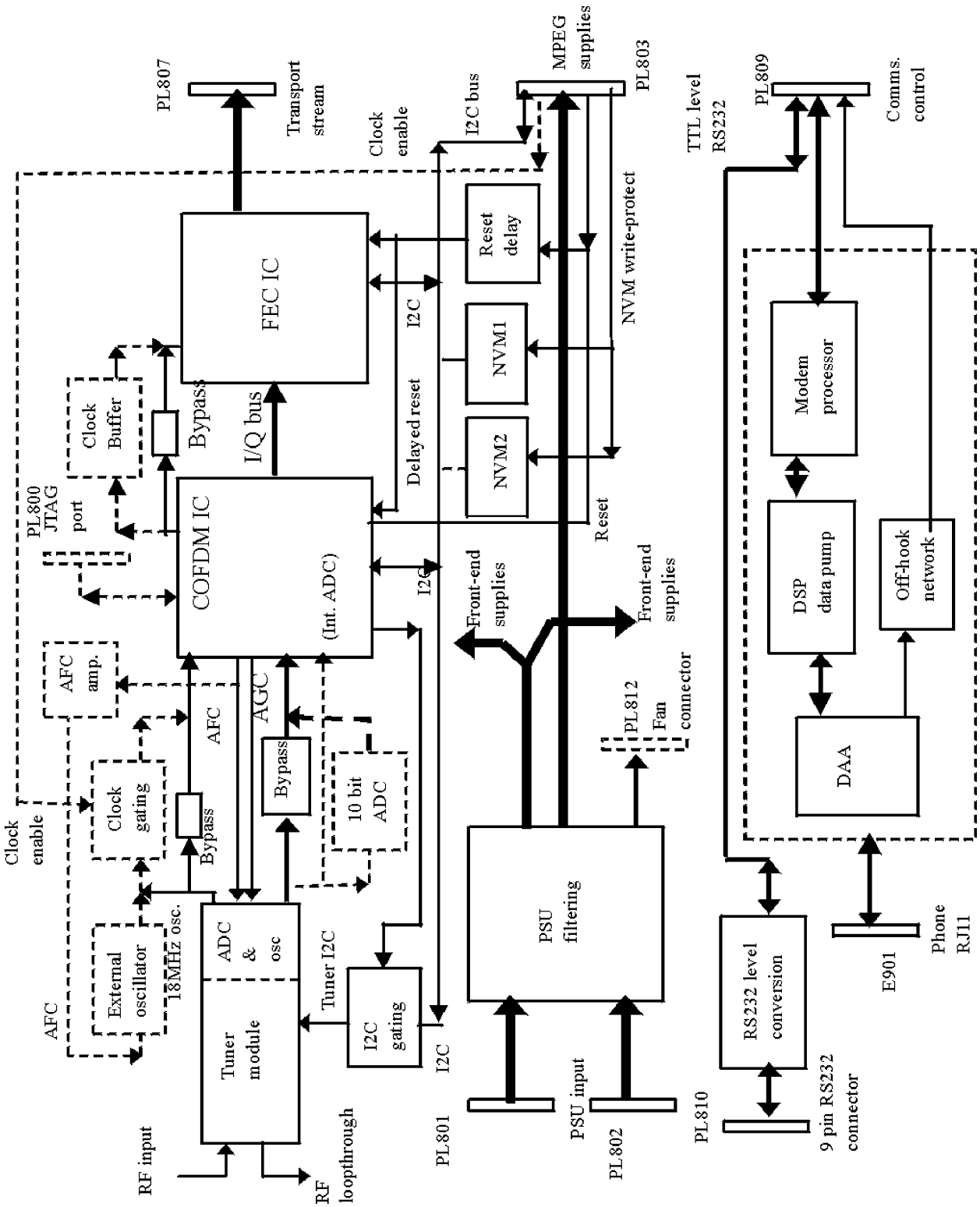
- COFDM front-end PCB
- MPEG Decoder and AV/Graphics PCB
- Smartcard Interface PCB

All the interconnections between these PCBs are internal to the metal screening enclosure and using flat PCB ribbon connectors. The connections from the digital PCBs to the analogue circuits also use the same type of flat PCB ribbon connectors, except for the main power connector. The details are given in section 2.6.
The connections accessible to the user from the digital section are:

- Tuner RF input connector
- Tuner RF loop-through output connector
- RS232 9 pin 'D type' connector
- RJ11 modem connector
- Common Interface sockets

A fan is attached to circulate air through the enclosure for the digital module on the integrated TV.

GENERAL BLOCK DIAGRAM



COFDM FRONT-END PCB

This PCB carries:

- Power supply filtering
- Tuner
- COFDM decoder and FEC circuitry
- RS232 serial communications port
- V22 bis Modem

POWER SUPPLY FILTERING

This filter field is intended to filter incoming noise from the lines and to prevent noise and EMC components being carried out from the module to the analogue section.
The power for the whole digital module is connected through this PCB, using a network of ferrite beads, chokes and capacitors. The input power is through PL801 and PL802, and the filtered output lines are carried to the MPEG PCB on PL803, along with some control signals from the MPEG PCB. The input and filtered/output power lines are:

Input from analogue section	Common Filter Components	Section	Used on (PCB)	Unique Filter components
5V	FB800, C787, C788	Tuner	COFDM tuner	L801, C801, C802, C803
		Modem	COFDM tuner	R899 (zero ohm link)
		MPEG, RS232	MPEG *	L805, C785, C786
5V standby	L800, C771, C799	Tuner loop-through	COFDM tuner	None
		CI chips	MPEG +	None
12V	FB803, C795, C796	MPEG	MPEG	L807, C793, C794
		Fan	External	Not used
3V3	FB802, C791, C792	COFDM / FEC	COFDM tuner	L804, C781, C782
		MPEG	MPEG *	L806, C789, C790
		ADC	COFDM tuner	L808, C779, C780
9V	None	Tuner	COFDM tuner	L802, C804, C805
30V	None	Tuner	COFDM tuner	R788, R789, R790, C806, C807

'*' Indicates further filtering and distribution on the MPEG PCB.
'+' Indicates optional linking (R783 / R784) for Common Interface power supply, see text.

TUNER

The tuner includes:

- UHF loop-through
- First down-converter
- Local oscillator and control PLL
- IF filter and second converter stage
- AGC control
- ADC (Analogue to Digital Converter)
- VCXO (Voltage Controlled Oscillator)

The incoming RF signal is looped back out for linking to a conventional a VCR, set-top box or the analogue TV tuner input. The loop-through is active and has a separate 5V supply pin which is powered in both normal 'ON' and standby modes.
The remaining tuner sections use 5V and 9V power rails, with suitable local decoupling.
The first converter stage converts the incoming signals down so that the selected UHF channel is frequency shifted so that it is centred within the 8MHz IF band centred around 36MHz..
The local oscillator is controlled by the PLL circuitry internal to the tuner, and the frequency selection made using the I2C bus. This I2C bus is only gated through to the tuner for commands, which are directly addressed to it. The gating is done by IC820 and the control signal is generated through the main COFDM IC (IC801)using a port pin. The operation of this pin is controlled through I2C to the COFDM IC. The local pull-ups for the tuner I2C are R786, R787 and the series protection resistors are internal to the tuner.
The 36 MHz IF signal is filtered to remove the out of band frequency components, frequency shifted again down to 4.572MHz and sampled at 4 times this frequency in the ADC.
The resolution of the ADC internal to the tuner is 8 bit, and the output from the tuner is a 8 bit wide sampled COFDM signal and the 18.288MHz sampling clock, this clock has been internally filtered to remove some of the faster edges to reduce EMC. Resistors R884 – R889, R860 and R869, R799 are used to link the parallel data signal inputs to the COFDM IC only if the ADC in the tuner is used. **This is the normal current build** but they should be omitted if an ADC external to the tuner unit is used.
The COFDM decoder IC, using the AFC feedback signal to the tuner module, controls the frequency and phase of the 18.288MHz clock.
The gain of the IF stage is controlled by the signal from the COFDM IC, with the tuner being responsible for the crossover point and generating the RF AGC signal which is externally linked to the RF stages.

EXTERNAL 10 BIT ADC (IC803)

The option of using a 10 bit ADC external to the tuner is designed into the PCB, **but is not currently used**. This uses R781 R823, R824, R825, R826, R827, R828, R831, R832, C824, C825, C826, C827, C828, C830, C831, C832, C834, C835, C836, C837, C840 and IC803. If this IC is not fitted then all the other components listed here should also be omitted from the PCB.
Link resistors R884 – R889, R860 and R869, R799 should be omitted if this IC is fitted.

EXTERNAL OSCILLATOR CIRCUIT

It may be a future requirement to use an oscillator external to the tuner module. This is accommodated on the PCB using R797, R807 - R809, R811 – R817, R821, R822, C812 – C818, C820, C822, crystal X800, varicap diode D801, and Q800. This is not currently used.
The circuit is a discrete Colpitt's style crystal oscillator using the feedback from the COFDM IC to control the frequency by varying the capacitance of the varicap diode D801. C822, R821, R822 are used to pre-bias the output for the Oscillator buffer needed (IC800). See the section following.

AFC FEEDBACK AMPLIFIER OPTION (IC816)

An option has been on the PCB to provide an AFC voltage with more range to control the external oscillator if this is needed. **This is currently not used.**
It consists of a dual op-amp configured to give a gain of 10 times with an inversion, and a possible output swing of 30V. A following stage is added to give a further inversion with unity gain. This is made up of R833, R834, R835, R836, R837, R838, R842, C840, IC816
Bypass links are provided across both sections by R841 (second section only) and R859 (both sections).

CLOCK BUFFERING AND GATING CIRCUIT (IC800)

This stage may be configured in one of three ways:

- With the oscillator internal to the tuner (**currently populated option**) it is not normally needed, and bypass resistors R829, R830 should be fitted instead.
- In order to correct a problem on some earlier PCBs it is used as a clock gating circuit, with the function of resetting the PLL in the COFDM IC under some startup conditions. The control is automatically provided by a control line direct from the MPEG CPU. For this option R830 should be omitted.
- In the case where the external oscillator is used it is needed as a buffer to convert low level analogue clock to a TTL level. In this case the PLL reset function is also available. R830 and R829 should be omitted and R797 fitted for this option.

COFDM DECODER (IC801 / L64780)

Using the 18.288MHz clock the 8 bit signal is decoded by the LSI chip (IC801) on the PCB to produce a parallel transport stream. The clock input is fed to the COFDM IC through a 47R resistor (R810), this provides some waveform shaping and buffering between the 5V TTL driver and the 3.3V LSI silicon.
The on-chip PLL reset pin (TEST0) is reset directly from the MPEG CPU while the main chip reset is delayed to both COFDM and FEC ICs through R784, C772. This is done to force the COFDM IC to start up correctly reliably. Also a capacitor (C770) is fitted on the JTAG reset pin to ensure that the COFDM chip always powers up correctly.
The control for the IF AGC is generated within the L64780 as a sigma-delta output which is filtered by R868, R795, C811. The COFDM IC also supplies the AFC signal to the tuner VCXO, again using a filtered (R796, R847, C842, , (C841)) sigma-delta output format.
The control (initialisation, sending of commands and reading of status) is done through the I2C bus from the MPEG CPU carried on PL801. The serial control mode is selected by pulling the 'S_P' pin high through R863, with the I2C data driven from the LSB of the data I/O port, the remainder of the data port is used to set the I2C address which is called up during initialisation. R867, R866 are the bus pull-ups, R864, R865 the series resistors and C870 is added on the data line correct the bus timing.
The enable control signal for the tuner I2C is provided through one port pin on this chip, it is enabled by an I2C command before each tuner command and disabled immediately afterwards.
The L64780 contains an 8 bit ADC which can be used as an alternative to the ADC in the tuner module or the external 10 bit ADC. The input interface components associated with this are R870, R871, R872, R873, R874, R875, C846, C847.
The L64780 contains an internal 'x3' PLL controlled oscillator generating a 54.864MHz signal locked to the incoming 18.288MHz signal. This clock is provided with the data to the FEC (L64724). The local PLL power supply is filtered through R861 and C843, and the associated PLL components are R862, C844 and C845.
The chip contains a JTAG test port which is brought out to connector PL800, with termination components R839, R840, R849, R850, C839 to maintain the correct conditions on these pins.
The digital signal is fed to the FFT section of the L64780 COFDM decoder IC. This derives the pilot tone signals, which can be used in conjunction with the information programmed by the MPEG CPU to decode the incoming data using an FFT algorithm into a set of I/Q quadrature signals. These are each 3 bit resolution and provide the signals for the FEC. The IC also provides information about the signal quality which is read back from the chip registers through the I2C bus in a form to be used in the menus for the user and for servicing and testing.

54MHZ CLOCK BUFFER STAGE

This is needed only when a L64780 version A chips is used, it's function is to correct the 54MHz clock drive level to the FEC. **When L64780 version B (onward) chips are used the stage is by-passed by R846**. The stage is made up of IC817, C775, C776, R820 in a self biasing mode, with provision for input biasing as R793, R794.

FEC IC (IC802 / L64724)

The FEC IC is used in serial control mode with the communication through the I2C bus generated by the MPEG CPU. The data port is used for both I2C clock and data lines, and to set the device address, which is set during initialisation, in this case the serial control mode is selected by tying the 'HOSTMODE' pin low. R891, R892 are the serial I2C protection resistors and C777, C778 are added to correct the timing of the I2C bus for this chip.
The master clock for the chip is the 54.864MHz generated by the COFDM IC.
The data input from the COFDM IC is in I/Q format through link resistors R848, R851, R852, R853, R854, R855.
The functions of the FEC (Forward Error Correction) IC are:

- Quadrature decoding the data
- Removing the inner and outer convolution coding
- Viterbi decoding
- Removing the descrambling (used to ensure an approximately balanced data signal)
- Read-Solomon run-time coding (error protection) decoding.
- Derivation of information about the error statistics of the signal

The information such as Bit Error Ratio (BER), used by the CPU internally and to generate the signal quality information for the user is obtained from the FEC IC on the I2C bus.
The transport stream signal generated by the FEC IC contains the data to be processed, demultiplexed and decoded by the Common Interface chips and the MPEG chipset on the MPEG PCB.
On PL807 this bus carries the following signals to the MPEG PCB:

- 8 bit wide parallel data
- Data-valid
- Packet start sync
- Bit rate clock

Resistors are provided as an option for linking either packet start or error signals from the FEC but in this application the Common Interface (to where the transport stream is linked) requires packet start. R878 should be fitted to allow this, and R877 omitted.

NVM

There are positions for two NVM chips, these can accommodate Atmel style 128kb and 256kb devices. Only one 256kb chip is normally fitted at present (IC805) with it's associated components C869, C893, R897 and R898. There is a 'write-protect' control line provided from the CPU which disables any erroneous write operations.

RS232 SERIAL COMMUNICATIONS PORT

This chip performs the TTL to bipolar level conversion of the asynchronous serial communications link. It is made up of the AD202 IC (IC807) and it's associated ladder/reservoir capacitors (C894, C895, C896, C897). The chip is powered from the 5V supply and local decoupling is made up of C898, C899,
The link to the MPEG processor is TTL level with RX, TX, CTS, RTS signals. The connection to external devices is through a 9 pin female D type socket at standard levels. Since the CPU UART peripheral is configured to use hardware flow control, the CTS is pulled high at the output side by R792 in order to allow data to flow freely if no handshaking is provided.

V22 BIS MODEM SECTION

The Modem circuit consists of a Controller, Data Pump, and Data Access Arrangement (DAA)

The DAA provides a complete interface between data pump and a telephone line. All functions are integrated into a single hybrid module which provides high voltage isolation.

When Loop Control is at logic 0, an active line termination is applied across Tip and Ring, at which time the device can be considered off-hook and DC loop current will low. This is used to seize the line for an outgoing call, or if it is applied and disconnected at the required rate, can be used to generate dial pulses. The receiver is not designed to respond to any incoming calls.

When Off-hook, the DAA converts the balanced 2-wire input presented by the line at Tip and Ring, to a ground referenced signal at VX. Conversely the device converts the ground referenced signal input at VR to a balanced 2-wire signal across Tip and Ring.

The Loop pin provides a voltage that is proportional to the voltage across Tip and Ring. This can be used with external circuitry to detect a parallel phone going off-hook, and the presence of a ringing voltage.

The parallel phone detect circuit uses the loop voltage to detect a short small scale pulse. Two R-C time constants are used to remove noise spikes, and DC information. A parallel phone going off-hook will result in a ~1s pulse going to the MPEG processor.

The ring detect circuit is a comparator that converts the loop voltage into a series of logic pulses which is passed to the controller.

The Data Pump is a synchronous single-chip modem which provides a means to construct a V.22bis modem capable of 2400 bps full duplex over dial-up lines.

Operating over the Public Switched Telephone Network (PTSN), the Z02201 meets the modem standards for V.22bis, V.22, V.23, V.21, Bell212A, and Bell 103.

The Z02201 performs HDLC framing at all speeds. All modulation, demodulation, filtering, A/D and D/A conversion functions for transmit and receive are provided on-chip.

The Z02201 provides comprehensive and flexible tone generation and detection. This includes all tones required to establish a circuit connection and to set-up and control a communication session. The tone generation furnishes the DTMF tones for PTSN auto dialling, and the supervisory tones for call establishment.

The Z02201 communicates with the controller via a parallel interface, and also allows retrieval of modem/line status, control data and programmable coefficients.

The controller Z02205 communicates to the MPEG processor via a 5V RS232 interface, using the Hayes AT command set.

The Z02205 controls the registers and memory of the data pump via a parallel interface, allowing DTMF dialling, circuit connection, and data transfer.

The Z02205 controls the Off-hook line to the DAA, and checks the cadence of the Ringing detect pulses for a valid ringing signal which is communicated to the MPEG processor.
The DTR and CTS signal lines on PL809 (provisions to and from the modem) are tied low with resistor links (R781, R782) to allow the TTL level RS232 communication to operate between the modem and CPU without handshakes being needed.

TEST POINTS ON COFDM PCB

Test Point ID	Net Name	Function
A001	5v tuner	filtered 5V supply to tuner
A002	9v tuner	filtered 9V supply to tuner
A003	9v	unfiltered 9V supply to tuner
A090	30v	unfiltered 30V supply to tuner
A009	30v tuner	filtered 30V supply to tuner
A235	30v	1st intermediate 30V current limiting point
A234	30v	2nd intermediate 30V current limiting point
A006	RF AGC in	RF AGC line tuner front can
A004	IF 1 in / out	IF1 IN/OUT loop through
A008	IF 2 out	IF2 OUT front can
A011	IF2 in	IF2 IN rear can
A013	ADD	Tuner I2C address select
A018	RF AGC out	RF AGC OUT rear can
A033	Tuner out-07	Tuner ADC data out bit 7
A032	Tuner out-05	Tuner ADC data out bit 5
A031	Tuner out-04	Tuner ADC data out bit 4
A030	Tuner out-03	Tuner ADC data out bit 3
A029	Tuner out-02	Tuner ADC data out bit 2
A028	Tuner out-01	Tuner ADC data out bit 1
A027	Tuner out-00	Tuner ADC data out bit 0
TP803	Clock out	Unused 18 MHz clock out from tuner
A239	18MHz Clock-in	18 MHz clock to OFDM
A005	SDA-Tuner	Tuner I2C data
A012	SCL-Tuner	Tuner I2C clock
A238	SDA-Tuner-SW	Ungated tuner I2C data
A237	SCL-Tuner-SW	Ungated tuner I2C clock
TP801	/Clock-EN	active low 18.288 MHz clock enable
A236	CONTROL	18.288 MHz clock enable
A026	18MHz-Clock	
TP802	IC800 spare gate	unused gate IC800
TP891	IC800 spare gate	unused gate IC800
A231	10 Bit-ADC	
A050	INT-ADC	
A051	10 Bit-ADC	
A047	10 Bit-ADC	
A063	REF-TF	
A080	REF-TF	
TP804	STBYAD10	
TP805	ENDA10	
TP876	DRVss	
A194	3v3-COFDM	3V3 COFDM supply line
TP877	EX-AD9	External ADC data bit 9/ tuner ADC data bit 7 link through
TP878	EX-AD8	External ADC data bit 8/ tuner ADC data bit 6 link through
TP879	EX-AD7	External ADC data bit 7/ tuner ADC data bit 5 link through
TP880	EX-AD6	External ADC data bit 6/ tuner ADC data bit 4 link through
TP881	EX-AD5	External ADC data bit 5/ tuner ADC data bit 3 link through
TP882	EX-AD4	External ADC data bit 4/ tuner ADC data bit 2 link through
TP883	EX-AD3	External ADC data bit 3/ tuner ADC data bit 1 link through

Test Point ID	Net Name	Function
TP884	EX-AD2	External ADC data bit 2/ tuner ADC data bit 0 link through
TP885	EX-AD1	External ADC data bit 1
TP886	EX-AD0	External ADC data bit 0
A007	IF-AGC	tuner IF AGC line
A020	18MHz-Clock-out	18MHz clock buffered/unbuffered
A062	CLK18M	Shaped 18MHz clock buffered/unbuffered
A036	EXT-OSC	Colpitts oscillator VCXO voltage
A048	EXT-OSC	
A025	EXT-OSC	Colpitts oscillator XTAL output
A056	EXT-OSC	VCXO XTAL
A045	EXT-OSC	VCXO XTAL
TP800	EXT-OSC	Output Colpitts oscillator
A023	EXT-OSC	
A017	EXT-OSC	AC coupled DC biased Colpitts oscillator output
A010	5v-OSC	External oscillator 5V supply
A016	AMP_VCXO	
A057	AMP_VCXO	
A038	AMP_VCXO	
A058	AMP_VCXO	
TP806	AMP_VCXO	non-inverted VCXO amplifier output
TP807	AMP_VCXO	inverted VCXO amplifier output
TP888	AMP_VCXO	VCXO amplifier input signal
A039	AMP_VCXO	VCXO amplifier input signal
A079	VCXOCTAL	Filtered VCXO signal from COFDM demod IC801
A172	VCXOCTAL	Unfiltered VCXO signal from COFDM demod IC801
A061	0R0_IF_EXT_ADC	
A217	3v3-COFDM	3V3 COFDM supply voltage
A067	GND-ADC	
A092	SCL-780	COFDM demod I2C clock
A091	SDA-780	COFDM demod I2C data
A049	AVIN	
A068	AD-VREF	
A071	AD-REF	
TP850	PROCQ	
A087	AGC-OUT	
A046	EX-AD0	External ADC data bit 0
A053	EX-AD1	External ADC data bit 1
A065	EX-AD2	External ADC data bit 2/ tuner ADC data bit 0 link through
A059	EX-AD3	External ADC data bit 3/ tuner ADC data bit 1 link through
A041	EX-AD4	External ADC data bit 4/ tuner ADC data bit 2 link through
A054	EX-AD5	External ADC data bit 5/ tuner ADC data bit 3 link through
A060	EX-AD6	External ADC data bit 6/ tuner ADC data bit 4 link through
A042	EX-AD7	External ADC data bit 7/ tuner ADC data bit 5 link through
A043	EX-AD8	External ADC data bit 8/ tuner ADC data bit 6 link through
A044	EX-AD9	External ADC data bit 9/ tuner ADC data bit 7 link through
A081	3v3-COFDM	3V3 COFDM filtered supply
A097	EXT-IN-0	Input port, not used, 0V
A093	EXT-IN-1	Input port, not used, 0V
A098	EXT-IN-2	Input port, not used, 0V
A164	RESET	JTAG reset
A167	TCK	JTAG clock
A173	TMS	JTAG test mode select
A175	TDI	JTAG test data in
A140	CLK54M	54 MHz clock out
A177	TDO	JTAG data test out
A111	CLK54M	?????
TP808	/DTACK	Dta acknowledge output
TP809	/INT	Interrupt output
TP811	I2C-CONTROL	Tunet I2C gate enable
TP812	IC780-1	Unused port pin
TP813	IC780-2	Unused port pin
A155	SD1_1	Second 4 bit output data bit 1
A156	SD1_2	Second 4 bit output data bit 2
A157	SD1_3	Second 4 bit output data bit 3
A139	SD1_3	Second 4 bit output data bit 3 link through to FEC
A138	SD1_2	Second 4 bit output data bit 2 link through to FEC

Test Point ID	Net Name	Function
A137	SD1_1	Second 4 bit output data bit 1 link through to FEC
A136	SD0_3	First 4 bit output data 3 link through to FEC
A135	SD0_2	First 4 bit output data 2 link through to FEC
A134	SD0_1	First 4 bit output data 1 link through to FEC
A154	SD0_3	First 4 bit output data 3
A153	SD0_2	First 4 bit output data 2
A152	SD0_1	First 4 bit output data 1
A163	STARTOUT	Soft decision start out from OFDM
A171	DVOUT_LP	Data valid second 4 bit outputs
A151	DVOUT	Data valid first 4 bit outputs
TP817	STRT780	Unused Soft decision start out from OFDM
TP818	DVLP	Unused data valid second 4 bit outputs
TP819	MUX-OUT-26	MUX input bus bit 26 (test purposes only)
TP820	MUX-OUT-25	MUX input bus bit 25 (test purposes only)
TP821	MUX-OUT-24	MUX input bus bit 24 (test purposes only)
TP822	MUX-OUT-23	MUX input bus bit 23 (test purposes only)
TP823	MUX-OUT-22	MUX input bus bit 22 (test purposes only)
TP824	MUX-OUT-21	MUX input bus bit 21 (test purposes only)
TP825	MUX-OUT-20	MUX input bus bit 20 (test purposes only)
TP826	MUX-OUT-19	MUX input bus bit 19 (test purposes only)
TP827	MUX-OUT-18	MUX input bus bit 18 (test purposes only)
TP828	MUX-OUT-17	MUX input bus bit 17 (test purposes only)
TP829	MUX-OUT-16	MUX input bus bit 16 (test purposes only)
TP830	MUX-OUT-15	MUX input bus bit 15 (test purposes only)
TP831	MUX-OUT-14	MUX input bus bit 14 (test purposes only)
TP832	MUX-OUT-13	MUX input bus bit 13 (test purposes only)
TP833	MUX-OUT-12	MUX input bus bit 12 (test purposes only)
TP834	MUX-OUT-11	MUX input bus bit 11 (test purposes only)
TP835	MUX-OUT-10	MUX input bus bit 10 (test purposes only)
TP836	MUX-OUT-9	MUX input bus bit 9 (test purposes only)
TP837	MUX-OUT-8	MUX input bus bit 8 (test purposes only)
TP838	MUX-OUT-7	MUX input bus bit 7 (test purposes only)
TP839	MUX-OUT-6	MUX input bus bit 6 (test purposes only)
TP840	MUX-OUT-5	MUX input bus bit 5 (test purposes only)
TP841	MUX-OUT-4	MUX input bus bit 4 (test purposes only)
TP842	MUX-OUT-3	MUX input bus bit 3 (test purposes only)
TP843	MUX-OUT-2	MUX input bus bit 2 (test purposes only)
TP844	MUX-OUT-1	MUX input bus bit 1 (test purposes only)
TP845	MUX-OUT-0	MUX input bus bit 0 (test purposes only)
A108	INTF-MODE	Serial mode select
A110	PLLP2IO	VCO control voltage
A109	PLLVDD	PLL VDD for internal PLL
A125		PLL filter
A146	DV780	
A106	3v3 ADC	Filtered 3V3 ADC supply
A055	3v3-COFDM	Filtered 3V3 COFDM supply
A066	5v-MODEM	Filtered 5V Modem supply
A075	5v	Filtered 5V supply
A107	5v	Unfiltered 5V supply
A122	3v3	Unfiltered 3V3 supply
A183	3v3 MPEG	Filtered 3V3 supply
A022	5v-Tuner-STBY	Filtered 5V tuner standby supply
A037	12v	Unfiltered 12V supply
A040	12v-MPEG	Filtered 12V supply
A123	5v	Raw 5V supply to FE board
A122	GNDD	Supply ground
A124	30v	Raw 30V supply to FE board
A035	12v	Raw 12V supply to FE board
A015	5v-Tuner-STBY	Raw 5V tuner standby supply
A223	GNDD	Supply ground
A227	GNDD	Supply ground
A189	SDA	I2C data to FEC IC802
A190	SCL	I2C clock to FEC IC802
A186	CLK54M	54 MHz clock to FEC
A176	DEMOD-RESET	Undelayed reset to Demod IC801
A240	DEMOD-RESET-	Delayed reset to Demod/FEC

Test Point ID	Net Name	Function
	DELAY	
A181	3v3-COFDM	Filtered 3V3 supply to FE ICs
A170	GNDD	Supply ground
TP868	IC724-0	External output control pin 0
TP869	IC724-1	External output control pin 1
TP870	IC724-2	External output control pin 2
TP871	SYNC724	Synch status output
TP852	XCTR_IN	External input control pin
TP853	DTACK_POL	Unused data acknowledge
TP855	ADCVREFQ	Unused ADC reference voltage
TP856	ADCVREFQN	Unused ADC reference voltage
TP857	ADCVDDQ	Unused analogue supply
TP858	ADCVSSQ	Unused analogue ground
TP859	QVIN	Unused Q channel data input
TP861	ADCVREF I	Unused ADC reference voltage
TP862	ADCVREF IN	Unused ADC reference voltage
TP863	ADCVDD I	Unused analogue supply
TP864	ADCVSS I	Unused analogue ground
TP865	I VIN	Unused Q channel data input
A184	/COE	Unused channel output enable
A191	ERR724	Transoport stream packet error from FEC
A197	FSTART	Transport stream packet start from FEC
A199	BCLK	Transport stream bit clock
A185	DV724	Transport stream data valid
A198	FSTARTOUT	Transport stream packet start
A213	CO-7	Transport stream data out bit 7
A212	CO-6	Transport stream data out bit 6
A214	CO-5	Transport stream data out bit 5
A215	CO-4	Transport stream data out bit 4
A200	CO-3	Transport stream data out bit 3
A201	CO-2	Transport stream data out bit 2
A202	CO-1	Transport stream data out bit 1
A209	CO-0	Transport stream data out bit 0
A143	V-	-10V for RS232
A128	C2-	0 to -10V square wave for generating -10V
A120	C1-	0 to +5V square wave for generating +10V from 5V
A119	C2+	0 to +10V square wave for generating -10V from +10V
A116	C1+	+5V to +10V square wave for generating +10V from +5V
A118	V+	+10V for RS232
A221	GNDD	ground for RS232 connector
A121	TX01	10V RS232 TX to 9-way D
A129	RX01	10V RS232 RX from 9-way D
A216	RS232-RX	5V RS232 RX to Mips
A133	RS232-TX	5V RS232 TX from Mips
A204	RS232-RTS	5V RS232 RTS from Mips
A144	RS232-CTS	5V RS232 CTS to Mips
A145	CTS01	10V RS232 CTS from 9-way D
A161	RTS01	10V RS232 RTS to 9-way D
TP872	MODEM-RTS	5V RS232 RTS from Mips to Modem (not used)
TP873	MODEM-DSR	5V RS232 DSR from Mips to Modem (not used)
TP874	MODEM-CTS	5V RS232 CTS to Mips from Modem (not used)
TP875	MODEM-DTR	5V RS232 CTS to Mips from Modem (not used)
A021	SDA-NVM2	I2C bus for NVM2 (data)
A013	SCL-NVM2	I2C bus for NVM2 (clock)
A034	SDA-NVM1	I2C bus for NVM2 (data)
A024	SCL-NVM1	I2C bus for NVM2 (clock)
A052	NVM-WP	Write protect line for NVM chips, active high in protect mode
A229	GNDD	Ground
A096	SDA	'Network' I2C bus (data)
A104	SCL	'Network' I2C bus (clock)
A224	GNDD	ground for modem
A165	/RVLC	mirror (reduced) of voltage across the phone line
A188	TF	ringing loop sense input
A196	TXIN	AC coupled telephone input signal
A211	RING	DC input from telephone
A220	TIP	input from telephone

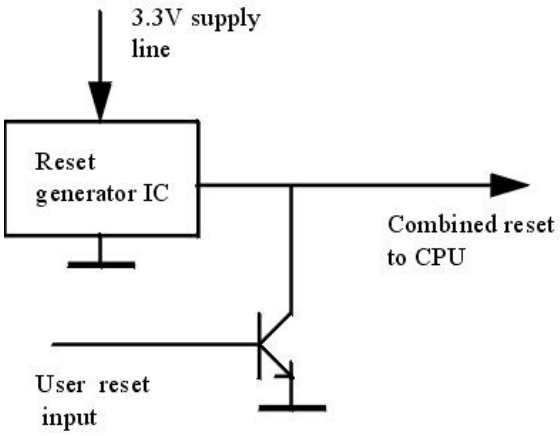
Test Point ID	Net Name	Function
A195	VX	isolated input from telephone @ 2V
A206	VX	scaled down vesion of A195
A218	VX	AC coupled vesion of A206 to 2.5V DC (A131)
A219		AC gnd for inverter
A230	GNDD	gnd for DAA
A205	VR	reduced amplitude version of A142
A142	VR	AC coupled version of A132 to 2V DC
A132	VR	audio signal to appear across phone lines
A169	/RVLC	mirror (reduced) of voltage across the phone line
A180	/LC	0V = offhook, 5V = onhook
A207		feedback for buffer
A117	TXD-	inverted signal for transmit to phone (not used)
A131	VREF	reference voltage (2.5V when comunicating)
A115	CF2	internal feedback integration filter
A102	CF1	internal feedback integration filter
A178	RXI-	inverted receive input
A179	RXI+	non-inverted receive inpunt
A182		feedback virtual gnd
A162	5v-AMODEM	analogue 5V
A228	GNDD	gnd
A103	EXTAL	cyrstal oscillator input: 24.576MHz
A086	XTAL	cyrstal oscillator: 24.576MHz
A078	TEST2/RCLK	0V unused input
A074	/RTS	5V unused input
A069	HD5	modem data line 5
A084	HD6	modem data line 6
A085	HD7	modem data line 7
A203	/MODEM RESET	0V = reset modem data pump IC
A100	HA0	modem address line 0
A105	HA1	modem address line 1
A101	HA2	modem address line 2
A089	/HIRQ	host interupt request
A088	/HRD	host read enable strobe
A095	/HWR	host write enable strobe
A083	HD0	modem data line 0
A076	HD1	modem data line 1
A082	/HCS	host chip select
A094	XTAL1	cyrstal oscillator input: 14.7456MHz
A099	XTAL2	cyrstal oscillator: 14.7456MHz
A073	D4	modem data line 4
A072	D3	modem data line 3
A077	D2	modem data line 2
A113	RXD	5V RS232 from mips to modem
TP900	/SHUNT	pulse dial shunt relay output (not used)
A114	TXD	5V RS232 to mips from modem
A130	RING	ring detect input
A149		voltage reference 0.65V
A148		mirror (reduced) of voltage across the phone line used to detect ringing signal
A232	OFFHOOK	parallel phone offhok detect - 1s pulse low = parallel phone offhook
A126		
A233		parallel phone offhook streached pulse
A174		parallel phone offhook short pulse
A193	/OH	0V = offhook, 5V = onhook

MPEG DECODER AND AV/GRAPHICS PCB

RESET CIRCUIT

The initial power-on-reset (active low) for the CPU is generated by IC202 by monitoring the incoming 3V3 power line, with a 'reset' threshold at 2.9V, this signal is an active low. The output of the generator is functionally 'OR'd with an input (active high) through PL203 into Q200, R207, R208 from the mother board (STB or IDTV) processor which is able to force a reset of the CPU if necessary. An inverter is provided (IC210) but not used at present.

Reset Circuit Arrangement



After the CPU is reset it generates resets through output ports for the other devices on the COFDM and MPEG PCBs timed to guarantee the correct start-up of the circuitry on both PCBs (see CPU section). These are used for:

- COFDM/FEC
- PAL video encoder
- AV chip
- Common Interface chips A and B

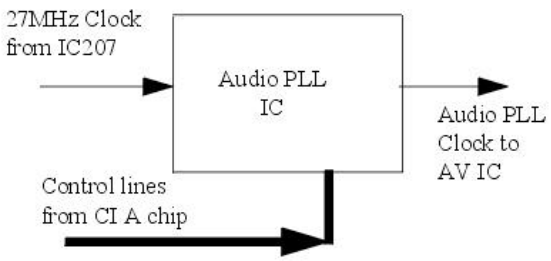
MASTER CLOCK OSCILLATOR

On the MPEG PCB the system uses a single master clock VCXO centred at 27.000MHz. This is generated using a Colpitts crystal oscillator (R248, R242, R243, R244, R212, R213, R218, R214, R217, R215, R216, L202, C237, C220, C231, C215, C206, C207, C232, C233, C234, X200, D200, Q201). The frequency is controlled by the varicap diode (D200) with it's DC feed from the output of the filter section (R248, R244, R243, R242, C231, C215). The oscillator is locked to the incoming data by the PLL in the demux IC (see below). The supply for the oscillator is decoupled through L202. The oscillator output from the emitter of Q201 is AC coupled and biased for the clock buffer following through C234, R215, R216.
The output of the oscillator is buffered and distributed through the clock IC (IC207) which uses separate outputs for each load device. The outputs are used for: CPU/demux IC Common Interface A and B AV decoder Video encoder Audio PLL IEEE1394 – this is currently not supported External DRAM controller – this is currently not supported There are currently 3 unused outputs from the clock buffer IC
Local decoupling is used (C271 - C274). Provision has been made for clock termination resistors on each chip.

AUDIO CLOCK PLL

The PLL function for the audio decoder clock is carried out by IC220. This uses the 27MHz oscillator as it's input from the clock buffer and produces an output at the correct frequency for the audio oversampling clock to the AV chip (256 times the audio sample rate) as signalled in the transmission. The frequency is controlled by 3 static lines from the CI A IC (IC400), see table following. A second output is available at 1.862MHz for a UART, this is not used. The chip is decoupled by C276.

Signal Path Diagram for Audio PLL IC



The control lines are generated on port pins of the Common Interface A chip, with the values being set in one of the command registers of that device (see section on Common Interface later).
Assuming the input reference frequency is 27MHz, the control protocol for these lines is as in the table following:

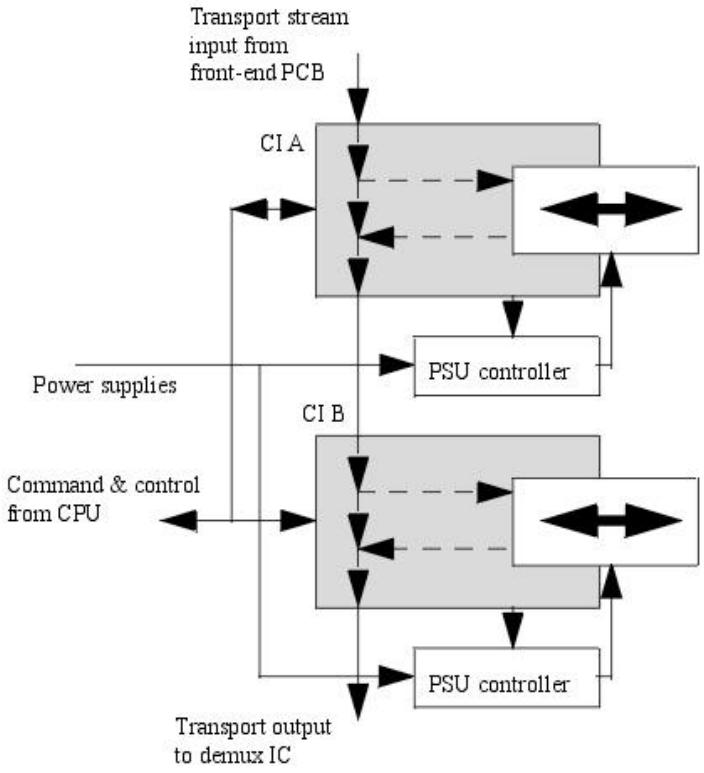
Control inputs			UART clock output	Audio PLL clock output
FS2	FS1	FS0	(MHz)	(MHz)
0	0	0	Tristate	Tristate
0	0	1	1.8620	256 x 16.0kHz
0	1	0	1.8620	256 x 22.05Hz
0	1	1	1.8620	256 x 24.00kHz
1	0	0	1.8620	256 x 32.00kHz
1	0	1	1.8620	256 x 44.10kHz
1	1	0	1.8620	256 x 48.00kHz
1	1	1	Low	Low

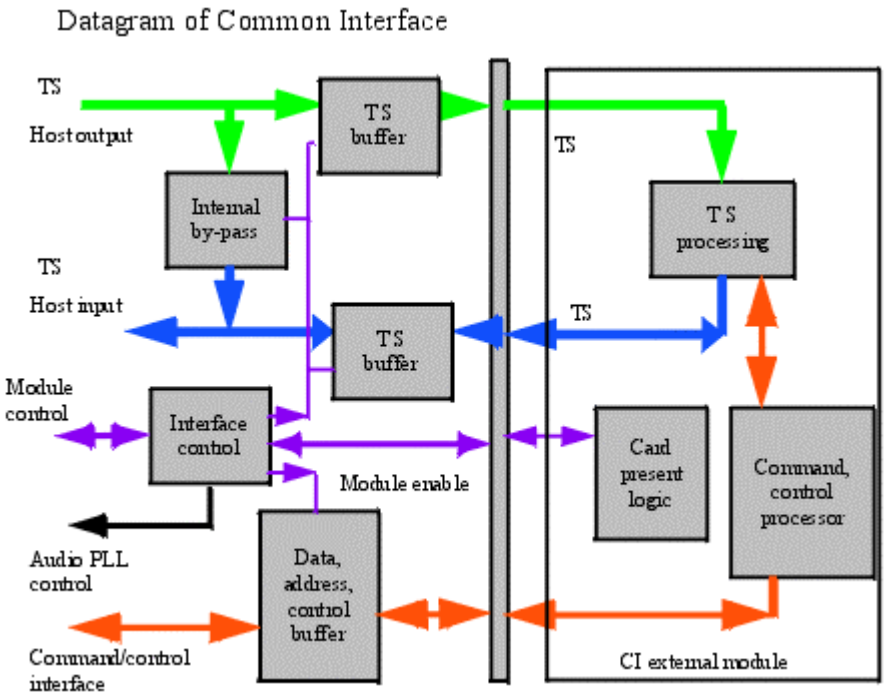
Also see the diagram in the 'AV decoder' section later.

COMMON INTERFACE (CI) CIRCUITRY

The MPEG board has the provision for two common interface sockets CI A (IC400) and CI B (IC402). The implementation of the Common Interface is undertaken by two Altera FPGA devices, one for each CI port.

Overall block Diagram of Common Interface Architecture





Common Interface A (CI A) is always fitted, Common Interface B (CI B) is an optional fit. If CI B is not required it can be bypassed by a network of resistors (R413 - R418, R420, R421, R423 - R425) on the PCB to route the transport stream direct to the demux IC.
Each chip contains the following circuit functions:

- Interface between the CPU bus and the 'PCMCIA' style interface on the module
- Transport stream routing control
- Control of the CI module power switch IC (IC401, IC403)
- Internal control register stack

In addition the CI A chip includes:

- Provision for a second transport stream input and routing control
- Address decoding to provide chip enables for other devices
- Control of the audio PLL

INITIALISATION

At power up the FPGA (Field Programmable Gate Array) devices need to be configured. A block of code is clocked to the devices from the CPU using the SC1 port of the CPU (see section later) using handshaking lines and a 'configuration' register to confirm correct programming of the devices. The code transferred may be the same for PCBs carrying either one or two devices, if the second FPGA is not fitted the extra code is ignored by the first device.
Although the FPGAs are programmed devices, after they have been programmed they effectively behave as 'hardware' and will be referred to 'CI controller ICs'.
Internal control register structure
Both these devices are connected to the CPU via a 16 bit data bus and 24 bit address bus along with the associated control and handshaking lines.
The transport stream is routed through the CI A and CI B chips in a daisy-chain manner and fed to the demux section of the CPU/demux IC.
The CI controller ICs each have 4 internal registers to allow the state of the CI to be read/set-up by the CPU. These are as follows:

Register	R/W	Bit							
		7	6	5	4	3	2	1	0
Status	R	0	0	0	IRQ	VS2	VS1	CD2	CD1
Control 0	R/W	X	R/rout	X	TsAB	En1	En0	Vcc3	Vcc5
Control 1	R/W	X	X	S/cyc	I/O	Reg	I/face	Int	Reset
Configuration	R	X	X	X	X	X	1	1	0

COMMON INTERFACE REGISTERS.

STATUS REGISTER
0 CD1 Card detect 1
1 CD2 Card detect 2
2 VS1 Voltage select 1 Determines voltage for CIS read/operation
3 VS2 Voltage select 2 used as MCLKO in CA
4 IRQ Controls card insertion/removal interrupt
5 X
6 X
7 X

CONTROL REGISTER 0
0 Vcc5En Selects 5V for PC Card supply
1 Vcc3En Selects 3.3V for PC Card supply
2 En0 Programming volts control
3 En1 Programming volts control
4 TsAB Transport stream A or B select
5 X
6 R/route Route Ts to CA card
7 X

CONTROL REGISTER 1
0 Reset PC Card RESET input
1 Int PC card interrupt
2 I/face Enables the PC Card Command & Control Interface
3 Reg Enables REG# cycle
4 I/O Selects I/O interface
5 S/cyc Enables 35ns WAIT cycle (else 100ns WAIT) (short cycle)
6 X
7 X

CONFIGURATION
0 PLL select line 0
1 PLL select line 1
2 PLL select line 2
3 X
4 X
5 X
6 X
7 X

X = Dont care

The status register reflects the state of the interface with the CI module itself for the CPU to monitor, bits 5, 6, 7 are tied low within the device configuration and will therefore always read '0'. The control registers 0 and 1 allow the CPU to set the functionality of the devices, for instance, to re-route the transport stream through the CI module if appropriate. The 'don't care' bits (X) should be written with a value of '0' at initialisation. The configuration register is included as a second means for the CPU to verify the correct programming of the internal logic and to set the audio PLL output frequency. Bits 3 - 7 are allocated for configuration verification and are not used (set to zero). Bits 0 - 2 are used to carry the audio PLL set-up values (FS0 - FS2) for which the initialisation value is 6 corresponding to audio at 48kHz rate.
The CI controller ICs will initially be powered from 5V direct, but will superceded by 3.3V parts in future. Except for the changes to the local power supply (information following), the change is invisible to the system. If the 3.3V devices are used the voltage regulator IC205 and it's associated components (C275, C246) should be fitted, and R279 by-pass omitted, while for 5V devices R279 only should be fitted and the regulator omitted. All output logic is 3V3, but is 5V compliant. The logic thresholds are all TTL.

TRANSPORT STREAM ROUTING

The CI controller ICs allow the transport stream routing (bits 4 and 6 of Control register 0) to either be in by-pass mode (direct to the demux IC), or through the CI socket and the CA card (and return) if one has been inserted (bits 0 and 1 Status reg.).
CI A has the provision to accept two transport stream inputs so that it may be used as a transport routing device at some time in the future if necessary.

CONTROL AND COMMAND INTERFACE

This allows bi-directional data transfer and control interface between the CPU and the CA card inserted so that the CPU can communicate with the CI controller IC and hence an inserted CA module and set up transport stream routing, decryption, software upgrade etc. This is performed by 8 bit read/write cycles controlled by the internal logic of the CI controller IC and monitored by the CPU checking the relative bits in the control registers.

ADDRESS DECODE FOR CI B.

The chip enable for CI B is generated by the address decode in CI A, this enables the CPU to communicate with CI B and perform similar CA (Conditional Access) related operations as CI A. The connections to the data and address bus are common to both devices.
The CI A chip also provides the address mapped chip select outputs for the IEEE1394 and external CPU DRAM options which are not currently supported in the PCB build.
This address mapping is detailed in the memory map in the CPU section (later).

CI MODULE VOLTAGE SELECT.

These output pins control the setting of the required voltages to the Vcc and Vpp lines for the common interface socket. The value set depends on the 'VS' pins of the module interface and the configuration information of the CI module when inserted, and the information is reflected in the bits 2 and 3 of the status register. The values used to control the power supply ICs (IC401, IC403) are stored in bits 0 - 3 of control register 0. IC401 for CI A and IC403 for CI B switch the actual voltage from the 5V and 3V3 supplies. IC401 and IC403 internally control the over-current and switching timing for these supplies.

FREQUENCY SELECT LINES FOR THE PLL ASSOCIATED WITH REV C 64108 CPU/DEMUX CHIPS.

Three select lines are used from CI A to set the sample frequency of the audio PLL (bits 0 - 2 of the configuration register).

JTAG TEST CAPABILITY

The CI chips have JTAG test capability. They are configured as part of a 'one loop' or 'two loop' test system with other chips on the PCB, more details are given in the 'JTAG testing' section (section 2.6) later.

MAIN SYSTEM CPU / MPEG DEMULTIPLEXER (IC200 / L64108)

GENERAL

This IC performs four main functions on the system:

- Main system CPU
- Locking of the incoming data to the main system clock and generation of internal 54MHz clock by PLL
- Transport stream demultiplexing and SI decoding
- Packet decoding and AV data transfer to the AV chip
- Separation of PES streams to output to the IEEE1394 interface (for possible future use)

CPU FUNCTIONS

See also diagram in demultiplexer section following.
The system CPU operates internally in 32 bit mode at a clock speed of 54MHz, but with a 16 bit external data bus (E-BUS) and memory space mapped by 24 address lines operating at 27MHz. It's main function is the maintenance of the software program flow to control all the devices needed for the functionality of the digital receiver. It has internal cache memory to speed up processing, and uses external EDO DRAM (2MB) for the main processing workspace. Accommodation for up to 4MB of flash memory is designed in as two 1M x 16 bit chips. The program start is initiated by the main 'power-on-reset'.
In order to carry out this function and make use of the system resources this requires:

- Communications with other devices
- Asynchronous serial communications using RS232 protocol – on-board UARTs are used to communicate with the modem and the external RS232 level converter on the front-end COFDM PCB via PL200, and with the user processor through the Interprocessor Link (IPL) on PL203. The operation of the IPL is based on a 'message-and-response' protocol with the master being the user processor under normal circumstances.
- Programming port for the CI controller ICs (CI A and CI B) – this uses the pins (SC1x) normally allocated to the second smart card driver IC, with clock, data, acknowledge, enable and status lines.
- I2C – the CPU has an integrated peripheral to act as master for the I2C bus for all the devices on the digital section, these are:
- Video encoder on the MPEG PCB
- Tuner on the COFDM PCB
- COFDM IC on the COFDM PCB
- FEC IC on the COFDM PCB
- NVM on the COFDM PCB

Pull-up resistors are provided on the front-end PCB on the COFDM IC and the tuner, and on the video encoder IC (R532, R533) pulling up to 5V.

- The E-BUS gives an address space of 2^{23} mapped as in the table earlier in this section in 16 bit wide form to communicate with and control the other devices on the PCB, this bus is used on the MPEG PCB, by:
- Flash memory – two chip locations are available on the PCB, but at present only a single 1M x 16bit chip is used. These positions can accommodate 512k x 16 bit or 1M x 16 bit flash chips operating to the AMD protocol and connections.
- Common Interface (CI) controller ICs – the one or two devices fitted use the E-BUS both as a control and data/control interface with the CPU
- The AV (Audio/Video) decoder – the E-BUS is used for passing audio-video samples from the demux to the AV decoder, and for the necessary control communications.
- IEEE1394 fast serial interface, IC600, IC601 (not currently supported)
- External DRAM controller IC700 / IC701 (not currently supported)

- Smartcard port - the main smartcard driver port (SC0x) is used to carry all the low level controls for the CA (Conditional Access) smartcard – reset, clock, data I/O, etc. These lines are protected by resistor / diode networks (R257 - R262, R266, D201- D206, D209) and linked to the smartcard PCB which is mounted in the analogue section through PL204. The CPU has a number of parallel port pins which are used to control various functions on the COFDM and MPEG PCBs, these are:

Port Identification	Input / Output	Function
GP1040	O	22kHz enable for QPSK use
GP1041	O	TS/NPES
GP1042	O	NVM write-protest
GP1043	O	Reset for PAL encoder and AV decoder ICs
GP1044	I	ROM_SIZE, input sense pin
GP1045	O	Reset for front_end PCB
GP1046	O	Reset pulse for 18MHz clock gate on front-end PCB
GP1047	O	Reset for Common Interface ICs
GP1048	O	Reset for IEEE1394 chip
GP1049	I	Modem off-hook input

- Local CPU memory control
- Internal cache – this is internal to the CPU
- DRAM control – the CPU has a dedicated control interface for the main DRAM. Addressing for 16Mbit (IC201) is provided and EDO type DRAM is used.

Address decoding within CI A (based on CS2) allows access to the 'CS miss' devices for which the chip selects are generated in the CI A device, the timing for these data communications is then provided using the DSACK controls.
For functional reasons each interrupt group is made up of a pair, each representing an internal and an external input (12 into 6 levels), each interrupt pair is assigned a group, and the groups are prioritised. The system interrupts are allocated as follows:

Group	Function	Triggering Level / edge	Priority
	External INT 4 / Internal NMI	Level	Highest
4	Timer (0-2) / RES	Selectable	/\
3	External INT 3 / PID processor	Selectable	I
2	External INT 2 / Teletext / I2C / UARTS	Selectable	I
1	External INT 1/ Smartcard	Selectable	\/
0	External INT 0 / 1284	Selectable	Lowest

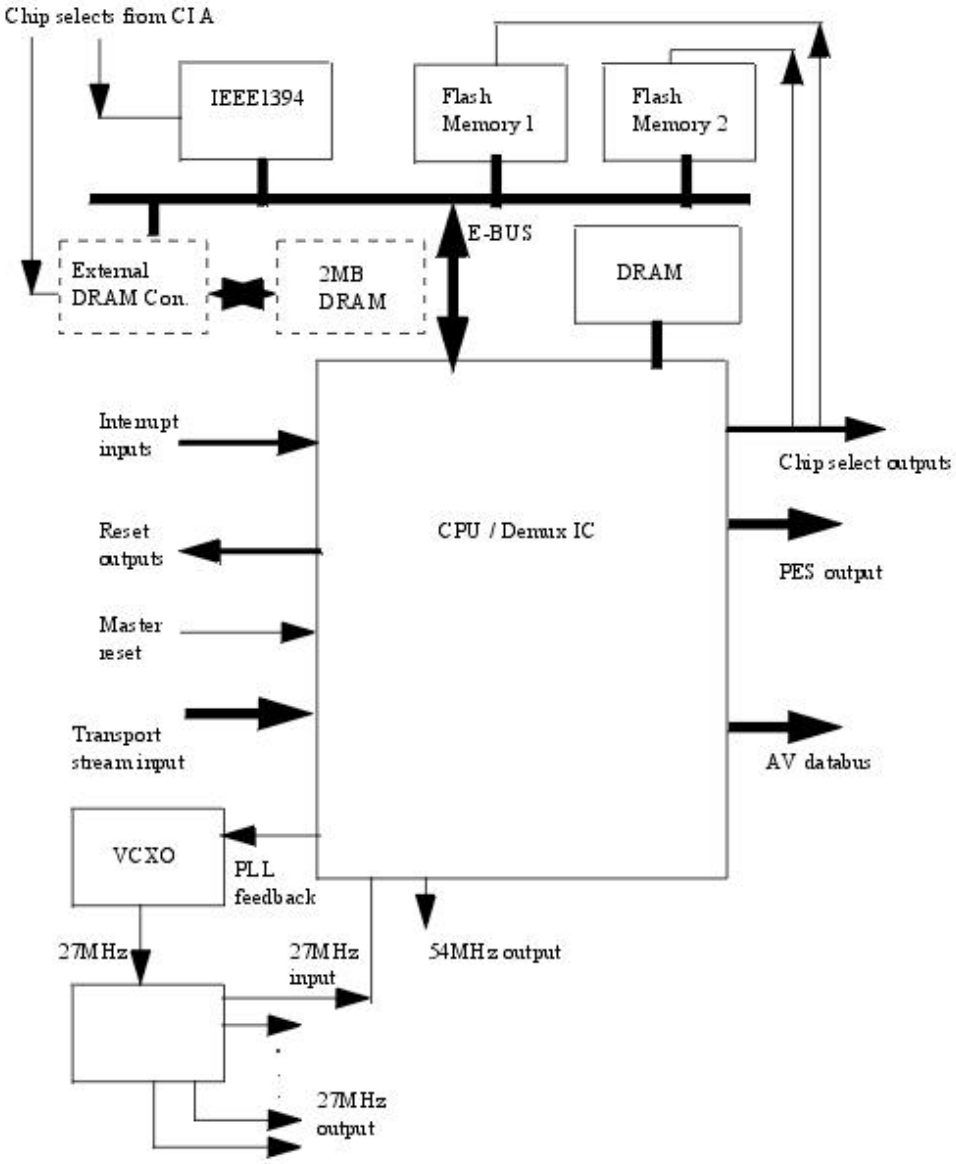
External Interrupts are mapped as follows

- EXTERNAL INT 4:External DRAM controller
- EXTERNAL INT 3:Common Interface B
- EXTERNAL INT 2:1394
- EXTERNAL INT 1:Common Interface A
- EXTERNAL INT 0:A/V Decoder

Note: The external interrupts have been re-arranged to enable debug on IRQ 4 while the DRAM controller is not being fitted.
The internal memory map is as below.

Chip select	Usage	Address (hex)			
		100.0000			
	Internal registers				
		F0.0000			
	Internal I/O				
		E0.0000			
CS0	Flash bank 1 (2MB) or Boot ROM				
		C0.0000			
CS1	Flash bank 0 (2MB)				
		A0.0000			
CS2	Common Interface A (2MB)				
		80.0000			
CS miss	Not allocated (4MB)				
		40.0000	Peripheral 2MB address space mapping		
			Chip Select	Usage	Address (Hex)
					40.0000
	Peripherals (2MB)		CS miss	(IEEE1394) (External DRAM controller)	
					23.0000
	This area is mapped		CS3	AV chip decoder	
	as shown in the				22.0000
	table on the right			Not Allocated	
					20.2000
			CS miss	Common Interface B	
					20, 0000
		20.0000			
	Primary DRAM (2MB)				
		00.0000			

CPU / Demux Architecture



MAIN SYSTEM CLOCK AND PLL

The 27MHz from the clock buffer is frequency/phase locked to the incoming datastream using a PLL (IC206, RR225, R223, R222, R219, C210, C212, C208, C209, C211). The local supply is decoupled through L200, C242, and R219 is used to isolate the local ground section.

The CPU uses a 54MHz clock internally, this is generated on-board using an internal 'x2' PLL loop. The 54MHz is available for test purposes at pin 20 / TP218, through R209.

TRANSPORT STREAM DEMULTIPLEXING (L64108)

The functionality of this section covers:

- Parsing the SI data from the transport stream
- Extracting the transport stream packets for the video and audio service
- Buffering the video and audio data onto the AV chip
- Extracting the data packets associated with the graphical objects and images which are to be displayed, or acted on.
- Separation of individual PES streams

This section of the IC contains the functional circuit blocks to carry out the transport stream processing to extract the necessary information from the SI packets of the transport stream to allow the service to be directly decoded.

It involves parsing the MPEG SI tables which carry all the data about the origin, content, timing and format of the services in the transport stream. Most of this work is done in hardware under the control of the CPU software tasks.

Having extracted the information to identify the service components video and audio components are buffered ready to pass onto the AV chip to be decoded. The data components (MHEG, teletext, etc.) are removed from the transport stream and decoded in the DRAM area using the appropriate software resource, e.g. bitmap expansion.
The video and audio components are passed onto the AV chip on the AV bus, this is as described in the AV chip section. The AV chip can respond to the AV video and audio request signals by arranging to pass the data when requested, this should not normally be needed.
The demux section also has the capability to separate PES streams which can be output through the parallel interface to the IEEE1394 section (this IEEE1394 section is not currently supported in either software or hardware).
Data for the graphical images which are sent as objects in and decoded from the transport stream packets is passed onto the AV chip over the E-BUS as data in burst mode.

JTAG TEST CAPABILITY

The CPU/demux chip has JTAG test capability. It can be configured either as part of a 'one loop' or 'two loop' test system with some of the other chips on the PCB, more details are given in the 'JTAG testing' section later.

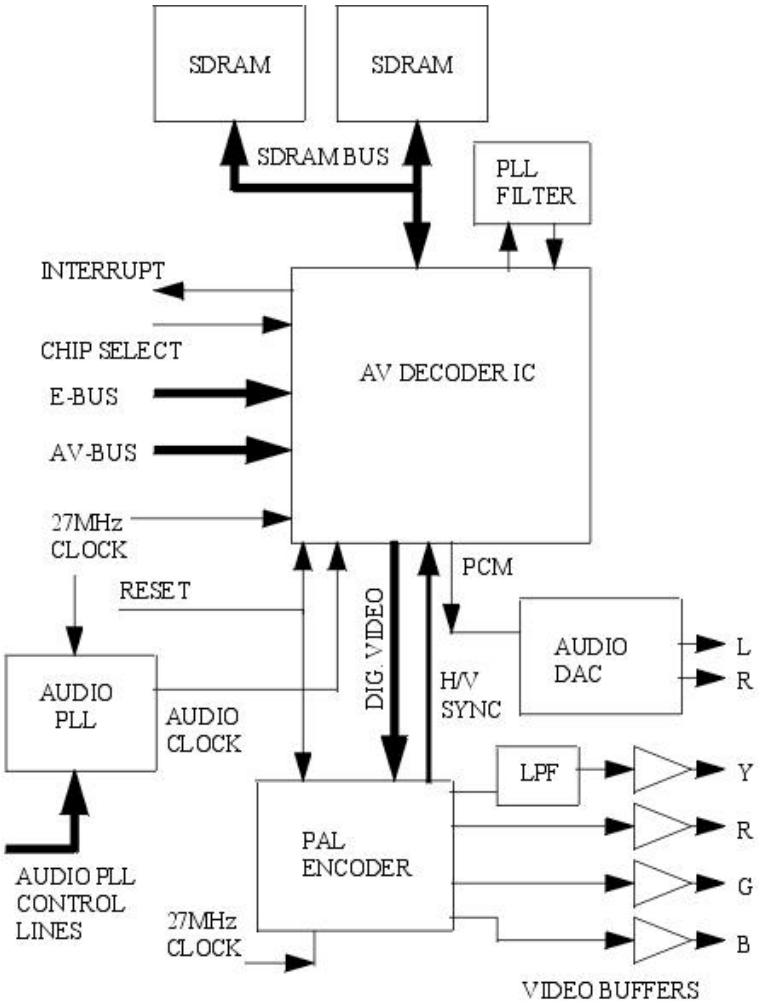
AV PROCESSOR IC (L64105)

The chip uses the main system clock at 27MHz from one output of the clock buffer IC.
The video and audio signals are sent from the demux IC to the AV chip on the AV bus. This is made up of:

- 8 bit wide data
- Video sample valid
- Audio sample valid
- Video sample request
- Audio sample request
- Error line

The E-BUS is used by the CPU to control the AV chip and to pass graphic image bitmaps which are to be displayed.
The data is made up of mixed audio and video samples identified by the 'valid' signals. The system should run such that a steady, but not constant, audio and video data stream is passed from the demux to the AV chip. If the data is not being sent quickly enough, signalled by the AV chip buffer contents falling below a certain level the 'request' lines can indicate this information back to the CPU to request more data of that type to prevent the AV chip stalling.
The chip is capable of decoding one moving video picture and one audio service (mono, stereo or dual mono) from the packet information sent on the AV bus from the demux IC at any time. The packets are decoded into defined buffer areas in memory and the decoding readout rate is controlled by the timing signals contained in the signal (SCR, PCR, DTS, PTS). The video image information should be available for playout to the video encoder at a constant rate of 25 frames/sec for PAL.
The AV chip also carries out the audio-video synchronisation using the timing information carried in the transport stream and the packet headers. This ensures good lipsync at all times.
The AV memory area (32Mb of SDRAM) is used to 'build' the full video image, made up of information which has been decoded from the video packet data and any graphics which have been generated by the CPU, e.g. menus, MHEG graphics, etc. The graphics can either be presented as a full screen 'graphics only' or as an overlay on the video using various levels of transparency.

AV Section Architecture



The video image can be scaled to either one half or one quarter size in the AV chip if appropriate with suitable interpolation filtering to remove artifacts as far as possible.

32Mb of SDRAM running at 81MHz is used to build and store the screen image in preparation for sending the data out to the video encoder at the correct field rate. The 81MHz clock is generated within the AV chip by 'x3' PLL, using C114, C115, R107. Since the PLL is very sensitive to any extraneous signals the local power supply decoupling is provided L100, C116, C125, and the local ground area is isolated through R113.

The SDRAM controller is a dedicated section of the AV chip. The chip selects, RAS, CAS, data and address lines are generated synchronously with the 81MHz clock for the 2 memory ICs.

The signal bus carrying the video data to the video encoder contains:

- 8 bit wide video samples
- OSD signal
- Horizontal and vertical sync

The video samples are in 4:2:2 format synchronous to the 27MHz main clock, giving a luma (Y) sample rate of 13.5MHz and a rate of 6.75MHz for the U and V chroma components. The OSD signal is generated by the AV chip indicating the presence of on-screen graphics, this is not used at present. The horizontal and vertical sync signals are generated by the video encoder and the AV decoder IC is driven in slave mode, these are both negative going sync signals. The information for the display is structured by the AV chip in an interlaced format optimised for a normal 5 fields/sec TV display.

The audio over-sampling clock is generated by the audio PLL IC (IC220) and fed into the ACLK_32, ACLK_48 and ACLK_441 pins of the AV chip. It is used to synchronise the decoding and readout of the audio data to the audio DAC.

The audio data signals are outputted from the AV chip in the form of serial PCM, the bus includes:

- Serial data - sequential left and right channels (ASDATA)
- Left/right sample synchronising clock (LRCLK)
- Sample rate clock (BCLK)
- Master over-sampling clock (A_CLK)

These signals are sent onto the audio DAC (see later).

VIDEO ENCODER

The IC (IC500) used is an Analog Devices ADV7170A type which includes Macrovision capability. It is capable of generating either PAL or NTSC video with VBI teletext, closed caption (NTSC feature) and WSS insertion. In this application we use the chip in PAL mode and use the WSS option on scan line 23 to allow televisions which respond to it (including the TV display section of the D8 series receivers) to automatically set the optimum picture size dependent on the transmitted AFD (Active Format Descriptor) information.

The power supply for the IC is 3.3V, but the output transistor buffers are supplied by a separate analogue 9V line direct from the IDTV or STB motherboard. The 9V is filtered locally by L500, C500, C521, C525. The IC supply is filtered through L501, C503, C514.

It is controlled by the I2C bus within the digital module, and the reset is generated by the CPU, common with the AV chip, the pull-ups are R532, R533 and the series protection resistors are R508 and R510. R509 is fitted to set the I2C address.

R507 is used to set the DAC reference currents to give the correct output amplitude.

The chip uses the main 27MHz clock as a reference to process the incoming video data, this is from the clock buffer IC.

The video input is in 8 bit parallel 4:2:2 form from the AV decoder synchronised to the main 27MHz clock.

The outputs are composite (CVBS), red (R), green (G) and blue (B), which are buffered to the video output port through transistor buffers (Q500 – Q503, R522, R516, R17, R505, R506, R504, R514, R517, R513, R520, R519, R521). An additional filter (C501, C518, C519, L502, L503) is used in the composite line to further reduce any possible alias products so that the video would be suitable for a TV in which digital processing is applied. The video outputs are further filtered at the output pins of PL501 to give EMC/ESD protection.

The system operates with the PAL encoder in master mode, i.e. it supplies horizontal and vertical sync to the AV decoder.

WSS information is sent to the video encoder by the demux in I2C form to insert into the line 23 of the composite stream. This information is sent to the IC from the CPU on the I2C bus.

There are data and clock connections to the CPU so that VBI World Standard Teletext (WST) can be supported but this feature is not currently used.

AUDIO DAC (DIGITAL TO ANALOG CONVERTER)

The IC (IC501) is a Crystal CS4334 type, operated from 5V to give sufficient headroom for a full SCART level audio output without distortion. The 5V supply is locally decoupled by L505, CC508, C509, C522, C524.

The PCM serial data (ASDATA), sample clock (LRCLK), bit clock (BCLK) and oversampling master clock (A_CLK) are supplied by the AV decoder IC to the audio DAC.

The outputs are stereo (left/right) audio are filtered by R511, R500, C504, C505 at the output (PL500) to provide some ESD and interference protection.

There are no control or reset functions on the DAC. The output is through PL500.

EXTERNAL DRAM CONTROLLER (IC700, IC701)

GENERAL

The PCB has provision for an external DRAM controller mapped into the E-BUS. The chip select for this is provided through CI A IC. This allows for the 16bit wide data bus and 24 bit address bus to control an extra 2MB of EDO DRAM. It uses IC700, IC701and its associated components, but it is not used at present.

CIRCUIT DESCRIPTION

An Altera device (7128 series) is used for this function, it uses the E-BUS as a main data bus, and a chip select mapped from the CI A chip. The DRAM supported is a 2MB (1M x 16 bit) EDO DRAM similar to that supported by the main CPU.

It is included to cover future possible requirements but it is not currently used.

JTAG TEST CAPABILITY

The Altera chip used as an external DRAM controller has JTAG test capabilty. It can be configured either as part of a ‘one loop’ or ‘two loop’ test system with some of the other chips on the PCB, more details are given in the ‘JTAG testing’ section later.

IEEE1394 INTERFACE (IC600, IC601)

GENERAL

IEEE1394 is a fast serial bus designed to operate at bitrates of 100MB/s, 200MB/s and 400MB/s. It is capable of driving over reasonably long cable runs, e.g. between rooms, and is thus seen as a means to run full or partial transport streams to and from display devices and sources, e.g. digital VCR.

The PCB has provision for a IEEE1394 interface with two socket positions. This requires two Texas Instruments ICs, a link layer chip mapped into the E-BUS, and a physical layer chip. It is designed to use a chip select provided by Common Interface A IC..

The circuitry required is IC600, IC601 and the associated components.

CIRCUIT DESCRIPTION

Silicon designed by Texas Instruments has been designed in for this function. This is made up of a link layer IC (IC600) which effectively forms part of the data protocol conversion between the controller/data source (the MPEG CPU) and the physical layer chip (IC601)which communicates with the outside world through CN601, CN602 to provide a high speed bi-directional serial data link.

An option for DC isolation is provided in the capacitive interface between these ICs.

This interface is not fitted to the PCBs at present.

JTAG TEST CAPABILITY

The link layer chip has JTAG test capabilty. It can be configured either as part of a ‘one loop’ or ‘two loop’ test system with some of the other chips on the PCB, more details are given in the ‘JTAG testing' section following.

JTAG TESTING

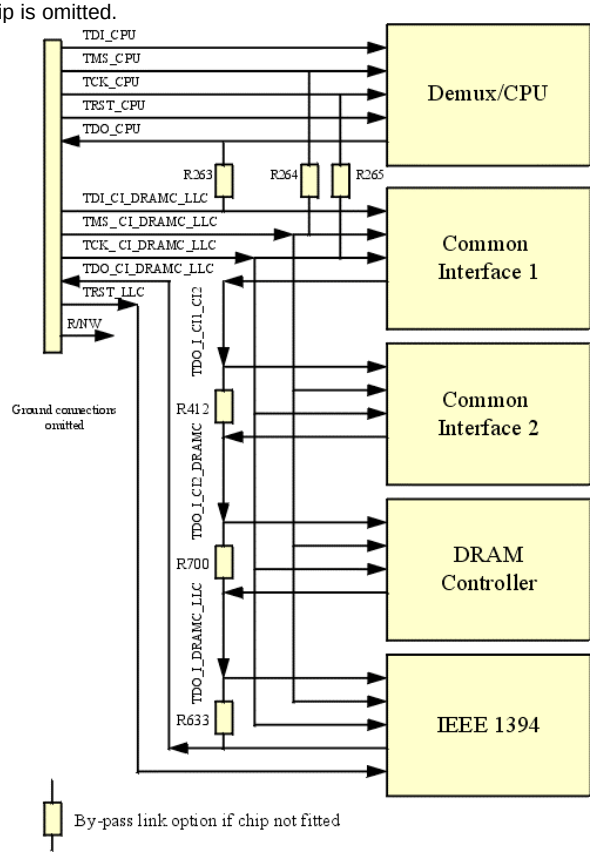
A port has been designed into the PCB to allow full JTAG testing of some of the devices. This covers:

- CPU/Demux
- CI chips A and B
- External DRAM controller (not used at present)
- IEEE1394 Link Layer Controller (not used at present)

There are five lines associated with the JTAG communication. These are:

- TDIdata into the chip
- TDOdata out of the chip (return path)
- TMStest mode select
- TCKclock line to pass the data chain through the devices
- TRSTtest mode reset, not used by all devices.

The first 4 of these are used by all the chips, and the reset by the CPU/demux and IEEE1394 only.
It is possible to use JTAG test methods for much of the completed MPEG PCB. JTAG, also known as boundary scan testing, is a method of loading test bit streams into chips in serial mode using a test mode clock synchronised to the data through a dedicated port to force I/O pins into known states so that the effect can be read back. For this a test mode must be selected on the chip.
Access to and functionality of the DRAM and flash memory associated with the CPU can be tested using this method, and code can be downloaded to the flash memory chips. This is made more efficient by the use of the CPU R/NW line to reduce the number of cycles required to execute a read and write to the devices.
The serial bus is structured in 2 parts, one for the CPU/demux only and the second for all the other devices, this enables a more efficient flash chip download through the JTAG link since the chain is shorter. Zero ohm resistors link options are placed to connect the 2 loops together to all the chips in series if the JTAG code loading to the flash chip is not needed.
The JTAG test code will need to be modified if chips are to be omitted from the loops.
The net names used on the diagram attached are as we have used on the schematics, and the programming connector is 14 ways, carrying 3 grounds. Omitted from the diagram are 10k pull ups on the following lines :-
R271 TDI_CPU
R272 TMS_CPU
R273 TRST_CPU
R274 TDI_CI_DRAMC_LLC
R276 TMS_CI_DRAMC_LLC
with a clock termination network fitted, consisting of 68R and 100pF in series to ground on the following :-
R274/C261 TCK_CPU
R277/C262 TCK_CI_DRAMC_LLC
The facility is connected such that it can be configured as a single loop through all the devices sequentially, with links R263, R264 and R265 fittted, or as two loops, covering the CPU/demux only in one loop and the other ICs in another. Resistors R412, R633 and R700 are fitted only if the associated chip is omitted.



TEST POINTS ON MPEG PCB

Test Point	Net Name	Function
Sheet 1	AV Section	
TP100	AV_D7	SDRAMdata 7
TP101	AV_D6	SDRAMdata 6
TP102	AV_D5	SDRAMdata 5
TP103	AV_D4	SDRAMdata 4
TP104	AV_D3	SDRAMdata 3
TP105	AV_D2	SDRAMdata 2
TP106	AV_D1	SDRAMdata 1
TP107	AV_D0	SDRAMdata 0
TP108	AV_DEMUX-AV_0	Multiplexed video and audio (Demux to AV) b0
TP109	AV_DEMUX-AV_1	Multiplexed video and audio (Demux to AV) b1
TP1010	AV_DEMUX-AV_2	Multiplexed video and audio (Demux to AV) b2
TP1011	AV_DEMUX-AV_3	Multiplexed video and audio (Demux to AV) b3
TP1012	AV_DEMUX-AV_4	Multiplexed video and audio (Demux to AV) b4
TP1013	AV_DEMUX-AV_5	Multiplexed video and audio (Demux to AV) b5
TP1014	AV_DEMUX-AV_6	Multiplexed video and audio (Demux to AV) b6
TP1015	AV_DEMUX-AV_7	Multiplexed video and audio (Demux to AV) b7
TP116	/AV_DEMUX-AV_ERR	Data error indication
TP117	AV_DEMUX-V_AVALID	Audio sample valid
TP118	AV_DEMUX-V_VVALID	Video sample valid
TP119	/AV_DEMUX-AV_VREQ	Request for video samples
TP120	/AV_DEMUX-AV_AREQ	Request for audio samples
TP182	TOS	Test function
TP181	MOT / NOT INTEL	Busmode - Motorola (high) / Intel (low)
TP121	CLK_27_8	27MHz clock input to AV chip
TP122	/AV_RESET	AV chip reset (active low)
TP123	/INT_AV	Interrupt to CPU from AV chip(active low)
TP124	/DSACK0	Bus transfer timing control line
TP125	R/NW	Read (high) / write (low)
TP126	/DS	Data strobe (active low)
TP127	/AS	Address strobe (active low)
TP128	/CS_AV	AV chip select (active low)
TP129	/VSYNC_AV	Vertical sync into AV chip (active low)
TP130	/HSYNC_AV	Horizontal sync into AV chip (active low)
TP131	OSD	On screen display present indicator (active high)
TP132	YC7_AV	Video output 7 to encoder IC
TP133	YC6_AV	Video output 6 to encoder IC
TP134	YC5_AV	Video output 5 to encoder IC
TP135	YC4_AV	Video output 4 to encoder IC
TP136	YC3_AV	Video output 3 to encoder IC
TP137	YC2_AV	Video output 2 to encoder IC
TP138	YC1_AV	Video output 1 to encoder IC
TP139	YC0_AV	Video output 0 to encoder IC
TP140	PLL_ACLK	PCM audio oversampling clock input from PLL IC
TP141	A_CLK	PCM audio oversampling clock output
TP142	BCLK	PCM sample bitrate audio clock
TP143	LRCLK	PCM left/right audio sample ID signal
TP144	ASDATA	PCM audio data
TP179	SCAN_TE	Test input
TP183	ZTEST	Test input
TP145	AV_D15	SDRAM data 15
TP146	AV_D14	SDRAM data 14
TP147	AV_D13	SDRAM data 13
TP148	AV_D12	SDRAM data 12
TP149	AV_D11	SDRAM data 11
TP150	AV_D10	SDARM data 10
TP151	AV_D9	SDARM data 9
TP152	AV_D8	SDRAM data 8
TP180	SCLK	SDRAM 81MHz clock direct from AV chip
TP173	SCLK_B	SDRAM 81MHz clock after link resistor
TP153	AV_A9	SDRAM address 9

Test Point	Net Name	Function
TP154	AV_A8	SDRAM address 8
TP155	AV_A7	SDRAM address 7
TP156	AV_A6	SDARM address 6
TP157	AV_A5	SDRAM address 5
TP158	AV_A4	SDARM address 4
TP159	AV_A3	SDRAM address 3
TP160	AV_A2	SDRAM address 2
TP161	AV_A1	SDRAM address 1
TP162	AV_A0	SDRAM address 0
TP163	AV_A10	SDRAM address 10
TP164	AV_A11	SDRAM address 11
TP165	/BCS1	SDRAM 1 chip select
TP166	/BCS0	SDRAM 0 chip select
TP167	/BRAS	RAS SDRAM control
TP168	/BCAS	CAS SDRAM control
TP169	/BWE	SDRAM write enable
TP170	DQM	SDRAM data control mask
TP171	LP2	PLL control
TP174	PLLVDD	81MHz phase lock loop local supply
TP172	PLLVSS	81MHz PLL local ground
TP178	LP2 (via resistor)	PLL control
TP177	GNDD	Digital ground
TP175	CKEA0	Clock enable, SDRAM 0
TP176	CKEA1	Clock enable, SDRAM 1
Sheet 2	CPU/Demux	
TP1155	5V M-PEG	5V MPEG supply voltage
TP1040	5V_OSC	5Vsupply voltage to 27MHz oscillator voltage
TP257	MCLK_SDC	27MHz oscillator feedback
TP243	27MHzCLK	27MHz clock
TP1034	27MHz OSC2	27MHz oscillator crystal
TP1032	27MHz OSC1	27MHz oscillator crystal
TP256	27MHzOUT	27MHz oscillator output collector
TP254	CLK_27_OSCOUT	Biased 27MHz oscillator clock output to buffer IC
TP997	CLK_27_0	27MHz oscillator clock output 0
TP229	CLK_27_1	27MHz oscillator clock output 1
TP998	CLK_27_2	27MHz oscillator clock output 2
TP999	CLK_27_3	27MHz oscillator clock output 3
TP263	CLK_27_4	27MHz oscillator clock output 4
TP262	CLK_27_5	27MHz oscillator clock output 5
TP226	CLK_27_6	27MHz oscillator clock output 6
TP225	CLK_27_7	27MHz oscillator clock output 7
TP224	CLK_27_8	27MHz oscillator clock output 8
TP223	CLK_27_9	27MHz oscillator clock output to CPU PLL
TP1067	PDATA_DIR	Control for parallel data bus
TP218	MCLK_54	54MHz clock output after resistor
TP1061	MCLK_54_CPU	54MHz clock output direct on IC
TP1137	TCK_CPU	JTAG clock to CPU
TP1141	TCK_CPU	JTAG clock to CPU
TP264	TDI_CI_DRAMC_LLC	JTAG data input to DRAM
TP265	TMS_CI_DRAMC_LLC	JTAG Test mode set for DRAM controller/IEEE 1394 LLC chip
TP266	TDO_CI_DRAMC_LLC	JTAG data output
TP267	TCK_CI_DRAMC_LLC	JTAG clock input
TP268	TRST_LLC	JTAG reset input
TP215	TDI_CPU	JTAG data input to CPU
TP214	TDO_CPU	JTAG data output to CPU
TP213	TMS_CPU	JTAG Test mode set for CPU
TP212	TCK_CPU	JTAG clock to CPU
TP211	TRST_CPU	JTAG reset to CPU
TP234	MPEG_TO_USER_IPL_B	MPEG to user interprocessor link data
TP235	USER_TO_MPEG_IPL	User to MPEG interprocessor link data
TP220	18M_CLOCK_RESET	18MHz clock reset
TP201	/CI_RESET	/CI_RESET

Test Point	Net Name	Function
TP203	/1EEE1394_RESET	/1EEE1394_RESET
TP219	/OFFHOOK	Not off hook detect
TP249	/PALENC_AV_RESET	PAL encoder reset
TP248	NVM_WP#	NVM write protect
TP995	22KHZ_EN	22KHZ enable pin
TP216	TS/NPES	Transport stream select
TP1105	ROM_SIZE	ROM_SIZE
TP233	/TS	Packet elemental stream select
TP1152	GNDD	Digital ground
TP1041	USER_RESET	USER_RESET (from IPL)
TP221	/RESET	Not MPEG reset
TP244	MPEG_RESET	MPEG_RESET
TP1097	USER_RESET	base drive for user reset (from IPL)
TP217	/USER_RESET_B	Not user reset (from IPL)
TP1113	SC_DET_B	Smart card detect B
TP1104	SC0_C4	Smart card output 4
TP1103	SC_RST0	Smart card reset
TP1075	SC_DETECT0	Smart card detect O
TP1081	SC_CLK0	Smart card clock output
TP1102	SC0_C8	Smart card output 8
TP1037	/CS_EPROM	Not chip select eprom
TP1052	/OE_ROM	Not ROM output enable
TP1151	GNDD	Digital Ground
TP227	RY/NBY1	Ready/ not Busy Flash 1
TP228	RY/NBY0	Ready/ not Busy Flash 0
TP1100	/CS_FLASH0	Not flash chip select 0
TP1048	/CS_FLASH1	Not flash chip select 1
TP232	SC1_I/O	Smart card input/output 1
TP250	/CS_008	Not chip select 008
TP251	/BREQ	Bus request
TP252	/BGACK	Bus Grant acknowledge
TP253	/INT_CI1	Interupt common interface 1
TP255	/INT_1EEE1394	Interupt IEEE1394
TP258	/INT_CI2	Interupt common interface 2
TP259	/INT_DRAMC	Interupt DRAM controller
TP260	/DMACK	DMA acknowledge
TP261	/RESET	Not reset
TP1156	ACLK	Oversampling clock
TP1150	/DMREQ	DMA request
TP231	/CS0	Not Chip select 0
TP1106	/CS1	Not Chip select 1
TP204	/STROBE	IEEE1284/IEEE1394 data strobe
TP210	/AUTOFD	IEEE1284 general purpose control
TP202	/INIT	IEEE1284 peripheral initialisation
TP209	/SELECTIN	IEEE1284 peripheral selection indicator
TP269	1394OUT7	1394 OUTPUT 7
TP208	/1394OVAL	Not 1394 output valid
TP207	BUSY	IEEE1284 peripheral busy
TP206	PERROR	IEEE1284 peripheral error
TP205	SELECT	IEEE1284/IEEE1394 peripheral select
TP200	/NFAULT	IEEE1284 peripheral fault
TP230	MODEM_DTR	Modem Data terminal ready
TP236	MODEM_CTS	Modem clear to send
TP237	MODEM_DSA	Modem Data set ready
TP238	MODEM_TO_CPU	Modem to CPU data
TP239	CPU_TO_MODEM	CPU to modem data
TP240	MODEM_RTS	Modem ready to send
TP241	RS232_RX	RS232 receive
TP242	RS232_TX	RS232 transmit
TP1063	RS232_RTS	RS232 ready to send
TP1062	RS232_CTS	RS232 clear to send
TP293	PD_A4	DRAM address 4
TP292	PD_A5	DRAM address 5

Test Point	Net Name	Function
TP291	PD_A6	DRAM address 6
TP290	PD_A7	DRAM address 7
TP289	PD_A8	DRAM address 8
TP288	/PD_RAS1	NotDRAM row address 1
TP287	/PD_CAS0H	Not DRAM colum address high
TP286	/PD_CAS0L	Not DRAM colum address low
TP285	PD_D8	DRAM data 8
TP284	PD_D9	DRAM data 9
TP283	PD_D10	DRAM data 10
TP282	PD_D11	DRAM data 11
TP281	PD_D12	DRAM data 12
TP280	PD_D13	DRAM data 13
TP279	PD_D14	DRAM data 14
TP278	PD_D15	DRAM data 15
TP270	PD_D0	DRAM data 0
TP271	PD_D1	DRAM data 1
TP272	PD_D2	DRAM data 2
TP273	PD_D3	DRAM data 3
TP274	PD_D4	DRAM data 4
TP275	PD_D5	DRAM data 5
TP276	PD_D6	DRAM data 6
TP277	PD_D7	DRAM data 7
TP294	PD_A0	DRAM address 0
TP295	PD_A1	DRAM address 1
TP296	PD_A2	DRAM address 2
TP297	PD_A3	DRAM address 3
TP246	/PD_WEO	Not DRAM Write enable
TP247	/PD_RAS0	Not DRAM row address 0
TP1074	ZTEST	LSI test pin
TP1069	LP2	CPU clock generator low pass filter
TP222	LP2	CPU clock generator low pass filter
TP299	PLLAGNDD	PLL Ground
TP298	PLLVDD_P	PLL 3V3 supply
TP1153	3V3_MPEG	3V3 MPEG supply voltage
TP1078	OPAMP	Opamp reference
TP245	IREF	Op-amp input (from cpu)
Sheet 4	Common Interface	
TP316	TS/NPES	Transport stream select
TP363	1394OUT0	1394 output 0
TP362	1394OUT1	1394 output 1
TP361	1394OUT2	1394 output 2
TP360	1394OUT3	1394 output 3
TP359	1394OUT4	1394 output 4
TP358	1394OUT5	1394 output 5
TP357	1394OUT6	1394 output 6
TP356	1394OUT7	1394 output 7
TP435	/STROBE	IEEE1284/IEEE1394 data strobe
TP436	SELECT	IEEE1284/IEEE1394 peripheral select
TP437	ERROR	IEEE1284/IEEE1394 peripheral error
TP424	TS_CI_DEMUX_0	MPEG Transport 0
TP425	TS_CI_DEMUX_1	MPEG Transport 1
TP426	TS_CI_DEMUX_2	MPEG Transport 2
TP427	TS_CI_DEMUX_3	MPEG Transport 3
TP428	TS_CI_DEMUX_4	MPEG Transport 4
TP429	TS_CI_DEMUX_5	MPEG Transport 5
TP430	TS_CI_DEMUX_6	MPEG Transport 6
TP431	TS_CI_DEMUX_7	MPEG Transport 7
TP432	TS_CI_DEMUX_CLK	Transport clock
TP433	TS_CI_DEMUX_VALID	Transport valid
TP434	TS_CI_DEMUX_ERR	Transport error
TP448	SW_PES_ERR	Switch present transport error
TP447	SW_PES_EN	Switch present transport enable

Test Point	Net Name	Function
TP446	SW_PES_CLK	Switch present transport clock
TP445	SW_PES_7	Switch present transport 7
TP444	SW_PES_6	Switch present transport 6
TP443	SW_PES_5	Switch present transport 5
TP442	SW_PES_4	Switch present transport 4
TP441	SW_PES_3	Switch present transport 3
TP440	SW_PES_2	Switch present transport 2
TP439	SW_PES_1	Switch present transport 1
TP438	SW_PES_0	Switch present transport 0
TP318	CD2#_B	Not Card detect CI 2
TP319	101S16#_	Not 8 or 16 bit data access
TP320	MDO2_B	Transport stream data out Bit 2
TP321	D2_B	CI 2 Data Bus Bit 2
TP322	MDO1_B	Transport stream data out Bit 1
TP323	D1_B	CI 2 Data Bus Bit 2
TP324	MDO0_B	Transport stream data out Bit 0
TP325	D0_B	CI 2 Data Bus Bit 0
TP326	MOSTR0_B	Transport stream out Packet start
TP327	A0_B	CI 2 Address Bus Bit 0
TP328	MOVAL_B	Transport stream out Packet valid
TP329	A1_B	CI 2 Address Bus Bit 1
TP330	REG#_B	CI 2 Register select
TP331	A2_B	CI 2 Address Bus Bit 2
TP332	INPACK#_B	CI 2 Acknowledge data transfer
TP333	A3_B	CI 2 Address Bus Bit 3
TP334	WAIT#_B	CI 2 Extended data transfer
TP335	A4_B	CI 2 Address Bus Bit 4
TP336	RESET_B	CI 2 reset module CPU
TP337	A5_B	CI 2 Address Bus Bit 5
TP338	MCLKO_B	CI 2 Transport stream packet clock out
TP339	A6_B	CI 2 Address Bus Bit 6
TP340	A7_B	CI 2 Address Bus Bit 7
TP341	MD16_B	CI 2 transport stream data in Bit 6
TP342	A12_B	CI 2 Address Bus Bit 12
TP343	MD15_B	CI 2 transport stream data in Bit 5
TP344	MCLK1	CI 2 transport stream packet clock in
TP345	MD14_B	CI 2 transport stream data in Bit 4
TP346	MIVAL_B	CI 2 transport stream packet valid in
TP347	MD13_B	CI 2 transport stream data in Bit 3
TP348	IREQ#_B	CI 2 Interupt request from module
TP349	MD12_B	CI 2 transport stream data in Bit 2
TP368	WE#_B	CI 2 module memory write enable
TP369	MD11_B	CI 2 transport stream data in Bit 1
TP370	A14_B	CI 2 Address Bus Bit 14
TP371	MD10_B	CI 2 transport stream data in Bit 0
TP380	A13_B	CI 2 Address Bus Bit 13
TP381	M1STRT_B	CI 2 transport stream packet start in
TP382	A8_B	CI 2 Address Bus Bit 8
TP383	IOWR#_B	CI 2 Module write enable
TP384	A9_B	CI 2 Address Bus Bit 9
TP385	IORD#_B	CI 2 Module read enable
TP386	A11_B	CI 2 Address Bus Bit 11
TP387	VS1#_B	CI 2 Module voltage sense pin 1
TP389	OE#_B	CI 2 Module memory output enable
TP390	CE2#_B	CI 2 Module enable 2
TP391	A10_B	CI 2 Address Bus Bit 10
TP392	MDO7_B	CI 2 transport stream data out Bit 7
TP393	CE1#_B	CI 2 Module enable 1
TP394	MDO6_B	CI 2 transport stream data out Bit 6
TP395	D7_B	CI 2 Data Bus Bit 7
TP396	MDO5_B	CI 2 transport stream data out Bit 5
TP397	D8_B	CI 2 Data Bus Bit 8
TP398	MDO4_B	CI 2 transport stream data out Bit 4

Test Point	Net Name	Function
TP399	D5_B	CI 2 Data Bus Bit 5
TP402	MDO3_B	CI 2 transport stream data out Bit 3
TP461	/CI_RESET_B	CI 2 Interface chip reset
TP462	/CONFIG_CI	CI Configuration control input
TP464	VCC5_EN_B	CI 2 Enable VCC to 5V
TP465	VCC3_EN_B	CI 2 Enable VCC to 3V3
TP467	EN1_B	CI 2 VPP enable 1
TP400	1_FLAG_B	CI 2 Error indication IC403
TP468	INIT_DONE_B	CI initialisation complete
TP367	RDNBSY_B	CI 2 configuration ready line
TP366	CLKUSR_B	CI 2 optional initialisation clock
TP469	NCS_B	CI 2 chip select active low
TP470	CS_B	CI 2 chip select active high
TP471	NWS_B	CI 2 write strobe
TP472	NRS_B	CI 2 read strobe
TP473	DEV_OE_B	CI 2 enable O/Ps to tristate
TP474	DCLK_CI	CI configuration data clock
TP475	DEV_CLRN_B	CI 2 enable register clear
TP377	BCLKOUT	Transport stream packet clock from FE to CI 1
TP379	DVALIDOUT	Transport stream packet valid from FE to CI 1
TP378	FSTARTOUT/NOT_EPROM	Transport stream packet start from FE to CI 1
TP403	TS_A_B_0	Transport stream data CI 1 to CI 2 bit 0
TP404	TS_A_B_1	Transport stream data CI 1 to CI 2 bit 1
TP405	TS_A_B_2	Transport stream data CI 1 to CI 2 bit 2
TP406	TS_A_B_3	Transport stream data CI 1 to CI 2 bit 3
TP407	TS_A_B_4	Transport stream data CI 1 to CI 2 bit 4
TP408	TS_A_B_5	Transport stream data CI 1 to CI 2 bit 5
TP409	TS_A_B_6	Transport stream data CI 1 to CI 2 bit 6
TP410	TS_A_B_7	Transport stream data CI 1 to CI 2 bit 7
TP411	TS_A_B_MCLK	Transport stream packet clock CI 1 to CI 2
TP422	TS_A_B_MVAL	Transport stream packet valid CI 1 to CI 2
TP423	TS_A_B_MSTRT	Transport stream packet start CI 1 to CI 2
TP480	TS2_IN_MSTRT	Transport stream packet start IEEE1394 to CI 1
TP481	TS2_IN_MVAL	Transport stream packet valid IEEE1394 to CI 1
TP482	TS2_IN_MCLK	Transport stream packet clock IEEE1394 to CI 1
TP483	TS2_IN_7	Transport stream data IEEE1394 to CI 1 bit 7
TP484	TS2_IN_6	Transport stream data IEEE1394 to CI 1 bit 6
TP485	TS2_IN_5	Transport stream data IEEE1394 to CI 1 bit 5
TP486	TS2_IN_4	Transport stream data IEEE1394 to CI 1 bit 4
TP487	TS2_IN_3	Transport stream data IEEE1394 to CI 1 bit 3
TP488	TS2_IN_2	Transport stream data IEEE1394 to CI 1 bit 2
TP489	TS2_IN_1	Transport stream data IEEE1394 to CI 1 bit 1
TP490	TS2_IN_0	Transport stream data IEEE1394 to CI 1 bit 0
TP412	CPU_D0	Main CPU data bus bit 0
TP413	CPU_D1	Main CPU data bus bit 1
TP414	CPU_D2	Main CPU data bus bit 2
TP415	CPU_D3	Main CPU data bus bit 3
TP416	CPU_D4	Main CPU data bus bit 4
TP417	CPU_D5	Main CPU data bus bit 5
TP418	CPU_D6	Main CPU data bus bit 6
TP419	CPU_D7	Main CPU data bus bit 7
TP420	CPU_D8	Main CPU data bus bit 8
TP421	CPU_D9	Main CPU data bus bit 9
TP449	CPU_D10	Main CPU data bus bit 10
TP450	CPU_D11	Main CPU data bus bit 11
TP451	CPU_D12	Main CPU data bus bit 12
TP452	CPU_D13	Main CPU data bus bit 13
TP453	CPU_D14	Main CPU data bus bit 14
TP454	CPU_D15	Main CPU data bus bit 15
TP455	CPU_A0	Main CPU address bit 0
TP463	CPU_A1	Main CPU address bit 1
TP494	CPU_A2	Main CPU address bit 2
TP495	CPU_A3	Main CPU address bit 3

Test Point	Net Name	Function
TP496	CPU_A4	Main CPU address bit 4
TP497	CPU_A5	Main CPU address bit 5
TP498	CPU_A6	Main CPU address bit 6
TP499	CPU_A7	Main CPU address bit 7
TP300	CPU_A8	Main CPU address bit 8
TP301	CPU_A9	Main CPU address bit 9
TP302	CPU_A10	Main CPU address bit 10
TP303	CPU_A11	Main CPU address bit 11
TP304	CPU_A12	Main CPU address bit 12
TP305	CPU_A13	Main CPU address bit 13
TP306	CPU_A14	Main CPU address bit 14
TP307	CPU_A15	Main CPU address bit 15
TP308	CPU_A16	Main CPU address bit 16
TP309	CPU_A17	Main CPU address bit 17
TP310	CPU_A18	Main CPU address bit 18
TP311	CPU_A19	Main CPU address bit 19
TP312	CPU_A20	Main CPU address bit 20
TP313	CPU_A21	Main CPU address bit 21
TP314	CPU_A22	Main CPU address bit 22
TP315	CPU_A23	Main CPU address bit 23
TP350	NCEO_A	CI 1 Configuration complete enable
TP351	EN1_A	CI 1 VPP enable 1
TP352	EN0_A	CI 1 VPP enable 0
TP353	VCC3_EN_A	CI 1 VCC 3V3 enable
TP354	VCC5_EN_A	CI 1 VCC 5V enable
TP401	I_FLAG_A	CI 1 Error indication IC401
TP365	INIT_DONE_A	CI 1 Initialisation complete
TP364	RDNBSY_A	CI 1 configuration ready line
TP372	CLKUSR_A	CI 1 optional initialisation clock
TP355	CONF_DONE_C1	CI Configuration ready/complete
TP456	RESET_A	CI 1 Reset module CPU
TP457	A4_A	CI 1 Address Bus Bit 4
TP373	A2_A	CI 1 Address Bus Bit 2
TP374	A_PLL_2	Audio PLL select 2
TP458	DATA_CI	CI Configuration data
TP375	DEV_CLRN_A	CI 1 enable register clear
TP459	/CS_1EEE1394	Chip select IEEE1394 LLC
TP460	/CS_CI_B	Chip select CI 2
TP376	CD7	Transport stream data FE to CI 1 bit 7
TP493	CD6	Transport stream data FE to CI 1 bit 6
TP492	CD5	Transport stream data FE to CI 1 bit 5
TP491	CD4	Transport stream data FE to CI 1 bit 4
TP479	CD3	Transport stream data FE to CI 1 bit 3
TP478	CD2	Transport stream data FE to CI 1 bit 2
TP477	CD1	Transport stream data FE to CI 1 bit 1
TP476	CD0	Transport stream data FE to CI 1 bit 0
Sheet 5	Video/Audio Output	
TP504	SCRESET/RTC	Sub carrier reset/real time control mode
TP515	TTXREQ	Teletext data request signal
TP514	TTXDATA	Teletext data input
TP516	RSET	Setting for full scale amplitude of video signals
TP500	/VSYNC_AV	Field/V synch
TP502	ALSB	TTL address input
TP513	I^2C_ADDRESS	I^2C_ADDRESS
TP503	/PALENC_AV_RESET	/PALENC_AV_RESET
TP512	COMP	PAL encoder comparater input
TP528	VREF	PAL encoder reference voltage
TP544	SCL	I^2C clock
TP548	SDA	I^2C data
TP506	R/C	Red/chroma output from pal encoder
TP507	G/Y	Green/Luma output from pal encoder
TP508	B/CVBS	Blue/CVBS output from pal encoder

Test Point	Net Name	Function
TP509	CVBS	CVBS output from pal encoder
TP535	CVBS_F	CVBS output after 1st filter
TP539	CVBS_F	CVBS output after 2nd filter
TP540	CVBS_F	CVBS input to base of output driver
TP541	CVBS	CVBS/Luma output from driver
TP532	CVBS/Y_DIG	CVBS output
TP545	9V_OUTPUT	9V supply for output drivers
TP546	GNDA_OUTPUT	Analogue ground
TP511	B/CVBS	Blue/CVBS input to base of output driver
TP538	B/CVBSOP	Blue/CVBS output of driver
TP533	B/CVBSOUT	Blue/CVBS output
TP536	G/Y	Green/Luma input to base of output driver
TP537	G/Y	Green/Luma output of driver
TP547	G/Y_DIG	Green/Luma digital output after termination
TP531	R/C	Red/chroma input to base of output driver
TP542	R/C_DIG	Red/chroma output from driver
TP534	R/C_DIG	Red/Chroma digital output after termination
TP505	5VADAC	5V audio DAC supply votage
TP529	AOUTL	Audio DAC left output
TP530	AOUTR	Audio DAC right output
TP526	AOUTL	Left audio output
TP527	AOUTR	Right audio output
TP510	PIN8_ENABLE	Pin 8 enable
sheet 6	IEEE1394	
TP601	TDO_I_DRAMC_LLC	JTAG
TP619	CNTNDA	IEEE1394
TP600	TMS_CI_DRAMC_LLC	JTAG
TP620	TDO_CI_DRAMC_LLC	JTAG
TP618	/ISO	IEEE1394
TP617	BDOAVAIL	IEEE1394
TP616	BDIBUSY	IEEE1394
TP615	CYCLEIN/SE	IEEE1394
TP614	BDOF0	IEEE1394
TP613	BDOF1	IEEE1394
TP612	BDOF2	IEEE1394
TP611	TS2_IN_MIVAL	Transport stream packet valid IEEE1394 to CI1
TP603	MCCTL0	IEEE1394
TP621	MCCTL1	IEEE1394
TP604	RDY	IEEE1394
TP622	/INT_IEEE1394	IEEE1394
TP605	SW_PES_CLK	IEEE1394
TP606	SW_PES_EN	IEEE1394
TP623	SCKEN	IEEE1394
TP607	TRST_LLC	IEEE1394
TP608	BDIF0	IEEE1394
TP609	BDIF1	IEEE1394
TP610	BDIF2	IEEE1394
TP667	5V_MPEG	5V MPEG power supply
TP625	LREQ	IEEE1394
TP626	SYSCLK	IEEE1394
TP627	CTL0	IEEE1394
TP628	CTL1	IEEE1394
TP629	D0_1394	IEEE1394
TP630	D1_1394	IEEE1394
TP631	D2_1394	IEEE1394
TP632	D3_1394	IEEE1394
TP664	D0_1394	IEEE1394
TP665	SYSCLK	IEEE1394
TP660	LREQ	IEEE1394
TP663	STAT0	IEEE1394
TP646	STAT0	IEEE1394
TP648		IEEE1394

Test Point	Net Name	Function
TP654	ISO	IEEE1394
TP659	/PHY_RESET	IEEE1394
TP661	CTL_0	IEEE1394
TP662	CTL_1	IEEE1394
TP647	PHY_POWER	IEEE1394 Physical link power supply
TP643		IEEE1394
TP644		IEEE1394
TP649	OSC2	24.576MHz CLOCK
TP650	OSC1	24.576MHz CLOCK
TP653	PHY_POWER	IEEE1394 Physical link power supply
TP633		IEEE1394
TP634		IEEE1394
TP635	TPA1+	IEEE1394
TP636	TPA2-	IEEE1394
TP637	TPB1+	IEEE1394
TP638	TPB1-	IEEE1394
TP652	MPC11 1394	IEEE1394
TP651	MPC11 1394	IEEE1394
TP641	TPA2+	IEEE1394
TP640	TPA2-	IEEE1394
TP639	TPA2+	IEEE1394
VTP642	TPA2-	IEEE1394
TP624	CNA	IEEE1394
TP655	PC0	IEEE1394
TP656	PC1	IEEE1394
TP657	PC2	IEEE1394
TP645	CPS	IEEE1394
TP666	CPS	IEEE1394
Sheet7	External DRAM Controller	
TP735	SIZ0	DRAM controlller data size 0
TP733	CPU_D13	Cpu data 13
TP734	/CS_DRAMC	Chip select DRAM controller (External DRAM)
TP706	CLK_27_1	27 MHz clock
TP700	EBM_D0	Data bus DRAM controller to DRAM bit 0 (External DRAM)
TP701	EBM_D1	Data bus DRAM controller to DRAM bit 1 (External DRAM)
TP702	EBM_D2	Data bus DRAM controller to DRAM bit 2 (External DRAM)
TP703	EBM_D3	Data bus DRAM controller to DRAM bit 3 (External DRAM)
TP704	EBM_D4	Data bus DRAM controller to DRAM bit 4 (External DRAM)
TP705	EBM_D5	Data bus DRAM controller to DRAM bit 5 (External DRAM)
TP707	EBM_D6	Data bus DRAM controller to DRAM bit 6 (External DRAM)
TP708	EBM_D7	Data bus DRAM controller to DRAM bit 7 (External DRAM)
TP709	EBM_D8	Data bus DRAM controller to DRAM bit 8 (External DRAM)
TP710	EBM_D9	Data bus DRAM controller to DRAM bit 9 (External DRAM)
TP711	EBM_D10	Data bus DRAM controller to DRAM bit 10 (External DRAM)
TP712	EBM_D11	Data bus DRAM controller to DRAM bit 11 (External DRAM)
TP713	EBM_D12	Data bus DRAM controller to DRAM bit 12 (External DRAM)
TP714	EBM_D13	Data bus DRAM controller to DRAM bit 13 (External DRAM)
TP715	EBM_D14	Data bus DRAM controller to DRAM bit 14 (External DRAM)
TP716	TDO_I_DRAMC_LLC	JTAG test data out
TP717	EBMA0	Address bus DRAM controller to DRAM bit 0 (External DRAM)
TP718	EBMA1	Address bus DRAM controller to DRAM bit 1 (External DRAM)
TP719	EBMA2	Address bus DRAM controller to DRAM bit 2 (External DRAM)
TP720	EBMA3	Address bus DRAM controller to DRAM bit 3 (External DRAM)
TP721	EBMA4	Address bus DRAM controller to DRAM bit 4 (External DRAM)
TP722	EBMA5	Address bus DRAM controller to DRAM bit 5 (External DRAM)
TP723	EBMA6	Address bus DRAM controller to DRAM bit 6 (External DRAM)
TP724	EBMA7	Address bus DRAM controller to DRAM bit 7 (External DRAM)
TP725	EBMA8	Address bus DRAM controller to DRAM bit 8 (External DRAM)
TP726	EBMA9	Address bus DRAM controller to DRAM bit 9 (External DRAM)
TP716	TDO_I_DRAMC_LLC	JTAG test data out
TP727	EBM_D15	Data bus DRAM controller to DRAM bit 15 (External DRAM)
TP728	EBOE	DRAM data output enable (External DRAM)

Test Point	Net Name	Function
TP729	EBRAS1	DRAM row address select (External DRAM)
TP730	EBCAS0	DRAM column address select 0 (External DRAM)
TP731	EBCAS1	DRAM column address select 1 (External DRAM)
TP732	EBWE1	DRAM data write enable (External DRAM)

CONNECTOR SPECIFICATION

GENERAL

The connections to/from the digital module are identical for both IDTV and STB applications.
The connectors which will link from either Front-End PCB or the MPEG PCB to the STB Motherboard, IDTV analogue PCB or the smart card sub-board will use 1mm FFC connectors and cable. with the exception of the main DC power connector which will use a 2.5mm through hole system.
All the connections between the Front-end and MPEG PCBs will use 1mm FFC cable and connectors.

CONNECTIONS BETWEEN CHASSIS/MOTHERBOARD AND FRONT-END PCB (FOR COMPLETE MODULE).

A 2.5mm pitch connector is used.
Connectors: PL801 Front-End 9 way right angle leaded - JST EH series
E5101 Mother Board 9 way straight leaded - JST EH series

Signal name	Voltage	Current	From	To	No. of connection pins	Pin Number
30V	30V (switched)	20mA	PSU	Front-End	1	1
5V	5V (switched)	0.8A typical 1.5A max	PSU	Front-End	2	3, 4
3V3	3.3V (switched)	2.0A typical 2.5A max	PSU	Front-End	2	7, 8
GND	GND		PSU	Front-End	4	2, 5, 6, 9
Total pin requirement					9	

CONNECTOR A2 - POWER SUPPLY

Connections between Chassis/Motherboard and Front-End PCB (for complete module).
A 1mm FFC and connector has been used.
Connectors:
PL802 Front-end 4 way Right angle SMT - Molex type 52207-0490 - terrestrial
7 way Right angle SMT - Molex type 52207-0790 - satellite
E5102 Mother Board 4 way straight leaded - JST type 04FMN-BTRK

Signal name	Voltage	Current	From	To	No. of connection pins	Pin Number
9V	9V (switched)	90mA	PSU	Front-End	1	1
+12V	12V (switched)	100mA (inc. fan if used)	PSU	Front-End	1	2
+5V-STANDBY	5V (unswitched, * see note 4)	20mA/0.6mA	Front-End	PSU	1	4
22KHZOUT	22kHz signal (to PSU), * see notes2, 3	Not Applicable	Front-End	PSU	1	5
13/18V	LNB supply 13/18V with 22kHz as required (from PSU)	400mA typical	PSU	Front-End	1	7
GND	GND		PSU	Front-End	2	3, 6
Total pin requirement					4 Terrestrial, 7 Satellite	

Note 1: 4 way connector is used for terrestrial, 7 way for satellite.
Note 2: This signal is defined in detail in the note 4 related to connector E later in this document.
Note 3: The 22kHz will be switched on/off and modulated as necessary for DiSeQC by the MPEG processor.
Note 4: The PLD ICs require a small static current to hold the chip contents in standby to remove the need for reprogramming on exit from standby.

CONNECTOR B - SMART CARD

Connections between MPEG PCB and Chassis/Motherboard or Card Reader Board
A 1mm FFC and connector has been used.
Connector: PL204 MPEG 12 way right angle SMT - Molex type 52207-1290
E210 Card Reader 12 way straight leaded - JST type 12FMN-BTRK

Function	No. of connection pins	Pin Nos.
CARD_C8	1	1
CARD_C4	1	2
CARD_I/O	1	3
CARD_CLK	1	5
CARD_RESET	1	7
CARD_VCC	1	8
SC-Detect_0	1	10
CARD_3V3	1	11
CARD_5V	1	12
GNDD	3	4, 6, 9
Total pin requirement		12

CONNECTOR C1 - VIDEO

Connections between MPEG PCB and Chassis/Motherboard.
1mm FFC cable and connector has been used.
Connector: PL501 MPEG 10 way right angle SMT - Molex type 52207-1090
E5206 Mother Board 10 way straight leaded - JST type 10FMN-BTRK

Function	Net name	From/to	No. of connection pins	Pin Nos.
Composite video (75R) (PAL/NTSC)/Luma	CVBS/Y_DIG	Module to chassis/motherboard	1	3
Red component/Chroma	R/C_DIG	Module to chassis/motherboard	1	9
G component/(Luma)	G/Y_DIG	Module to chassis/motherboard	1	7
B component/(Composite video)	B/CVBS_DIG	Module to chassis/motherboard	1	5
9V output supply	9V-MPEG	Chassis/motherboard to module	1	1
GND	GNDA		5	2, 4, 6, 8, 10
Total pin requirement			10	

CONNECTOR C2 - AUDIO

Connections between MPEG PCB and Chassis/Motherboard.
1mm FFC cable and connector has been used.
Connector: PL500 MPEG 5 way right angle SMT - Molex type 52207-0590
E5207 Mother Board 5 way straight leaded - JST type 05FMN-BTRK

Function	From/to	No. of connection pins	Pin Nos.
Audio L	Module to chassis/motherboard	1	1
Audio R	Module to chassis/motherboard	1	3
GNDA	Analogue ground	2	2, 4
Pin8-enable	Module to chassis/motherboard	1	5
Total pin requirement		5	

CONNECTOR D - CONTROL SIGNALS

Connections between MPEG PCB and Chassis/Motherboard.
1mm FFC cable and connector has been used.
Connector: PL203 MPEG 4 way right angle SMT - Molex type 52207-0490
E5280 Mother Board 4 way straight leaded - JST type 04FMN-BTRK

Function	From	To	No. of connections	Pin Nos.
USER_RESET	TV	MPEG	1 (provision)	1
USER_TO_MPEG_IPL	TV	MPEG	1	3
MPEG_TO_USER_IPL	MPEG	TV	1	4
GNDD			1	2
Total pin requirement			4	

CONNECTOR E - CONTROL

Connections and RS232 links between MPEG PCB and Front-End PCB (internal to module)..
1mm FFC cable and connector has been used.
Connector: PL200 MPEG 16 way straight SMT - JST type 16FMN-BMT-TF
PL809 Front-End 16 way straight SMT - JST type 16FMN-BMT-TF

Signal name	Function	No. of connection pins	Pin Nos.
MODEM_DTR	Modem 'AT' signals DTR	1 (Provision)	2
NVM_WP#	NVM write protect	1	3
MODEM_CTS	Modem 'AT' signals CTS	1	4
MODEM_DSR	Modem 'AT' signals DSR	1 (Provision)	5
/OFFHOOK	/OFFHOOK signal from modem	1	6
MODEM_to_CPU	Modem 'AT' signals Tx	1	7
CPU_to_MODEM	Modem 'AT' signals Rx	1	8
MODEM_RTS	Modem 'AT' signals RTS	1	9
RS232_RX	RS232 Rx	1	10
RS232_TX	RS232 Tx	1	11
RS232_RTS	RS232 RTS	1	12
RS232_CTS	RS232 CTS	1	13
22KHZ_EN	22kHz LNB enable/modulation, see note 5	1	15
GND		3	1, 14, 16
Total pin requirement			16

Note 5: A single discrete NAND gate function is needed to gate the 22kHz signal to the PSU. This can be used in 2 ways:

- To simply enable/disable the signal - normal running mode
- To do the DiSEqC modulation using the enable/disable function - only at programme selection and only if the DiSEqC capability is enabled.

The MPEG CPU will carry out the enable/diasble function and the DiSEqC modulation of the 22kHz through a port output. Also see notes 2, 3 associated with connector A2.

CONNECTOR F - DATA STREAM

Connections between Front-End PCB and MPEG PCB (internal to module).
1mm FFC cable and connector has been used.
Connector: PL400 MPEG 14 way straight SMT - JST type 14FMN-BMT-TF
PL804 Front-End 14 way straight SMT - JST type 14FMN-BMT-TF

Function	Estimated current	No. of connection pins	Pin number
CD0		1	2
CD1		1	3
CD2		1	4
CD3		1	5
CD4		1	6
CD5		1	7
CD6		1	8
CD7		1	9
BCLKOUT		1	11
DVALIDOUT		1	13
FSTARTOUT/notERROROUT		1	14
GND		3	1, 10, 12
Total pin requirement		14	

CONNECTOR G - INTERNAL POWER SUPPLY LINK

Connections from Front-End PCB to MPEG PCB (internal to module).
1mm FFC cable and connector has been used.
Connector: PL202 MPEG 18 way straight SMT - JST type 18FMN-BMT-TF
PL803 Front-End 18 way straight SMT - JST type 18FMN-BMT-TF

Voltage	Pin Description	Current	No. of connections	Pin Number
5V_MPEG			2	1, 2
3.3V_MPEG			3	6, 7, 8
12V_MPEG			1	10
GND			5	3, 4, 9, 13, 17, 18
SDA	I2C Bus		1	11
SCL	I2C Bus		1	12
RESET#	Main MPEG CPU reset		1	14

18M_CLK_RESET	COFDM 18-54MHz PLL reset		1	15
TUNER_RESET	Tuner only reset		1	16
5-PLD-MPEG	Standby 5V		1	5
Total pin requirement			18	

CONNECTOR H - MOTHERBOARD TO FRONT CONTROL PANEL

Connections between Chassis/Motherboard and Front Control Panel. This is a 2mm pitch in-line captive on the Motherboard and the Front Panel.
Connector: Motherboard E5281 Connector Type JST 13DS - 8E
Front Panel E1 Connector Type JST 13DS - 8E

Function	No of connections	Pin Number
Strobe 1 / Standby LED	1	1
Strobe 2 / Power LED	1	2
Strobe 3 / IR Commands received LED	1	3
Strobe 4 / On Line LED	1	4
Keyscan 0 - input	1	5
Keyscan 1 - input	1	6
Keyscan 2 - input	1	7
IR Detect	1	9
Keyscan 4 - output	1	10
Keyscan 5 - output	1	11
Keyscan 6 - output	1	12
5V	1	13
GNDD	1	8
Total pin count	13	

CONNECTOR J - MOTHERBOARD TO FRONT CONTROL PANEL

See note 9
Connections between chassis/motherboard and front control panel. This is a 2.0mm pitch in-line connector on the motherboard (see note 7) and captive on the front panel when used.
Connector: E5283 (DSTB)

Function	No of connections	Pin Number
GNDD	2	1, 6
KEYSCAN3 note 8	1	2
Spare	1	3
SDA	1	4
SCL	1	5
Spare	1	7
Spare	1	8
Total pin count	8	

Note 8: Not used at present, these lines allow expansion of up to 12 keys if required with no hardware changes on the motherboard
Note 9: Not used at present.

CONNECTOR K - IN CIRCUIT PROGRAMMING CONNECTION

Connection between chassis/motherboard and programming module. This is a 2.5mm pitch in-line connector on the motherdoard.
Connector: E5284 (DSTB)

Function	No of connections	Pin Number
Test, see note 8	1	8
+5V	1	7
TXDATA	1	6
RXDATA	1	5
+12V	1	4
RESET#, see note 9	1	3
VPP (programming voltage) , see note 8	1	2
Port 6.0 control link	1	10
GNDD, see note 8	2	1, 9
Total pin count	10	

Note 10: This allows for link blocks to be fitted across pins 1 and 2, and 8 and 9 when not in programming mode.
Note 11: This reset input must be actively pulled low (<0.5V) to reset the processor.

CONNECTOR L - MOTHERBOARD TO FRONT CONTROL PANEL

Connections between Chassis/Motherboard and Front Control Panel. This is a 2mm pitch in-line captive on the Motherboard and the Front Panel.
Connector: Motherboard E5285 Connector Type JST 12DS - 8E
Front Panel E2 Connector Type JST 12DS - 8E

Function	No of connections	Pin Number
7SEGA	1	1
7SEGB	1	2
7SEGC	1	3
7SEGD	1	4
GND	2	5, 11
7SEGE	1	6
7SEGF	1	7
7SEGG	1	8
7SEGDP	1	9
+5V	1	10
MAILLED	1	12
Total pin count		12

CONNECTOR M - MOTHERBOARD TO FRONT CONTROL PANEL

See note 15
This is a 2.0mm pitch in-line connector on the motherboard
Connector: E5282 (DSTB)

Function	No Of Connections	Pin Numbers
Spare	1	1
Spare	1	2
Spare	1	3
Spare	1	4
GNDD	1	5
Total pin count		5

Note 14: Not fitted at present This was originally used as part of the front panel connections, it is no longer used but the footprint is on the DSTB motherboard.

CONNECTOR N - JTAG PORT CONNECTOR

See note 16
Connector used for JTAG downloading. This connector is a 14 way molex picoflex header.
Connector: PL205 (MPEG),

Function	No Of Connections	Pin Numbers
TDI_CPU	1	1
TDO_CPU	1	2
TMS_CPU	1	3
TDI_CI_LLC	1	4
TMS_CI_LLC	1	5
TRST-CPU	1	6
TCK_CPU	1	7
TDO_CI_LLC	1	8
TCK_CI_LLC	1	9
GNDD	1	10, 12, 14
TRST_LLC	1	11
R/NW	1	13
Total pin count		14

Note 16: This is the port normally used in production to programme the ‘boot’ section of the flash chips using JTAG as the link protocol.

CONNECTOR O – EPROM PCB CONNECTOR

See note 17

This connector is used for connecting an EPROM PCB onto the CPU data/address bus on the MPEG PCB. This is a high density 50 way connector which connects to the equivalent connector on the EPROM PCB. The type is C&CD p/n 1555 (PL206) on the MPEG module and C&CD p/n 1554 (PL901) on the Eprom module.

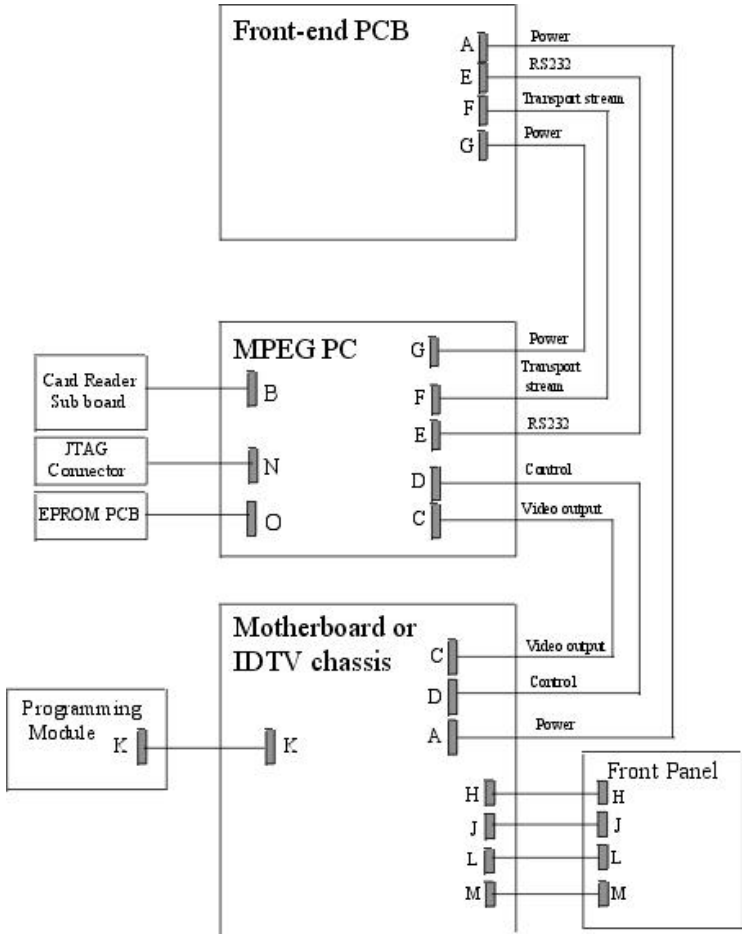
Connectors: PL206 (MPEG PCB)

PL901 (Eprom PCB)

Function	No Of Connections	Pin Numbers
5V_MPEG	1	1
CPU_A0	1	2
CPU_A1	1	4
CPU_D0	1	5
CPU_A2	1	6
CPU_D1	1	7
CPU_A3	1	8
CPU_D2	1	9
CPU_A4	1	10
CPU_D3	1	11
CPU_A5	1	12
CPU_D4	1	13
CPU_A6	1	14
CPU_D5	1	15
CPU_A7	1	16
CPU_D6	1	17
CPU_A8	1	18
CPU_D7	1	19
CPU_A9	1	20
CPU_D8	1	21
CPU_A10	1	22
CPU_D9	1	23
CPU_A11	1	24
CPU_D10	1	25
CPU_A12	1	26
CPU_D11	1	27
CPU_A13	1	28
CPU_D12	1	29
CPU_A14	1	30
CPU_D13	1	31
CPU_A15	1	32
CPU_D14	1	33
CPU_A16	1	34
CPU_D15	1	35
CPU_A17	1	36
EPROM_OE#	1	37
CPU_A18	1	38
EPROM_CE#	1	39
CPU_A19	1	40
CPU_A20	1	42
CPU_A21	1	44
CPU_A22	1	46
3V3_MPEG	1	47
CPU_A23	1	48
GNDD	3	3, 49, 50
Spare	3	41, 43, 45
Total pin count		50

Note 16: This is not fitted.

INTERCONNECTION BLOCK DIAGRAM



A8/D8 PSU

From switch on the A.C. voltage is rectified by the bridge D900 which produces approximately 300V across C918. This is then applied to the collector of Q903 via the primary winding of T900. Initially the voltage on pin 7 of I900 will rise to approximately 16V via R901, D929 and Q905. This allows the internal circuitry of IC900 to generate a sawtooth waveform at pin 4, from which a squarewave output is obtained at pin6. This output is applied to the gate of Q901 which turns on and off, this alters the voltage on the emitter of Q903 causing this device to turn on and off, generating the outputs in the secondary windings of T900.

After initial power up of I900 pin 7 is supplied from the bias winding (pin 18) of T900 via D911 for continued operation. The bias winding voltage is also rectified by D922 which is then supplied to the base of Q905 low via R908/Q906/R924 turning Q905 off, this is done to reduce the power dissipated by R901 once the power supply is running.

A current sense circuit consisting of R910, R939, R922 and R980 feeds back a voltage to pin 3 of I900, MAX voltage approximately 0.8V. Should the applied voltage exceed the reference the pulse width is limited from output pin 6. In this way Q903 is offered protection from changes in primary current.

R909 and C914 act as a soft start circuit, this limits the pulse width output from pin 6 during the initial start up period, allowing a gradual rise to full power.

Q909, R918 and associated circuitry are for reducing the frequency of the power supply when the set is in standby.

A sense voltage rectified by D922 consisting of R905 and R906, supplied pin 2 of I900, this is then compared to an internal reference voltage. If it exceeds the internal reference the output from pin 6 will be limited by the internal error amp. Z907 will go short if the +B exceeds 180V.

The secondary voltage induced in T900 winding 7/9 is rectified by D950, producing the H.T. voltage which is smoothed by C977. In standby the H.T. rises slightly.

Winding 5/10 produces approximately 10V via D951, which is smoothed by C957. This is then applied to dual DC-DC converters (+8V, +5V out). A control ramp is found on pin 2/6 I900. This ramp is formed by R944/C935, and terminated by Z913, D902, R934 network. Ramp frequency is clamped to the main PSU frequency by the winding on pin 5 T900. This ramp is compared with the feedback level from I902 (+5) I904 (+8). The reference device monitors the output and changes the DC level to pin 5. The ramp crosses the dc feedback level ,and the output at pins 1/7 goes low. The output at pins 1/7 starts high at the beginning of the ramp ,goes low at ramp cross level. This action via Q910, Q911 controls the pulse width and so the regulation of the +8/ +5v rails by. The output pulse width changes with load to maintain the correct Regulating voltage.

The output of I910 pins 1,7 are buffered to improve switching losses using a push pull transistor network Q929, Q917 (for +5V). This transistor network gives fast edge switching of Q912 (+5) and Q911 (+8V). Over current protection is provided with the current sense resistor RP03. Network Q956 RP04/C966 pull pin 10 of I903 high if high load current is flowing through RP03.

Winding 2/11 produces approximately 16V via D952, which is smoothed by C955 and then applied to Q921 through R974, which is used as a current sense. The output from Q921 supplies 16V for the audio amplifier I401.
H.T. regulation is controlled by Q954 stage. The base of Q954 is set at a pre-determined level by the resistor network R950, R982 and R953. The emitter of Q954 is held at approximately 6V2 by Z950. Should the H.T. rise, the base voltage becomes more positive than the emitter, and this difference is amplified by the transistor and applied to optocoupler I901. The output from I901 is then applied to pin 1 of I900 which regulates the H.T. by altering the duty cycle of the waveform output from pin 6 of I900.

STANDBY SWITCHING

The low voltage supplies are switched off in standby, this is controlled by the micro processor which outputs a high in standby and a low when the set is out of standby. This is then applied to resistors R923 and R940/R977. This 'high' is also applied to the base of Q915, Q916, Q910 which in turn terminate operation of the +8, +5 DC-DC converters, and pull the gate of Q921 low so switching the +16V audio supply to low state. In standby the +B voltage rises slightly to maintain bias winding voltage to pin 7 of I900. To switch the set out of standby the on/off line is switched high by the micro, and Q916, Q915, Q910 are deactivated, causing the +8, +5, +16V rails to return to normal operation.

POWER GOOD AND PROTECTION

I903 is made up of 4 comparators, the power good line uses comparator 2. Pin 5 is used as the reference which is held at 2.5V by I905 supplied by pull up resistor R968. Pin 4 uses R961/R962 and R955/R959 as a potential divider which is connected between the +10V and T900 winding through D959 which is in forward converter mode. In operation this means pin 4 is held below the reference level of pin 5 until the mains supply is interrupted or the set is switched off at which time pin 4 rises above pin 5 and the output pin 2 is pulled low. This low is sensed by the micro. In normal operation pin 2 is held high by pull up resistor R990 from the 5V supply.
The protection line (pin 14) is held high under normal running conditions by R971 from the 5V supply, this high is applied to the protection line to the micro. When the protection line is pulled low the set goes into standby mode, the set can be restarted by the usual methods of bringing the set out of standby, but until the cause of the protection circuit operation is removed the set will return to its standby state.
The over current for the 16V audio supply uses comparator 1, a reference voltage is set up on pin 6 by resistors R967, and R964. The voltage being compared is fed to pin 7 using the potential divider R968 and R966 which is supplied from the output side of the current sense resistor R974. Should the voltage on pin 7 fall below that of pin 6 pin 1 will be pulled low , thus pulling the protection line low via D958 putting the set into standby.
Comparator 3 is used to protect against a layer short within the F.B.T. it will also act as protection for a short on the secondary outputs of the F.B.T. I903 is supplied with approximately 16V via D960 to pin 3, from this supply a reference voltage is fed to pin 9 using potential divider R972/R969, fed via Z948 supply. Pin 8 is supplied by another potential divider this time made up of three resistors R973/R970 and R760 samples the current flowing through Q752 should this increase the voltage drop across R760 will increase and raise the voltage of pin 8 when it exceeds pin 9 and pin 14 will be pulled low putting the set into standby.
Comparator 4 is used for EHT/over voltage protection, as all the F.B.T. secondary voltages are proportional, the 200V supply to the CRT base is used to generate the voltage to be used in comparison, this is done by using a potential divider made up of R718, R749 and R719. Z708 monitors the voltage at the junction of R718 and R749, if this exceeds 36V the Zener diode conducts applying a high on pin 10 of I903 this is compared with the reference voltage on pin 11 which also uses the 2.5V set up by I905. When pin 10 is higher than 2.5V, pin 13 is pulled low in turn pulling the protection line low via D957 putting the set into standby.
The L.T. lines are given protection using diodes D931, D932 and D930 these are connected in reverse bias from the prot sense line to the 8V and 5V. The +5V standby link is protected by D986 pulling the reference Z950 low, if a short is seen on the output of I952. The +16V phono out has a diode back to pin 5 I903 in case of short.
If the +B or audio supply lines become short circuit to ground before the protection on the secondary of the power supply, the primary over current protection (pin 3 I900) will operate turning off the drive output from pin 6 I900. A latch circuit Q955/R998/RP01/C964, will operate to turn the power supply into standby (under fault condition) if the software fauls to act on pin 14 I903 low. Delay before latch set by C964/R994. The +B is given protection from overvoltage, via Z907, Z907 goes short circuit if the +B voltage rises above 180V DC.

DTI PSU

CIRCUIT DESCRIPTION

The mains is switched on via the { TV on }. At this point the A.C mains is rectified by D8, D10, 11, 12 which produces approximately 340v D.C across C58. This is then applied to the drain of Q4 via the primary winding of T1. Initially the voltage on pin 7 of IC10 will rise to approximately 16v via R15, D24, and C54 this allows the internal circuitry of IC10 to generate a sawtooth waveform at pin 4 from which a square wave output is obtained at pin 6. This output is applied to the gate of Q4 turning the mosfet on and off, generating the outputs in the secondary windings of T1.
After initial power up pin 7 of IC10 is supplied from the bias winding pin 4 of T1 via D31 for continued operation hence R15 unable to provide running current demand for IC10 [20mA].
A current sense circuit consisting of R74, R75 & R79 feeds back a voltage to pin 3 of IC10, this voltage is compared with an internal reference voltage, of approximately 0.8V should the applied exceed the reference, the pulse width is limited from output pin 6 [chip in over current mode]. In this way Q4 is offered protection from changes in primary current. Secondary overvoltage protection is offered also by R77, should the feedback be disabled then the secondary voltage will be limited to safe levels, the output from pin 6 will be limited by the internal error amplifier and internal reference.
R21 and C31 act as a soft start circuit, this limits the pulse width output from pin 6 during the initial start up period, allowing a gradual rise to full power. ZD3 & 4 will go short if Q4 should go short, protecting IC10.
The secondary voltage induced in T1 winding 11/14 is rectified by D15 producing 38V which is smoothed by C40. This voltage is then stepped down to provide 30V at 20mA via R96 and clamped by ZD21.
Winding 10/14 produces 5V at 1.5A when rectified by D17 and smoothed by C37 & 38. This voltage rail being the highest current rail is used for regulation via IC8 providing feedback via IC4 to pin 1 of IC10. From the 5V rail a 3V3 rail is extracted at 2.7A. The current output is controlled by a pwm circuit consisting of switching mosfet Q9, gate drive is provided Q10, and pin 1 of IC6, pin 2 of IC6 is

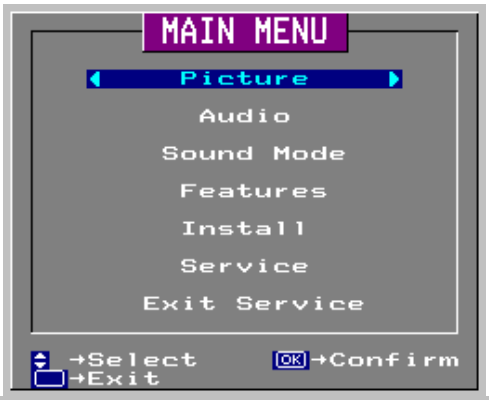
supplied by a sawtooth waveform shaping circuit consists of D20, ZD9, R32, C44, D19, C43 & R30. Pin 3 is supplied by varying DC levels via IC7 & R31. The 3V3 voltage rail is regulated by IC7.
Winding 8/14 provides 12V from D16, C35 & smoothing cap C39, also a 9V rail is provided by IC6 regulator.
SECONDARY PROTECTION: Provided via IC6 pin 7. Pin 6 of IC6 is set to a steady voltage level a round 3V, pin 5 used as the over current sense point, D18, 25, 33 used to pull down pin 5 below pin 6 during over current in this state pin 7 is low which in turn disables the feedback point pin 1 of IC10 shutting down the power supply.

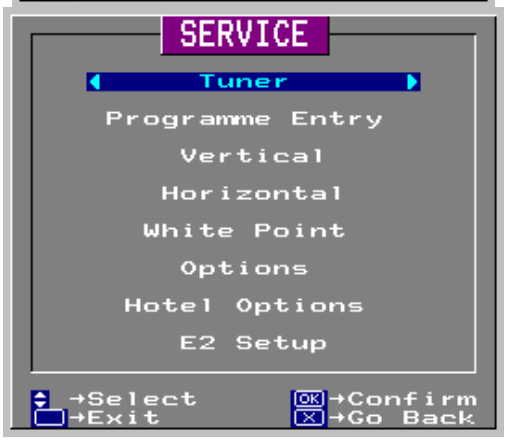
FEEDBACK OPERATION

Increase in load demand by secondary rails results in higher voltage feedback on cathode of IC8 in turn rising the voltage on pin 1 of IC10, this voltage is compared to the sawtooth generated on pin 4 via R76 & C95, this produces the gate drive square pulse with larger off time therefore the larger the load demand the larger the duty cycle and vice versa.

Servicing

SERVICE.



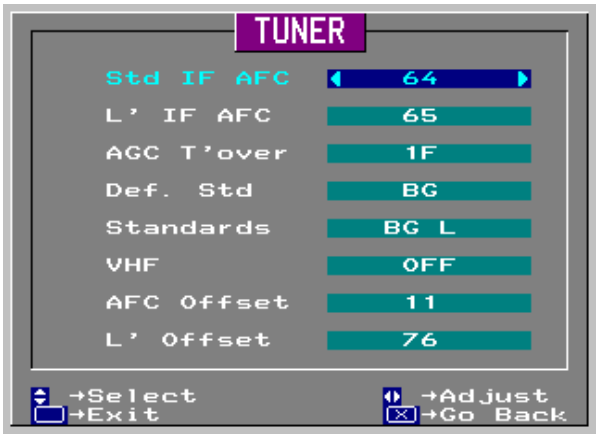


SERVICE MODE

To enter service mode from the main menu, press and hold the 'volume +' and 'volume -' buttons on the front panel of the TV simultaneously until the 'Service' and 'Exit Service' options appear at the bottom of the main menu.
The service option is then used to access the service menus. The TV will remain in service mode until the 'Exit Service' option is used to exit service mode. The install option is also always displayed in this mode.
Whilst the TV is in service mode, the factory information will be displayed when the TV is not in menu or teletext modes. The information displayed is comprised of software versions, model number and stored fault information (see below).

SERVICE MENU

This menu is displayed when the Service option is selected from the main menu. Each of the items will display the appropriate service sub menu. Each of the sub menus is described in detail below



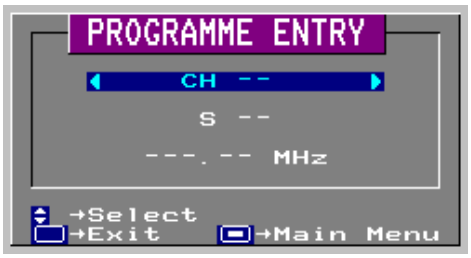
TUNER ADJUSTMENT SERVICE MENU

The options available in this menu are as follows.

- Std IF AFC. Adjusting this item will initiate the automatic AFC alignment for standards BG/I/DK. Refer to the alignment procedure for more information.
- L' IF AFC. Adjusting this item will initiate the automatic AFC alignment for standard L. Refer to the alignment procedure for more information.
- AGC T'over. This item allows adjustment of AGC takeover. Refer to the alignment procedure for more information.
- Def. Std. This sets the default standard for sets that have automatic standard determination.
- Standards. This sets the list of available standards for sets that have automatic standard determination.

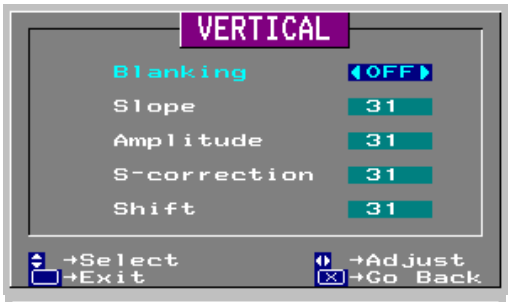
NB Sets that do not have automatic standard determination have a BG on/off option and a standard option, which allows selection of 1 standard. The Def. Std and Standards options are not available on these sets.

- VHF. This option is used to enable VHF tuning for sets that have a VHF (export) tuner fitted.
- AFC Offset, L' Offset. These should not be adjusted from the factory settings.



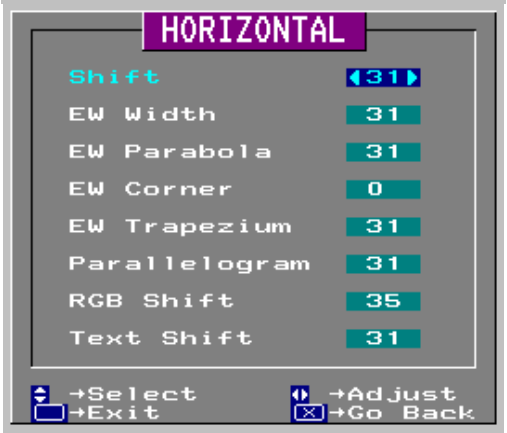
PROGRAMME ENTRY SERVICE MENU

This is the same as the menu that is accessed with the CH key in non integrated digital sets.



VERTICAL ADJUSTMENT SERVICE MENU

This is used to adjust the vertical deflection parameters.

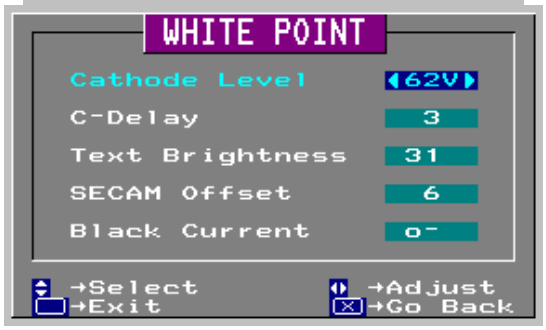


HORIZONTAL ADJUSTMENT SERVICE MENU

This is used to adjust the horizontal deflection parameters. The RGB shift parameter is used to set the horizontal shift when an RGB source is used. Adjusting the text shift causes a teletext test pattern to be displayed to facilitate adjustment.

WHITE POINT ADJUSTMENT SERVICE MENU

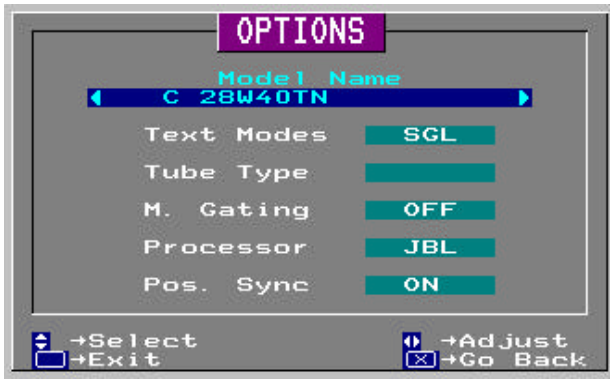
Refer to the alignment procedure for details on how to adjust these parameters. Use the More… option to display the White Point (More) Menu.



WHITE POINT (MORE) ADJUSTMENT SERVICE MENU

Refer to the alignment procedure for details on how to adjust these parameters. A text test pattern will be displayed when the text brightness is adjusted. The 'Black Current' item is not adjustable and provides a guide for adjusting the screen pot on the FBT.

OPTIONS SERVICE MENU



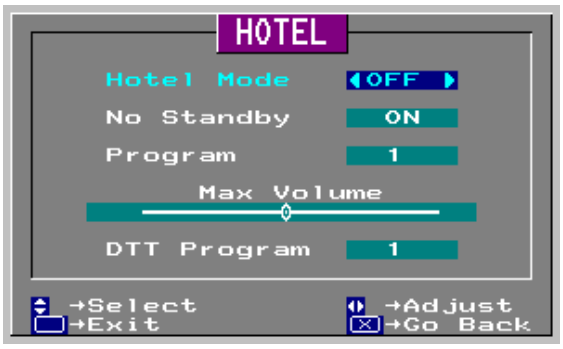
The following options are available.

- Model Name. This allows selection of the model name, or press OK to edit the name.
- Text Modes. This allows the allowed text modes to be set. The options are SGL for single only, S/D for single and dual page or SDS for single page, dual page and split (text and picture, W35 models only).

NB When +T appears in the text modes option, this means that TOP text is enabled. Some sets have a separate option to enable TOP text.

- Tube Type. This should be left blank, or set to LG if the LG tube is fitted to the set.
- M. Gating. This should be set to ON if the macrovision gate PWB is fitted to the set.Processor. This is set to indicate if a JBS or JBL type processor is fitted to the set. (This is marked on the body of I001 on the main board.)
- Pos. Sync. This should be set to ON for W30 and W35 models, and has no effect on 50Hz sets.

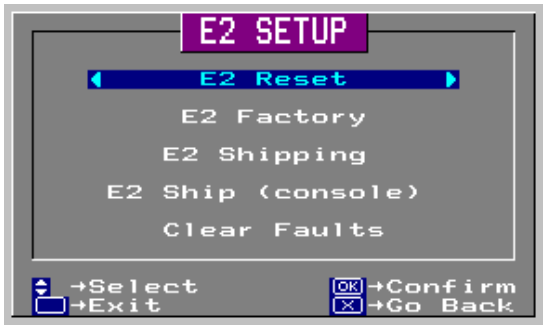
HOTEL OPTIONS SERVICE MENU



This menu sets hotel mode parameters. The following options are available.

- Hotel Mode. This sets hotel mode on or off. None of the other options have any effect unless hotel mode is on. Note that the picture and install menus are not available to the user when the TV is in hotel mode and not in service mode.
- No Standby. When this option is set to ON, then the TV will power up out of standby every time power is applied in hotel mode. (Normally the set will remain in standby if the set was in standby before powering down.)
- Program. This option sets the program, which is selected whenever the TV is brought out of standby in hotel mode.
- Max Volume. This sets the maximum volume in hotel mode.
- DTT Program. For integrated digital sets, this sets the initial program for the digital decoder module in hotel mode. This is displayed when the Program item is set to 'DTT'.

E2 SETUP SERVICE MENU



· Select E2 factory when default values to E2 need to be set automatically, usually after changing I005. · Select one of E2 Shipping settings to set shipping preferences in the E2. WARNING Selecting one of the options above will cause changes to adjustments and may make realignment necessary. Refer to the alignment procedure for individual model settings. · Select Clear Faults to reset the stored fault information (see below).

SELF DIAGNOSTICS

The TV has a method of detecting, recording and reporting details of self detected faults in order to assist in fault diagnosis, particularly with intermittent faults.

Each recorded fault is given a fault code number and a status value. The status value consists of an indication of the fault being currently present, how recently the problem occurred and how many times the fault has occurred. This information is stored in the EEPROM so that it is retained until cleared by the service menu or the diagnostic interface. The occurrence of a fault results in the present indication for that failure to be set and the failure count for that failure to be incremented up to 9.

In addition, when failures with code numbers lower than 0100 occur, the power status LED will flash to indicate the number of the fault that has occurred. For instance, to indicate fault code 3 the LED will flash 3 times in succession followed by a pause, after which the sequence will repeat.

The currently supported fault codes are as follows: -

Fault Code	Description
0000	The microprocessor was reset due to the microprocessor watchdog. This is most likely to occurs as a result of electrical disturbance, but may also happen due to a failure of I001, I002 or I003 (where fitted).
0001	The power good line was activated (taken to ground) whilst the set was powered up.
0002	The protection line was activated (taken to ground) whilst the set was powered up.
0003	Failure of the horizontal deflection. This fault code is set when the horizontal OSD sync pulse on pin 49 of I001 is missing when the set is powered up.
0004	Failure of the vertical deflection. This fault code is set when the vertical OSD sync pulse on pin 48 of I001 is missing when the set is powered up.
0005	Timeout of the black current stabilisation when the set was powering up. This will occur as a result of a failure of the RGB circuits between the TDA9330 (IE02 pins 40-42), P302, the CRT base PWB and the feedback signal via P302 to IE02 pin 44.
0006	Failure of the microprocessor to communicate on the I2C bus as either/both of the SDA/SCL signals were shorted to ground or +5V
0007	The set failed to power up after 3 attempts. The reason for this will be evident from the other fault codes.
0008	The microprocessor had a power on reset, usually as a result of failure of the standby 5V supply or the main power supply shut down (due to overcurrent protection) when the set was powered up. The count for this fault is incremented when the microprocessor is reset and is cleared when the TV successfully powers up.
0009	EHT overvoltage (X-Ray protection) detected. This fault occurs as a result of a voltage greater than 4 volts at the EHT compensation input (pin 4) of IE02.
000a	Flash over detected. This fault occurs as a result of a voltage greater than 2 volts at pin 5 of IE02 (TDA9330).
000b	The microprocessor failed to communicate with the EEPROM (I005) due to a failure of that device or the I2C bus connections.
000c	The DTT fan failure detection line was activated (taken to ground) for 10 seconds while the DTT module was powered up (digital models only). This is detected at pin 32 of I001.
000d	The TV received no signal for 10 minutes when in digital (where appropriate) or RF modes. This could be a problem with the aerial or a fault in the tuner module or circuitry around I200.
000e	(Dolby Digital sets only) Internal failure of the Dolby Digital decoder module.
Codes 01xx indicate a failure of I2C control of a device, where xx identifies that device. The supported codes are as follows.	
0184	The microprocessor failed to control the MSP3410 sound processor (I400).
018a	The microprocessor failed to control the TDA9320 input processor (I200).
018c	The microprocessor failed to control the TDA9330 output processor (IE02).
Codes 02xx indicate an internal reset of an I2C controlled device, the xx identifies that device. The device codes are the same as the corresponding 01xx code. The supported codes are as follows.	
0284	A power on reset of the MSP3410 sound processor (I400) was detected.
028a	A power on reset of the TDA9320 input processor (I200) was detected.
028c	A power on reset of the TDA9330 output processor (IE02) was detected.
Codes 0300 are related to the DTT module. These are only applicable to IDTV sets.	
0300	The TV microprocessor failed to communicate with the DTT Module via the RS232 link. This could be due to failure of the DTT power supply, the cable connections between the TV and DTT modules or a fault internal to the DTT module.
0301	The DTT Module reported a failure of the AV memory.
0302	The DTT Module reported a non-volatile memory failure.
0304	The DTT Module reported a failure of the PAL encoder.
0305	The DTT Module reported a failure of the Front End Demodulator.
0306	The DTT Module reported a failure of the Front End FEC.
0307	The DTT Module reported a failure of the AFE Tuner.
0308	The DTT Module reported a failure of the Altera device (IC400).
0309	The DTT Module reported a failure of the modem.
030a	The DTT Module reported a failure of the smartcard interface.
030b	The DTT Module reported a signal/picture failure.

As stated above, a status value will be stored for each fault. The status values consist of the following information: -
A count of the number of times that the fault has been detected. This counts up to 9 and stops. This number will only be increased once every time the TV is powered up.
Indication of how recent the fault was. A value of 7 means the fault is the most recent, to have occurred, value of 0 means the fault is the least recent.

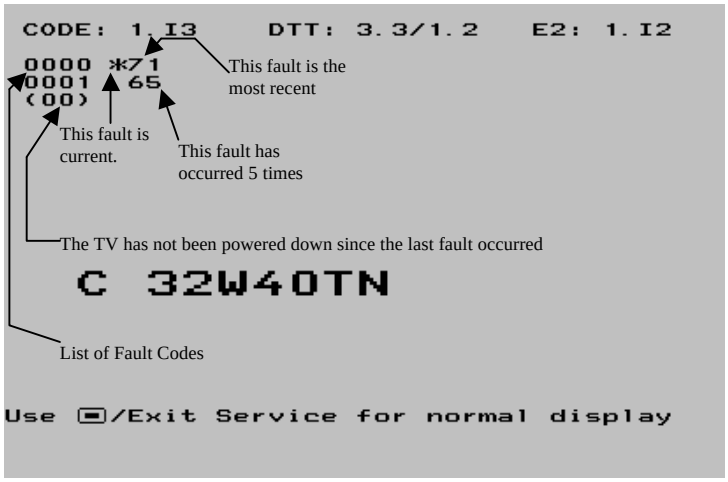
Indication of whether the fault is not currently present. Unless stated above, this indication is set to false when the TV is brought out of standby and set to true when the fault is detected.
An illustration of how this information is presented on the screen is given below.

POWER CYCLE COUNTER.

A count of times the TV is powered up is kept in the EEPROM. This count increases by 1 every time the TV is powered up and is set to zero when a fault occurs, and therefore provides an indication of the time since the last fault. When the count value reaches 30 (decimal), then all of the fault status values are automatically reset, as the faults are considered no longer important.

DISPLAY OF STORED FAULT INFORMATION.

A typical display of fault information as may be seen when the TV is in service mode is shown below. Fault code 0000 (microprocessor watchdog) is current and fault code 1 (power good line) has occurred 5 times.


CODE: 1.I3 DTT: 3.3/1.2 E2: 1.I2
0000 *71
0001 65
(00)
This fault is the most recent
This fault is current.
This fault has occurred 5 times
The TV has not been powered down since the last fault occurred
C 32W40TN
List of Fault Codes
Use ⊟/Exit Service for normal display

DIAGNOSTIC INTERFACE

The television software allows for the connection of a PC to perform certain diagnostic functions. This connection operates using pins 10 and 12 of SCART2 (AV2). This diagnostic interface is always enabled when the TV is in service mode. Also, in the situation where a fault exists that prevents normal entry into service mode, powering up the TV with both VOL ± buttons on the front of the set pressed simultaneously will also enable this interface.
Please contact Hitachi Home Electronics (Europe) for details of PC software and diagnostic cables to facilitate diagnostic operations operating via this interface.

FRANÇAIS

Sécurité

CONSIGNES DE SECURITE

AVERTISSEMENT: vous devez respecter les précautions suivantes

POUR TOUS LES PRODUITS

1. Avant d'effectuer une intervention d'entretien sur le châssis, vous devez insérer un transformateur d'isolement entre la ligne d'alimentation électrique et le produit.
2. Lors de la remontage du châssis dans le coffret, vérifiez que tous les dispositifs de protection sont remis en place.
3. Lorsqu'une intervention d'entretien s'avère nécessaire, respectez l'agencement d'origine des conducteurs. Vous devez prendre des précautions supplémentaires pour garantir un agencement correct des conducteurs dans toutes les zones où des circuits haute tension sont présents.
4. De nombreux composants électriques et mécaniques des appareils HITACHI ont des caractéristiques spéciales de sécurité. Bien souvent, ces caractéristiques ne sont pas évidentes lors d'un examen visuel et la protection qu'ils offrent n'est pas forcément garantie si vous utilisez des composants de rechange conçus, par exemple, pour une tension plus élevée, une puissance plus forte. Les pièces de rechange qui offrent des caractéristiques spéciales de sécurité sont identifiées par un repérage comportant le symbole ⚠ sur les schémas et sur la nomenclature des pièces de rechange. L'emploi d'un
5. composant de rechange qui ne respecte pas les mêmes caractéristiques de sécurité que la pièce de rechange que recommande HITACHI et qui figure dans la nomenclature risque de provoquer un choc électrique, un incendie, des rayons X ou d'autres dangers.
6. Remettez toujours en place les entretoises d'origine et respectez la longueur des conduites. En outre, à la suite d'un court-circuit, remplacez les composants présentant des signes de surchauffe.
7. La résistance d'isolement doit être supérieure ou égale à 2 méga ohms à 500 V c.c. entre les pôles principaux et des composants métalliques accessibles, quels qu'ils soient.
8. Aucun claquage et aucune rupture ne doit se produire pendant l'essai de résistance diélectrique à la suite de l'application d'une tension de 3 kV c.a. ou de 4,35 kV c.c. pendant deux secondes entre les pôles principaux et des composants métalliques accessibles.
9. Avant de remettre au client un produit qui a fait l'objet d'un entretien, le technicien qui s'est chargé de cette intervention doit tester à fond cet ensemble pour s'assurer qu'il ne présente aucun danger opérationnel et aucun risque de choc électrique. Ce technicien doit s'assurer qu'aucun des dispositifs de protection intégrés à cet instrument par le fabricant n'est défectueux ou n'a été endommagé de façon accidentelle lors de l'entretien.

LABEL CE

1. Les produits HITACHI peuvent avoir reçu le label CE qui figure sur la plaque signalétique pour indiquer que cet ensemble contient des composants qui ont fait l'objet d'une homologation spécifique de respect des normes de compatibilité électromagnétique en fonction de niveaux bien spécifiés.
2. Lors du remplacement d'un des composants de ce produit, utilisez uniquement le composant correct identifié dans la nomenclature afin de maintenir le respect de cette norme ; en outre, vous devez également ramener l'agencement des conducteurs à son état d'origine car cela peut avoir une influence au niveau des rayonnements électromagnétiques et sur la protection contre ces rayons.

PICTURE TUBE

1. L'étage de sortie des lignes peut développer des tensions de plus de 25 kV ; s'il faut retirer le chapeau de protection contre les tensions extrêmement élevées, il convient de décharger l'anode contre le châssis par le biais d'une résistance de forte valeur avant de déposer ce chapeau du tube image.
2. La haute tension doit toujours se maintenir à la valeur nominale du châssis et ne pas dépasser cette dernière. Un fonctionnement à des températures élevées peut provoquer une défaillance du tube image ou l'entrée d'une tension élevée. Dans certains cas, cela peut même provoquer des rayons X d'un niveau légèrement supérieur aux valeurs de calcul. Cette haute tension ne doit en aucun cas dépasser 29 kV sur le châssis (à l'exception des téléviseurs de projection).
3. La principale source de rayons X de cet appareil est le tube image. Le tube image employé pour assurer la fonction susmentionnée dans ce châssis est spécialement construit pour limiter des rayons X. Pour maintenir cette protection contre les rayons X, il faut remplacer le tube d'origine d'un type agréé par HITACHI par un autre tube de même type.
4. Lors des manipulations, ne tenez jamais le tube image contre le corps. Pendant toutes les opérations d'installation, de dépose et de manipulation de ce tube image, quelle que soit la méthode employée, vous devez toujours porter des lunettes de sécurité anti-éclatements. Les personnes qui ne portent pas ce type de lunettes doivent se tenir à l'écart du tube image lors de la manipulation de ce dernier.

RAYONS LASER

Si ce produit contient un rayon laser, évitez toute exposition directe à ce faisceau lors de l'ouverture du couvercle ou lors de l'élimination des verrouillages de sécurité ou après défaillance de ces verrouillages.

DESCRIPTION DU CIRCUIT

PROCEDURE D'ALIGNEMANT DU COFFRET D8/A8

APPLICATIONS

CETTE SPECIFICATION DOIT S'APPLIQUER A TOUS LES RECEPTEURS A8 DESTINES AU ROYAUME-UNI ET A L'EXPORTATION

REGLAGE DE L'ENSEMBLE CARTE P.W.B

POUR LES SIGNAUX

PREPARATIFS DE REGLAGE

- Ajust.+B VR982..... Centre
- Ecran VR (FBT)..... A fond dans le sens inverse des aiguilles d'une montre
- Mettez l'appareil sous tension. Réglez +B sur environ 152 V. (Préréglage uniquement - voir réglage final de +B à la section intitulée REGLAGE DE TENSION +B)
- Si un flamboiement est détecté, réglez L501 jusqu'à ce qu'un signal vidéo propre apparaisse sur le port de sortie vidéo de l'oscilloscope.

Sur les modèles qui ont un dispositif flash, vérifiez que l'information de service indique **FLASH : x.x** et non pas **Code : x.x** pour la version logicielle.

ALIGNEMENT STANDARD AFC

- Pour réduire l'influence de la dérive de température des circuits, attendez que le poste de télévision soit monté en température en le laissant fonctionner normalement pendant plus de deux minutes.
- Recevez un signal "PAL I" en sélectionnant l'option **program 3** sur la télécommande.
- Recevez un niveau de signal de +60 dBuV en 623,25 MHz (CH40) en choisissant l'option **Entrée fréquence directe (Direct frequency entry) à la fonction CH.**
- Réglez le décalage AFC (options en service) sur la position centrale.
- Dans le menu du tuner, sélectionnez l'option Fréquence intermédiaire standard I.F. AFC puis appuyez sur la touche "<" ou ">" de la télécommande pour enclencher la procédure de réglage automatique de l'option AFC.
- Si la barre indicatrice arrive à une ou l'autre des extrémités, ramenez-la à la partie centrale, ajustez L201 sur un tour puis reprenez l'opération 3. Continuez cette procédure jusqu'à ce que la barre indicatrice ne revienne plus au centre.

ALIGNEMENT L'AFC (POUR MODÈLES DESTINÉS À L'EXPORTATION UNIQUEMENT).

- Pour réduire l'influence de la dérive de température des circuits, attendez que le poste de télévision soit monté en température en le laissant fonctionner normalement pendant plus de deux minutes.
- Recevez un signal L' en **sélectionnant le programme 14** sur la télécommande.
- Recevez un niveau de signal +60 dBuV en 63,75 MHz (CH4) en saisissant l'option **Entrée fréquence directe (Direct frequency entry)** à la fonction CH.
- Sur le menu du tuner, sélectionnez l'option Fréquence intermédiaire L' I.F AFC puis appuyez sur la touche "<" ou ">" de la télécommande.
- Si la barre indicatrice arrive à une ou l'autre des extrémités, ramenez-la à la partie centrale, ajustez L201 sur un tour puis reprenez l'opération 3. Continuez cette procédure jusqu'à ce que la barre indicatrice ne revienne plus au centre.

Etant donné que les procédures de programmation sont interactives, il faut recommencer toutes les procédures depuis L'ALIGNEMENT AFC STANDARD jusqu'à ce qu'un réglage de L201 ne s'avère plus nécessaire.

ALIGNEMENT DU CONTROLE AUTOMATIQUE DE GAIN AGC

- Pour réduire l'influence de la dérive de température des circuits, attendez que le poste de télévision soit monté en température en le laissant fonctionner normalement pendant plus de deux minutes.
- Branchez un voltmètre offrant une résistance interne d'au moins 100K sur la borne A.G.C. du tuner.
- Recevez le canal 40 (623,25 mHz) en +60 dBuV.
- Ajustez le contrôle de gain A.G.C. en utilisant l'option de prise en main du contrôle de gain (A.G.C. take-over) du sous-menu du tuner jusqu'à ce que la tension A.G.C. soit égale à 2,8 V +/- 0,1 V.

AJUSTEMENT DE LA PUISSANCE ET DE LA DEFLEXION

AJUSTEMENT DE LA TENSION +B

- Tension d'entrée secteur = 230 V ± 5 V/50 Hz
- Amenez la tension +B (R982) au point médian (si un préréglage n'est pas réalisé).
- Recevez la mire de circuit Philips. Mettez l'appareil sous tension puis réglez la luminosité et le contraste sur leurs valeurs maximales.
- Après un fonctionnement de montée en chaleur d'au moins 1 MINUTE, tournez progressivement R982 et ajustez +B (revérifiez au bout de 30 secondes)

  Point de mesure: Tension +B côté C958 +
  Mise à la masse côté C958 -
- Réglez la tension +B sur la valeur qui figure dans le tableau ci-dessous.

MODELE	TENSION +B (V)
Tous D8	151 V ± 0,2 V
Tous A8	148 V ± 0,2 V

	Charge mini	Charge maxi
+8 V = 8 V ± 5%	0,3 A	0,8 A
+5 V = 5 V ± 5%	0,3 A	0,8 A
+16 V = 16 V ,+3 V – 0,5 V	0 A	1,6 A
+16 V (Phono) = +16 V, (+ 3 V, - 1 V)	0 A	200 mA
+B	0,2 A	0,8 A

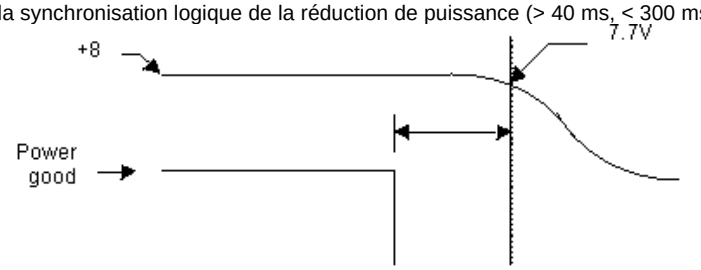
- Vérifiez la tension +B dans le mode de veille : elle doit être > 145 V et < 160 V.

Effectuez un essai en court-circuit (de tous les rails). Le groupe d'alimentation électrique doit passer dans le mode de veille/réinitilisation/blocage (pour effectuer la remise en route, il faudra probablement retirer l'alimentation). Il faut tester le rail audio, source Q921 sur 0 V.

AJUSTEMENT DE PUISSANCE ET DE DEFLEXION

BONNE LIGNE D'ALIMENTATION ELECTRIQUE

- Réglez l'image sur les mêmes paramètres que précédemment.
- Effectuez une mesure sur la broche 2 de l'I903. Elle doit être HAUTE. Si elle est BASSE, coupez R962 (le cas échéant). Si elle est HAUTE mais s'il n'y a pas de synchronisation de la réduction de puissance (voir ci-dessous), coupez R955 (le cas échéant).
- Vérifiez la synchronisation logique de la réduction de puissance (> 40 ms, < 300 ms).



* Après avoir réglé la bonne ligne électrique, vérifiez le fonctionnement sur la tension secteur de 200 V c.a.

LIMITE DU COURANT PRIMAIRE

(Préréglage de R980 sur le point médian)

Rail	Charge de coupure	Charge de vérification	Puissance de coupure	Puissance de vérification
+B	1,2 A c.c.	1,1 A	180 W	165 W
+16 V	2,24 A c.c.	1,65 A	36 W	26 W
+11 V (+5, +8)	1,60 A	1,60 A	18 W	18 W
TOTAL W			234 W	209 W

- Dans le mode de veille, appliquez la pleine charge +40% sur les rails +B et audio/+11 V (charge dynamique) comme indiqué sur le tableau ci-dessus.
- Ajustez R980 jusqu'à ce que l'appareil se mettre hors circuit.
- Dans le mode de veille, appliquez la charge de vérification. Le groupe d'alimentation électrique ne doit pas se mettre hors circuit.

VERIFICATION DU FONCTIONNEMENT DANS LE MODE DE VEILLE

- Vérifiez que tous les rails (à l'exception de +B et de veille +5 V) passent à 0 V.
- Vérifiez que +B ne s'élève pas à plus de 160 V

VERIFICATIONS GENERALES DE SECURITE

- Effectuez un essai à haute tension conforme à la BEAB pour confirmer les composants en travers de la barrière (y compris la sous-carte).
- Un essai d'orientation d'insertion de relais Deg (ce relais peut être monté en position inversée sur le support de console de groupe d'alimentation électrique principal et secondaire). + fiche de travail indiquant l'orientation du relais.

VERIFICATION DU GROUPE D'ALIMENTATION ELECTRIQUE DE SOUS-CARTE (DTT/GRAVES/GROUPE D'ALIMENTATION ELECTRIQUE DE CONSOLE)

- Essai de court-circuit (sur tous les rails)
- Essai de tension de sortie (sur tous les rails), voir tableau.
- Fonctionnement dans le mode de veille. Tous les rails doivent être hors circuit. +10 V restent pour alimenter la sous-carte groupe d'alimentation électrique et opto.
- Vérification d'un fonctionnement à pleine charge.

RAIL	DTT	GRAVES	CONSOLE
38 V	/	0,62 A	0,2 A
32 V	/	/	0,92 A
9 V	400 mA	/	/
5,1 V	1,5 A	Utilisé pour silencieux	Utilisé pour silencieux
3 V3	2,7 A	/	/
30 V	10 mA	/	/
12 V	10 mA	/	/

REGLAGE DTT +5 V

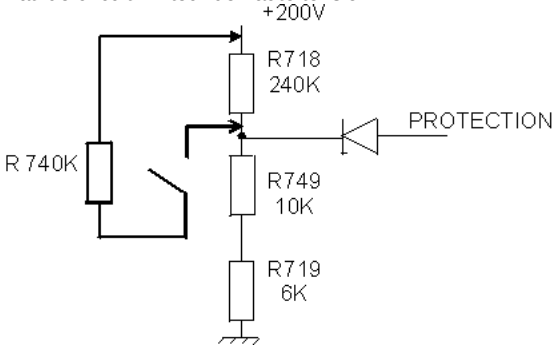
- Réglez VR1 sur sa position approximativement centrale (10 kW).
- Mettez l'alimentation sous tension puis appliquez une charge externe, voir tableau.
- Ajustez VR1 en vous assurant que le rail +5,2 V soit correct à ± 0,05 V près.

IL FAUT EFFECTUER UN ESSAI CONCU PAR LA BEAB SUR LA SOUS-CARTE, DANS UN APPAREIL OU SUR UN SUPPORT DE CONSOLE

VERIFICATION DU CIRCUIT LIMITEUR DE HAUTE TENSION

- Montez la carte PW sur l'appareil et ajustez-la normalement.
- Recevez le signal de mire circulaire.
- Réglez le contraste et la luminosité sur leurs valeurs maximales.
- Ajoutez R = 470K en parallèle avec R718 et R718A.
- Vérifiez que l'image et le son disparaissent lorsque R est ajouté.

REMARQUE :
Bâti de circuit limiteur de haute tension :



	R719	R749
2		
25",28"	47K	4K7
28" 16/9	47K	4K7
32" 16/9	47K	4K7

VERIFICATION DU CIRCUIT DE PROTECTION DE COURT-CIRCUIT TENSION ANODIQUE/MISE AU POINT

- Ajoutez une tension continue sur R760 jusqu'à ce que l'appareil se mette hors circuit (la tension continue doit être équivalente à 1,7 x par pic de courant +B

0,6 V c.c. R760 - L'APPAREIL **NE DOIT PAS** SE METTRE HORS CIRCUIT
1,6 V c.c. R760 - L'APPAREIL **DOIT** SE METTRE HORS CIRCUIT

VERIFICATION DE LA TENSION ANODIQUE FINALE
Veuillez vérifier sur tous les modèles A8 que la tension anodique finale ne dépasse pas les valeurs indiquées.

28" grand écran 31 kV
32" grand écran 32 kV

Cet essai doit être réalisé après avoir réglé la luminosité et le contraste sur leurs valeurs minimales.

POUR CASE DES FONCTIONS (A8 UNIQUEMENT)

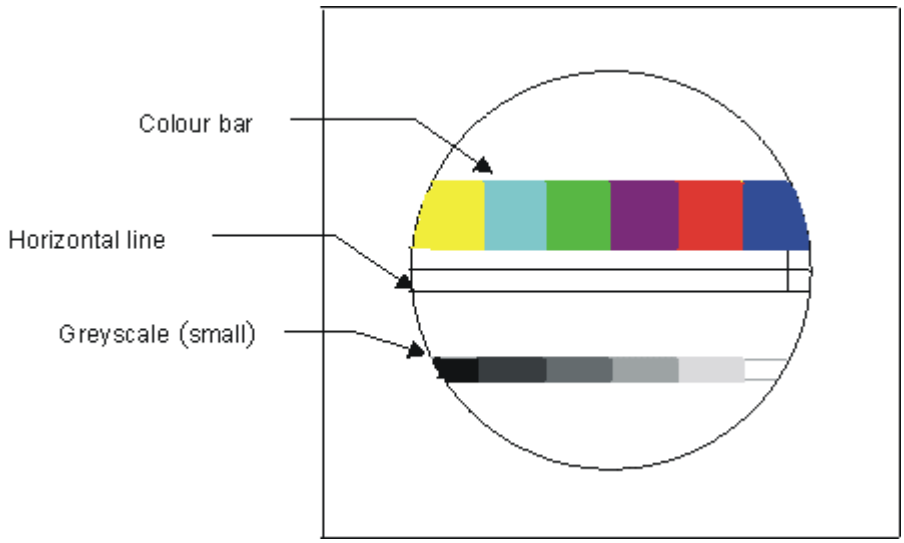
VERIFICATION DU COURT-CIRCUIT EN 5 V ET 8 V A L'AIDE DE LA CARTE COFFRET DE FONCTIONS

- Mesurez la résistance entre 5 V (EU11, broche 1) et MASSE (EU11, broche 3) à l'aide d'un multimètre. Si ce compteur affiche une valeur égale à 62,5 ± 4 W, le COFFRET DE FONCTIONS est correct.
- Mesurez la résistance entre 8 V (EU11, broche 6) et MASSE (EU11, broche 3) à l'aide d'un multimètre. Si ce compteur affiche une valeur égale à 1,29 ± 0,1k W, le COFFRET DE FONCTIONS est correct.

Si ces résistances ne sont pas correctes, veuillez vérifier le pont de soudure ou l'absence de soudure au niveau d'IU03 (SDA9272).

VERIFICATION DU FONCTIONNEMENT DE LA BOITE DE FONCTIONS

- Montez le COFFRET DE FONCTIONS sur la carte principale.
- Recevez la mire circulaire (PAL) pour vérifier la qualité de la couleur. **Vérifiez que** : la ligne horizontale est stable (voir ligne horizontale) <-----uniquement pour modèles 2897,W35 - la partie barre de couleurs est correcte (voir barre de couleurs). La partie blanche de l'image est d'un blanc pur (voir échelle des gris).



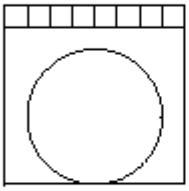
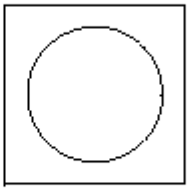
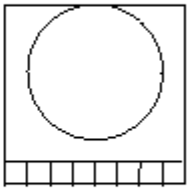
- Vérifiez le fonctionnement du visionnement progressif (100 Hz à l'aide de la télécommande) (touche de visionnement) <----uniquement pour modèles 2897,W35.
- Changez la netteté, le paramètre CTI , la compression (14:9, 4:3 et zoom) et la réduction du bruit (faible, moyen et fort) à l'aide de la télécommande. Vérifiez la performance globale. Si un bruit numérique apparaît à l'image, ou si une opération erronée se produit, mettez le coffret de fonctions au rebut.

Recevez un signal NTSC. Procédez aux même vérifications que pour un signal PAL.

POSITION/PROFIL IMAGE

PHASE HORIZONTALE
CENTRE VERTICAL
AMPLITUDE VERTICALE

- Attendez au moins 5 minutes après avoir mis l'appareil sous tension secteur avant de procéder à des réglages.
- Recevez la mire circulaire Philips.
- Réglez la luminosité et le contraste sur leurs valeurs maximales.
- L'appareil doit être dirigé vers le nord ou vers le sud.
- La tension d'entrée secteur doit être égale à 230 V ± 5 V en 50 Hz.
- Ajustez le contrôle du logiciel (à l'aide de L'ORDINATEUR PERSONNEL PC /DE LA TELECOMMANDE).
- Ajustez le contrôle afin que le centre de l'image se trouve comme indiqué sur le schéma ci-dessous.

	Upper: Extends Lower: Shrinks	Standard	Upper: Shrinks Lower: Extends
Picture Condition			
Size	Adjust until upper part of castillations disappear	Adjust until both sides of castillations disappear.	Adjust until lower parts of castillations disappear.

Remarque :
Cette image doit être exagérée afin de créer une image type baril au niveau des bords verticaux. La compensation pour obtenir cette image baril doit se situer à 3 points après la position qui correspond au bord vertical normal. Cela a pour but de compenser l'effet de coussin d'épingles notable sur les OSD.

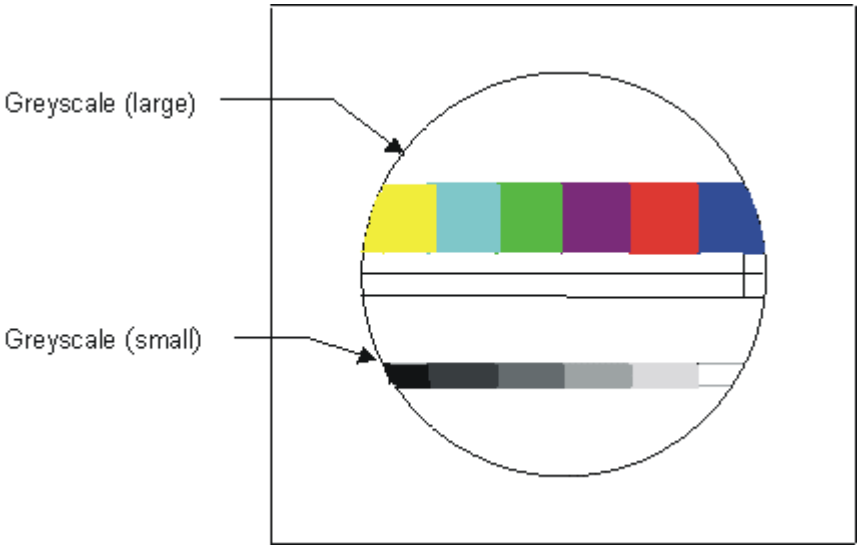
INCLINAISON
PARABOLE
LARGEUR

- Laissez l'appareil chauffer pendant 5 minutes avant de procéder à des réglages.
- Recevez la mire circulaire Philips.
- Réglez la luminosité et le contraste sur leurs valeurs nominales.
- L'appareil doit être dirigé vers le nord ou vers le sud.
- La tension d'entrée secteur doit être égale à 230 V ± 5 V en 50 Hz.
- Ajustez le logiciel afin que les lignes verticales sur les bords externes de l'écran soient à peu près verticales.
- Ajustez le logiciel afin que les lignes verticales (à peu près verticales) sur les côtés de l'écran soient ajustées à la verticale, au centre de l'écran.
- Ajustez le logiciel afin que les créneaux qui apparaissent sur les côtés de l'image ne soient pas très visibles. Réduisez la luminosité et le contraste pour vous assurer que la largeur de l'image n'a pas diminué, et afin de pouvoir voir au-delà des créneaux. Il faudra probablement recommencer les opérations 6 et 7.

REMARQUE : sur tous les récepteurs en 16:9, l'image doit être tout d'abord programmée dans le mode 16:9, puis l'ajustement final de parabole et de correction de coin ne doit s'effectuer que dans le mode 4:3.

AJUSTEMENT DE LA MISE AU POINT

- Recevez la mire circulaire Philips.
- Procédez à un ajustement après avoir réglé l'horizontale et la verticale.
- Changez le signal reçu afin d'obtenir les signaux croisés.



- Tournez progressivement dans le sens des aiguilles d'une montre la mise au point VR à partir de la position correspondant à une rotation maximale dans le sens inverse des aiguilles d'une montre afin que la mise au point de la ligne verticale de la partie centrale, la plus éloignée vers la droite, donne un résultat optimal après ajustement (contraste maximal et luminosité normale).

AJUSTEMENT DE LA BALANCE DES BLANCS

- Recevez un signal 100% blanc. (N'utilisez pas des signaux usine, utilisez un générateur RF pour obtenir un signal amélioré)
- Réglez la saturation des couleurs sur la partie centrale
- Ajustez les barres rouge et bleue en utilisant le menu "Point blanc". Effectuez des mesures à 10 cd.

MODÈLE CL 7 400°K
Modèles W30 8 700°K
Modèle C 9 300°K

Tous les nouveaux modèles, à compter du mois d'août 1999 (y compris le modèle W30), doivent avoir une température des couleurs réglée sur 8 700K

LUMINOSITE DU TEXTE

- Réglez la mire à texte sur l'essai de case des blancs.
- Réglez la luminosité sur 90 Cd/m^2

AJUSTEMENT DE LA COUPURE

- Ajustement approximatif.
- Réglez le mode vidéo sans signal.
- Tournez le potentiomètre écran de FBT jusqu'à ce que les lignes disparaissent.
- Réglage précis.
- Sélectionnez le mode A.V. sans application de signal.
- Service »» point blanc »» plus à la ligne inférieure. Vous pouvez voir
  0+ ou **i-** ou **0-**

Cela indique le statut actuel des noirs (coupure). Ajustez-le sur "i-" à l'aide du potentiomètre écran de FBT.

REGLAGES LOGICIELS D'IMAGE.

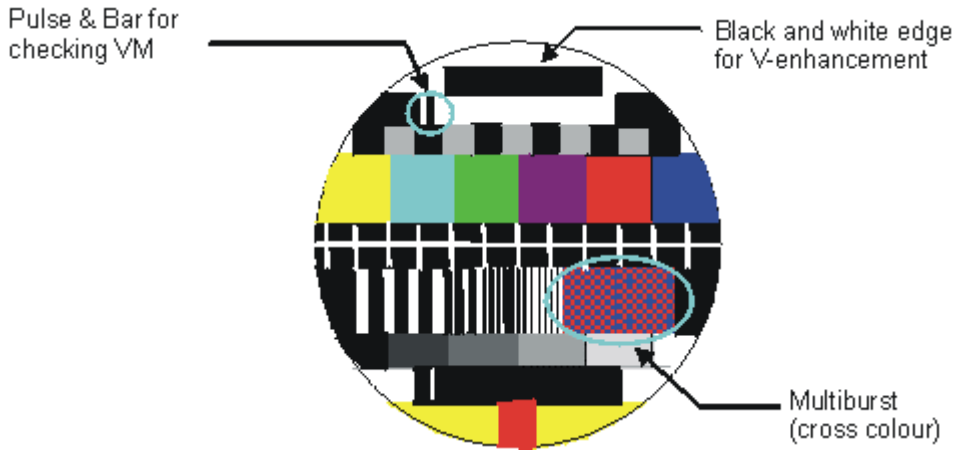
CONSULTEZ LES TABLEAUX DES CARACTERISTIQUES TECHNIQUES AVANT ENVOI A LA FIN DE CE DOCUMENT.

DECALAGE RGB (ROUGE/VERT/BLEU)

- Recevez le signal RGB en provenance de la prise péritel et SERVICE»» HORIZONTAL»» DECALAGE RGB sur la télécommande.
- Ajustez la position de l'image horizontale en modifiant DECALAGE RGB.

VERIFICATION DU FONCTIONNEMENT DU FILTRE COMB

- Recevez la mire d'essai circulaire Philips. IMAGE»» PLUS»»FILTRE COMB sur télécommande
- Vérifiez que le filtre comb est EN CIRCUIT à l'aide de la télécommande puis regardez les éclats multiples en vous assurant qu'il n'y a pas de "couleur croisée".



- Vérifiez "L'AMELIORATION VERTICALE" en regardant le bord horizontal du blanc et du noir.
- Vérifiez la qualité globale de l'image.

VERIFICATION DU FONCTIONNEMENT DU VM

- Recevez la mire circulaire Philips.

IMAGE»» PLUS»» VM de la télécommande.
Vérifiez que les changements de largeur des barres sont plus importants (voir ci-dessus) lorsque VM est mis EN CIRCUIT à l'aide de la télécommande.

LISTE DE CONTROLE DES FONCTIONS DU MODULE DTT.

FONCTION **Réception Chaîne inférieure (ch.21)** **Réception Chaîne inférieure (ch.21)**	**STATUT OK**
Sortie vidéo	Pas d'erreur
Sortie RGB	Pas d'erreur, couleur correcte
Sortie audio	Sortie G/D, pas d'erreur
BER*	inférieure à 7,00E-003
Canal central de réception (ch.41)	
Sortie vidéo	Pas d'erreur
Sortie RGB	Pas d'erreur, couleur correcte
Sortie audio	Sortie G/D, pas d'erreur
BER*	inférieure à 7,00E-003
Modem	
RS232	
Sortie du module	Indique que le statut opérationnel du logiciel est correct
Entrée vers module	Saisie commande possible
PCMCIA	
Amélioration logicielle depuis carte PC	Amélioration possible
Sortie RF	Vérifiez le fonctionnement de la borne de sortie RF : le gain doit être égal à +2 dB/-3 dB.
	Réduisez le niveau du signal d'essai numérique à -65 dBm. Cela ne doit pas bloquer l'écran. Ce test doit être réalisé après ajustement de la tension d'alimentation de +5 V afin que sa tension soit programmée sur sa valeur minimale, en respectant les tolérances prévues, à savoir 5,1 V - 1% = 5,05 V.

VÉRIFICATION DE LA PROTECTION CONTRE LES SURCHARGES.

- Pour vérifier la mise hors circuit en présence d'une charge maximale à l'image, réglez un générateur de signaux sur un signal à rebond noir vers blanc.

SHIPPING SPEC. TABLES

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du m ode SERVICE de différents modèles.

	Numéro modèle	Contraste	Luminosité	Couleur	Netteté	Renseignements supplémentaires ...	Réduction de bruit	Filtre Comb	CTI	VM	Point blanc	Etirement du noir
1	C28W40TN(A)	100%	50%	50%	50%		Hors circuit	S/O	Hors circuit	En marche	Normal	Hors circuit
2	C32W30TN(A)	100%	50%	50%	50%		Low	S/O	Hors circuit	S/O	Normal	En marche
3	C32W35TN(A)	100%	50%	50%	50%		Hors circuit	Hors circuit	Hors circuit	Hors circuit	Normal	En marche
4	C32W40TN(A)	100%	50%	50%	50%		Hors circuit	S/O	Hors circuit	En marche	Normal	Hors circuit
5	C32W2000N	100%	50%	50%	50%		Hors circuit	Hors circuit	Hors circuit	Hors circuit	Normal	En marche
6	CL28W30TAN(A)	100%	50%	50%	50%		Low	S/O	Hors circuit	S/O	Normal	En marche
7	CL28W35TAN(A)	100%	50%	50%	50%		Low	Hors circuit	Hors circuit	Hors circuit	Normal	En marche
8	CL32W30TAN(A)	100%	50%	50%	50%		Low	S/O	Hors circuit	S/O	Normal	En marche
9	CL32W35TAN(A)	100%	50%	50%	50%		Low	Hors circuit	Hors circuit	Hors circuit	Normal	En marche

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du mode SERVICE de différents modèles.

	Numéro modèle	Volume	Son	Renseignements supplémentaires	Mode	Egalisateur graphique	Mode son	Visionnement progressif 100 Hz	Mode numérique /analogique	Mode 16:9
1	C28W40TN(A)	10%	Hors circuit		1	50%	Pro Logic	S/O	Numérique	Auto
2	C32W30TN(A)	10%	Hors circuit		1	50%	S/O	100 Hz	Analogique	Auto
3	C32W35TN(A)	10%	Hors circuit		1	50%	Pro Logic	Progressif	Analogique	Auto
4	C32W40TN(A)	10%	Hors circuit		1	50%	Pro Logic	S/O	Numérique	Auto
5	C32W2000N	10%	Hors circuit		1	50%	Pro Logic	Progressif	Analogique	Auto
6	CL28W30TAN(A)	10%	Hors circuit		1	50%	S/O	100 Hz	Analogique	Auto
7	CL28W35TAN(A)	10%	Hors circuit		1	50%	Pro Logic	Progressif	Analogique	Auto
8	CL32W30TAN(A)	10%	Hors circuit		1	50%	S/O	100 Hz	Analogique	Auto
9	CL32W35TAN(A)	10%	Hors circuit		1	50%	Pro Logic	Progressif	Analogique	Auto

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du mode SERVICE de différents modèles.

	Numéro modèle	Minuteur sommeil	Zoom implicite	Zoom 4:3	Détection auto grand écran	Langue	Programmation surround	Position siège	Haut-parleurs internes	Canal central
1	C28W40TN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	Milieu	En marche	Normal
2	C32W30TN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	S/O	S/O	En marche	S/O
3	C32W35TN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	Milieu	En marche	Normal
4	C32W40TN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	Milieu	En marche	Normal
5	C32W2000N	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	S/O	En marche	Phantom
6	CL28W30TAN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	S/O	S/O	En marche	S/O
7	CL28W35TAN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	Milieu	En marche	Phantom
8	CL32W30TAN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	S/O	S/O	En marche	S/O
9	CL32W35TAN(A)	Hors circuit	Panoramique	Panoramique	En marche	Anglais	100%	Milieu	En marche	Phantom

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du mode SERVICE de différents modèles.

	Numéro modèle	Mode AV1 VCR	Mode AV1 SAV	Mode AV2 VCR	Mode sortie *AV2	Mode AV3 VCR	B/G	Autre	THF	Décalage AFC	Décalage L'	Mode 3DS
1	C28W40TN(A)	En marche	Auto	En marche	RF	Hors circuit	Hors circuit	I	Hors circuit	11	76	Hors circuit
2	C32W30TN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	Hors circuit	I	En marche	11	76	S/O
	C32W35TN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	Hors circuit	I	Hors circuit	11	76	Hors circuit
4	C32W40TN(A)	En marche	Auto	En marche	RF	Hors circuit	Hors circuit	I	Hors circuit	11	76	Hors circuit
5	C32W2000N	En marche	Auto	En marche	RF	Hors circuit	Hors circuit	I	Hors circuit	11	76	En marche
6	CL28W30TAN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	En marche	L/L'	En marche	11	76	S/O
7	CL28W35TAN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	En marche	L/L'	En marche	11	76	En marche
8	CL32W30TAN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	En marche	L/L'	En marche	11	76	S/O
9	CL32W35TAN(A)	En marche	Auto	Hors circuit	RF	Hors circuit	En marche	L/L'	En marche	11	76	En marche

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du mode SERVICE de différents modèles.

	Numéro modèle	Décalage RGB	Décalage texte	R, G, B	Décalage froid	Décalage chaud	Niveau cathode	Temporisation C	Luminosité texte	Décalage SECAM	Mode texte actuel
1	C28W40TN(A)	35	31	32	4	4	83V	3	31	S/O	Simple
2	C32W30TN(A)	35	31	32	4	4	71V	3	31	S/O	Simple
*	C32W35TN(A) (Ancien FB/Nouveau FB)	35	31	32	4	4	62V/71V	3	31	S/O	Simple
4	C32W40TN(A)	35	31	32	4	4	83V	3	31	S/O	Simple
5	C32W2000N (Ancien FB/Nouveau FB)	35	31	32	4	4	62V/71V	3	31	S/O	Simple
6	CL28W30TAN(A)	35	31	32	4	4	71V	3	31	16	Simple
7*	CL28W35TAN(A) (Ancien FB/Nouveau FB)	35	31	32	4	4	62V/71V	3	31	6/16	Simple
8	CL32W30TAN(A)	35	31	32	4	4	71V	3	31	16	Simple
9*	CL32W35TAN(A) (Ancien FB/Nouveau FB)	35	31	32	4	4	62V/71V	3	31	6/16	Simple

REGLAGES DES DONNEES DE SERVICE - Il s'agit de la série de données du mode SERVICE de différents modèles.

	Numéro modèle	Texte sup.	Modes texte	Traitement	Type tube	Porte M	Mode hôtel	Pas de veille	Prog.	Volume maxi	Prog. DTT	Identité unité
1	C28W40TN(A)	Hors circuit	SGL	JBL		Hors circuit	Hors circuit	Hors circuit	1	50%	1	1
2	C32W30TN(A)	Hors circuit	SGL	JBL		Hors circuit	Hors circuit	Hors circuit	1	50%	S/O	1
3	C32W35TN(A)	Hors circuit	SDS	JBL		Hors circuit	Hors circuit	En marche	1	50%	S/O	1
4	C32W40TN(A)	Hors circuit	SGL	JBL		Hors circuit	Hors circuit	Hors circuit	1	50%	1	1
5	C32W2000N	Hors circuit	SDS	JBL		Hors circuit	Hors circuit	Hors circuit	1	50%	S/O	1
6	CL28W30TAN(A)	En marche	SGL	JBL		Hors circuit	Hors circuit	En marche	1	50%	S/O	1
7	CL28W35TAN(A)	En marche	SDS	JBL		Hors circuit	Hors circuit	En marche	1	50%	S/O	1
8	CL32W30TAN(A)	En marche	SGL	JBL		Hors circuit	Hors circuit	En marche	1	50%	S/O	1
9	CL32W35TAN(A)	En marche	SDS	JBL		Hors circuit	Hors circuit	En marche	1	50%	S/O	1

Filtre-peigne numérique

Le filtre-peigne numérique sert à séparer les signaux vidéo composite en fonction de la luminance et de reconstruire les signaux sous-porteurs couleur de chrominance en utilisant des techniques de traitement de signaux numérique. Le CI filtre-peigne , IN01, possède aussi une fonction d'amélioration de bord vertical.
L'entrée vidéo composite (broche 6 du connecteur E500) et la sous-porteuse couleurs (broche 8 d'E500) sont converties par un convertisseur analogique/numérique 8 bits pendant l'amélioration verticale et le filtrage par le filtre-peigne numérique. Les sorties des composants séparés de luminance et de chrominance sont disponibles via un convertisseur numérique à analogique 8 bits sur les broches 1 et 4 respectivement.

Modulation de la vitesse de balayage

Le signal se dégrade pendant la transmission et aussi à cause des caractéristiques de fréquence des circuits de télévision. Ceci produit normalement une légère augmentation ou chute dans les zones de changement de luminosité lors de la réception de configurations noir-à-blanc-à-noir.
La qualité de finesse de l'image peut être évaluée par l'inclinaison des fronts avant et arrière. Le circuit de modulation de vitesse de balayage a été conçu pour améliorer la qualité de l'image, c'est-à-dire rendre les fronts du signal vidéo plus inclinés, en contrôlant la vitesse de balayage horizontal du faisceau d'électrons du tube cathodique.
Le circuit de modulation de vitesse produit un signal de compensation en additionnant les composants RGB pui en les différentiant. Le signal de compensation reçoit un gain de courant qui vient s'appliquer à la bobine auxiliaire (connecteur E806) sur le col du tube cathodique.
Le circuit de modulation de vitesse est situé sur la base du tube cathodique, aux côtés des amplificateurs RGB finaux. Les signaux RGB dérivent des broches 4-6 de PL803 et sont transmis à l'émetteur de Q861, par le différentiateur C863, R891, avant d'arriver à la base de Q862 pour amplification de tension puis, aux étages ultérieurs, pour gain de puissance.

Groupe de conversion numérique à double visionnement (coffret des fonctions).

Cet appareil a pour fonction principale la conversion des fréquences de visionnement double : visionnement 100/120 Hz entrelacé et visionnement progressif 50/60 Hz. Il offre d'autres fonctions comme, par exemple, la CTI (d'après l'anglais Colour Transient Improvement, c'est-à-dire l'amélioration transitoire des couleurs), la compression horizontale, la réduction du bruit, la netteté et le zoom vertical. Ces fonctions sont pilotées par le bus I2C et sont fournies ailleurs par le CI d'amélioration d'image, TDA 9178 (IE01) sur les modèles numériques sans visionnement progressif de 100 Hz.

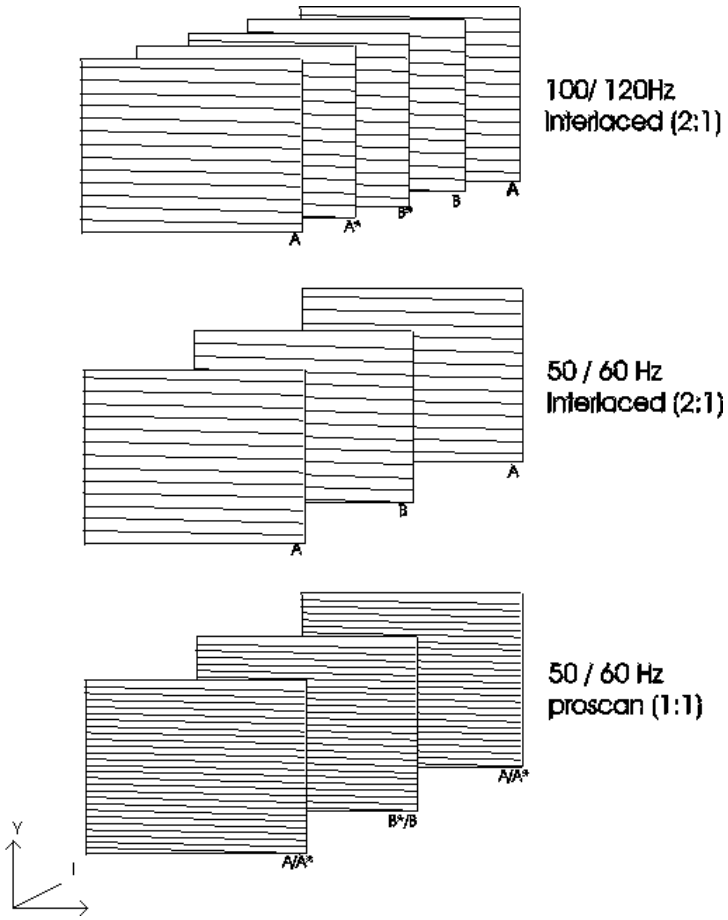


FIG.1 Mode de conversion de vitesse de visionnement sur l'affichage

Comme le schéma le montre, **A/B** sont les champs de signaux impairs/pairs originaux de 50 Hz qui sont employés pour créer des informations supplémentaires sur l'image, alors que **A*/B*** sont les informations d'images supplémentaires prévues/manipulées, créées par le coffret de fonctions. La Fig.1 illustre les différences entre le visionnement entrelacé 100/120 Hz et le visionnement progressif 50/60 Hz. Le principal avantage du visionnement progressif est une scrutation "sans entrelaçage", qui maintient la fréquence de champ à 50/60 Hz Cela signifie que la construction des lignes est doublée dans chaque champ par rapport au visionnement entrelacé de 100/120 Hz. Cela permet d'obtenir des lignes de visionnement à pas très serrés et d'éliminer le tremblotement des lignes. La sélection d'un fonctionnement en 100 Hz a pour avantage de réduire les tremblotements dans des zones étendues et de diminuer le tremblotement des lignes (sauf sur les modèles A8 W30 de 100 Hz).

Cet appareil est alimenté à partir de sources de +5 V et +8 V, qui pénètrent, respectivement, par les broches 21, 22 et 26 d'E10. Les trois signaux vidéo d'entrée de 50 Hz, à savoir Y, U et V, aboutissent à cet appareil, aux broches 8, 10 et 12 d'E11. Les signaux de sortie vidéo Y, U et V (vidéo à double fréquence) sont prélevés sur les broches 5, 3 et 1 d'E11. Les signaux de synchronisation horizontale et verticale pénètrent dans cet appareil sous la forme d'un signal de synchronisation composite sur la broche 24 d'E10 alors que les signaux de synchronisation horizontale et verticale à double fréquence sortent au niveau des broches 30 et 31 d'E10.

PROCESSEUR D'ENTRÉE – PHILIPS TDA 9320

Le TDA9320 est un processeur d'entrée à standards multiples. Ses fonctions comprennent :

SORTIES VIDÉO / ENTRÉES EXTERNES

Le processeur d'entrée possède trois entrées CVBS (1 interne et 2 externes) et 2 entrées Y/C. Les entrées CVBS externes sont utilisées pour les prises femelles Péritel. Les entrées Y/C sont utilisées comme entrées S-VHS et une troisième entrée CVBS. Le circuit peut détecter si un signal CVBS ou un signal Y/C est présent sur l'entrée AV3. Le C.I. a 2 entrées RGB pour commutation rapide. La commutation des diverses sources est contrôlée par I2C, et la détection d'un filtre-peigne peut être effectuée.

SYNCHRONISATION

Le séparateur de synchronisation est précédé par un amplificateur contrôlé qui ajuste l'amplitude de l'impulsion de synchronisation à niveau fixe. Ces impulsions sont alimentées à l'étage de limiteur qui opère à 50% de l'amplitude. Les impulsions de synchronisation sont alimentées au détecteur de phase et au détecteur de coïncidence. Ce détecteur de coïncidence est utilisé pour détecter si l'oscillateur de ligne est synchronisé et peut aussi être utilisé pour l'identification de l'émetteur. Le PLL a une forte inclinaison statique de manière à ce que la phase de l'image soit indépendante de la fréquence de ligne.
Pour l'impulsion de sortie horizontale, deux conditions sont possible :
Une impulsion H_A qui a une phase et une largeur identiques à l'impulsion d'entrée de synchronisation horizontale.
Une impulsion de verrouillage CLP qui a une phase et une largeur identiques à l'impulsion de verrouillage trapézoïdale .
Le signal H_A/CLP est généré par un oscillateur qui fonctionne à une fréquence de 440 x F_H. Sa fréquence est divisée par 440 pour verrouiller la première boucle du signal entrant. La fréquence libre de l'oscillateur est déterminée par un circuit de commande numérique qui est verrouillé sur le signal de référence du décodeur couleur. Lorsque le détecteur de coïncidence indique une situation hors verrouillage, la procédure d'étalonnage est répétée.
L'impulsion verticale est obtenue via un circuit de comptage à rebours vertical. Le circuit de comptage à rebours a diverses fenêtres en fonction du signal d'entrée (50/60 Hz).

AMPLIFICATEUR IF D'IMAGE

Le signal vidéo est démodulé par un régénérateur de porteuse PLL. Ce circuit contient un détecteur de fréquence et un détecteur de phase. Pendant l'acquisition, le détecteur de fréquence accordera l'oscillateur commandé en tension (VCO) à la fréquence correcte. Après le verrouillage, le détecteur de phase commande le VCO de manière à obtenir un rapport stable en phase entre le VCO et le signal d'entrée. Le VCO fonctionne au double de la fréquence IF, et le signal de référence du démodulateur est obtenu au moyen d'un circuit de division de fréquence.
La sortie AFC est obtenue en utilisant la tension de contrôle VCO du PLL et peut être lue sur le bus I2C. Le détecteur AGC fonctionne à la synchronisation supérieure et au niveau de blanc supérieur. La constante de temps du système AGC pendant la modulation positive est longue pour éviter toute variation visible de l'amplitude du signal. Pour améliorer la vitesse du système AGC, un circuit est inclus pour détecter si le détecteur AGC est activé ou non à chaque période de trame. La vitesse du système est augmentée lorsqu'aucune action n'est détectée pendant 3 périodes de champ. Pour les signaux sans information de crête de blanc, le système passe automatiquement à un AGC de noir à créneaux. Etant donné qu'une impulsion de verrouillage de niveau noir est requise pour ce mode opératoire, le circuit ne passe au contrôle automatique du gain du niveau noir qu'en mode interne.
Le circuit contient un circuit d'identification vidéo qui est indépendant du circuit de synchronisation. Par conséquent, un accord de recherche est possible lorsque la section d'affichage du récepteur est utilisée comme moniteur.

TRAITEMENT CHROMA ET LUMA

Le CI contient un filtre passe-bande de chrominance, la cloche SECAM et des filtres-bouchons de chrominance. Ces filtres sont étalonnés en utilisant la fréquence d'accord et la fréquence quartz du décodeur couleur. Le signal de sortie de luminance, qui est dérivé du signal entrant CVBS ou Y/C peut être varié en amplitude par un contrôle de gain séparé.

DÉCODAGE COULEUR

Le décodeur couleur peut décoder les signaux PAL, NTSC et SECAM. Le décodeur PAL / NTSC contient un oscillateur à quartz sans alignement avec 4 broches séparées, un circuit destructeur et deux démodulateurs de différence de couleur. Le déphasage de 90° du signal de référence est assuré intérieurement. Etant donné qu'il est possible de connecter 4 quartz différents au décodeur couleur, toutes les normes couleur peuvent être décodées sans circuits de commutation externes. Les quartz non utilisés doivent être laissés ouverts. L'oscillateur horizontal est étalonné au moyen de la fréquence de quartz du PLL.
Le CI contient un circuit de limite automatique de couleur qui est commutable pour empêcher la saturation excessive lorsque des signaux à rapport chromatique/rafale élevé sont reçus. Le circuit de limite automatique de couleur est conçu de telle manière qu'il

ne réduit que le signal chromatique et non pas la rafale. Ceci présente l'avantage que la sensibilité couleur n'est pas affectée par cette fonction.
Le décodeur SECAM contient un démodulateur PLL à auto-étalonnage qui a deux références, la fréquence sous-porteuse de 4,43 MHz obtenue sur l'oscillateur à quartz qui est utilisée pour accorder le PLL à la fréquence libre désirée, et la référence d'intervalle de bande pour obtenir la valeur absolue correcte du signal de sortie. Le VCO du PLL est étalonné pendant chaque période de suppression verticale, lorsque le CI est dans le mode recherche ou SECAM. La ligne de temporisation de bande de base est intégrée à l'ensemble.

AMÉLIORATION DE L'IMAGE - PHILIPS TDA 9178

Le CI d'amélioration d'image est un processeur vidéo analogique offrant trois fonctions principales de traitement : vecteur de luminance, vecteur couleur et traitement spectral. Les fonctions actuellement mises en oeuvre sont : amélioration transitoire de luminance (LTI), amélioration transitoire de couleur (CTI), contrôle gamma variable et traitement linéaire Y et U, V fonction de l'image par analyse de l'histogramme de luminance.
Le processeur spectral assure l'amélioration transitoire de luminance, l'amélioration de détail de luminance par pointe intelligente et l'amélioration des nuances (CTI). Le contrôle de raie peut être défini par l'utilisateur. Dans le processeur de vecteur de luminance, la fonction de transfert est contrôlée de manière non linéaire par analyse d'histogramme des valeurs de luminance mesurées sur l'image. Le résultat est une amélioration du rapport de contraste des plus importantes parties de la scène. La fonction gamma variable après la conversion offre la possibilité d'un autre contrôle de luminosité ou du réglage d'usine du tube d'image.
Les fonctions de finesse, réduction du bruit et amélioration transitoire de couleur (CTI) sont assurées par le CI d'amélioration d'image pour les modèles numériques, tandis que dans les modèles équipés du balayage progressif 100Hz, ces fonctions sont assurées à l'intérieur du module à double balayage. Toutes les fonctions décrits sont sélectionnables/ajustables par commande I2C à l'aide des options du menu d'entretien.
Les signaux Y, U et V sont pris sur les broches 49, 50 et 51 de I200 et sont envoyés directement à Y_{in}, U_{in} et V_{in} (broches 6, 8 et 9 de IE01). Les sorties améliorées Y, U et V sortent de IE01 (broches 19, 17 et 16 respectivement) et sont transmises à IE02 (broches 28, 27 et 26 respectivement).

TUNER.

The tuner U100, is a frequency synthesis type with an unbalanced input, powered from the +5V rail while the tuning voltage is supplied by the +33V rail, supplied from the horizontal deflection circuit. Direct frequency access, channel selection, AGC and AFC functions are controlled via the I^2C bus. AGC, AFC and Offset controls may be selected by entering the service menu and selecting the ‘tuner’ option.
Pin 1, AGC is taken from pin 62 of TDA 9320. The balanced I.F. output is taken from pins 10 & 11, which are then arrive at both the inputs of the vision and sound SAW filters (pins 1 & 2). The outputs from X200 and X202 (pins 4 & 5 respectively) pass through to pins 2 & 3 and pins 63 & 64 of I200, where they are demodulated.

PROCESSEUR RGB - TDA 9330

DÉFLEXION VERTICALE ET COMMANDES DE GÉOMÉTRIE

Les circuits de commande des circuits de déflexion verticale et est-ouest sont produits par un diviseur vertical qui obtient son horloge à partir de l'oscillateur de ligne. Le diviseur est synchronisé par l'impulsion verticale d'entrée, produite par le processeur d'entrée ou le boîtier de fonctions.
La commande verticale est réalisée par un courant de sortie différentiel. Les sorties doivent être couplées CC à l'étage de sortie verticale. La géométrie verticale peut être ajustée par commande I2C via le menu d'entretien.

SYNCHRONISATION HORIZONTALE ET CIRCUIT DE COMMANDE

Le signal de commande horizontale est obtenu à partir d'un VCO interne fonctionnant à une fréquence de 13,75MHz. Cet oscillateur est stabilisé à cette fréquence au moyen d'un oscillateur à résonance de 12MHz. Le VCO interne est synchronisé à l'impulsion horizontale d'entrée H_d au moyen d'un PLL avec constante de temps interne. Le signal de commande horizontale est produit par une deuxième boucle de contrôle qui compare la phase du signal de référence du VCO interne à l'impulsion de retour. La boucle de constante de temps est interne. Le CI a une entrée de correction dynamique de phase horizontale qui peut être utilisée pour compenser les dérives de phase causés par les variations de courant du faisceau. Les réglages supplémentaires de déflexion horizontale assurée par la deuxième boucle sont le décalage horizontal et la correction de parallélogramme.
Le signal de commande horizontale est mis en et hors service via une procédure appelée démarrage/arrêt en douceur. Cette fonction est réalisée au moyen d'une variation de T_{on} de l'impulsion de commande horizontale. Pour les générateur EHT sans résistance de fuite, le CI peut être configuré en mode de courant de faisceau fixe. Dans ce cas, la capacitance du tube-image est déchargée par un courant d'environ 1mA qui est déterminé par la boucle d'asservissement de courant noir. Lorsque l'option de courant de faisceau fixe est activée, il est toujours possible d'avoir un écran noir pendant l'arrêt. Ceci peut être réalisé en plaçant la déflexion verticale dans une position de surbalayage.
Une fonction supplémentaire du CI est le démarrage à faible puissance. Ce mode est activé lorsqu'une tension de 5V est alimentée à la broche de démarrage. Le courant requis pour cette fonction est approximativement 3mA. Dans cette condition, le signal de commande horizontale a le T_{off} normal, et T_{on} augmente progressivement de zéro à 30% environ de sa valeur normale. Ceci produit une fréquence de ligne de 50kHz à 25kHz environ. Le signal de sortie reste inchangé jusqu'à ce que la tension secteur soit mise en service. A ce moment, le signal de commande horizontale passera progressivement à la fréquence et au régime normal via la procédure de démarrage en douceur.
Le CI a une sortie CNA contrôlée par bus à usage général avec une résolution de 6 bits et une plage de tension de sortie comprise entre 0,2 et 4V.

SIGNAUX D'ENTRÉE

Le circuit de commande RGB de TDA 9330 contient trois groupes de signaux d'entrée.
Les signaux d'entrée Y, U, V qui sont fournis par le processeur d'entrée ou le boîtier de fonctions. Les signaux d'entrée nominaux pour U et V sont de 1,33V $_{\text{crête à crête}}$ et 1,05 V $_{\text{crête à crête}}$ respectivement. Ces signaux d'entrée sont contrôlés par la luminosité, le contraste et la saturation.
Deux sources RGB sont destinées au Scart, tandis que la deuxième est utilisée pour OSD et télétexte. Le signal d'entrée requis a une amplitude de 0,7 V $_{\text{crête à crête}}$. La commutation entre le signal interne et le signal OSD peut être réalisée via une suppression rapide. Cette entrée est contrôlée par la luminosité.
La commutation entre les diverses sources peut être réalisée via le bis I2C et par des commutateurs à insertion rapide. Le circuit contient des circuits de matrice commutables pour le signal de différence de couleur de manière à ce que la reproduction de couleur puisse être adaptée pour PAL/SECAM et NTSC.

AMPLIFICATEUR DE SORTIE

Aux réglages nominaux, le signal de sortie a une amplitude de 2 V noir à blanc. Le réglage de point blanc requis du tube-image est appliqué par 3 réglages de gain séparés pour les voies RGB.
Pour obtenir une polarisation précise du tube, un circuit d'étalonnage continu de cathode est prévu au moyen d'un circuit de stabilisation de niveau du noir à deux points. En insérant 2 niveaux de test pour chaque canon et en comparant les courants de cathode résultants à deux courants de référence différents, l'influence des paramètres du tube-image tels que la tension de coupure d'étalement peut être éliminée.

DESCRIPTION DE LA TRAJECTOIRE DES SIGNAUX

Le signal IF est obtenue à partir des broches 4 et 5 des filtres en dents de scie X200 (image) et X202 (son) et est alimenté aux broches 2 et 3 (image) et 63 et 64 (son) de I200. Un signal vidéo composite est disponible sur la broche 10 du démodulateur d'image. Le son IF sort sur la broche 6. La vidéo est prise sur la broche 10 via C304, entre dans la broche 12 et sort de la broche 13. C'est la temporisation de groupe sélectionnable via l'entrée-sortie logicielle. Le signal vidéo composite passe ensuite par des étages tampons et de filtrage où la vidéo désirée retourne à I200 par la broche 14.
La matrice de commutation AV supporte deux prises femelles Péritel et des entrées phono CVBS et S-VHS. Les entrées CVBS Péritel sont sur les broches 20 (AV1 E301) et 16 (AV2 E302), CVBS sort sur les broches Péritel 19 de l'émetteur de Q301 (AV1) et de l'émetteur de Q303 (AV2). L'entrée RGB (modèles numériques) de I200 du tuner terrestre numérique (DTT) arrive sur les broches 36-38, et de P301 broches 9, 7 et 5 respectivement. L'entrée S-VHS passe par E300 et aboutit aux broches 23 et 24 de IE02. La détection de l'entrée CVBS est assurée à l'intérieur de IE02. Pour les modèles équipés de la fonction de balayage progressif, un filtre-peigne a été installé via les broches d'entée Y/C 28 et 29. La sous-porteuse couleur pour le filtre-peigne est à la broche 30.
Les signaux Y, U et V sont pris sur les broches 49, 50 et 51 de I200 et sont envoyés directement à Y_{in}, U_{in} et V_{in} (broches 6, 8 et 9 de IE01) en fonctionnement en 50 Hz, tandis qu'en fonctionnement en 100 Hz, les signaux Y, U, V sont dirigés vers les broches 9, 10 et 12 du module de double balayage (UQ01).
D'autres broches diverses, telle que la broche d'onde trapézoïdale 59, sont indépendantes de l'impulsion trapézoïdale produite par IE02, elles ne se commandent pas entre elles. Les impulsions de sortie verticale et horizontale produites par I200 commandent le module de double balayage, broches 18 et 19 respectivement (fonctionnement en 100 Hz) ou IE02, broches 23 et 24 (fonctionnement en 50 Hz). Les lignes de commande I2C sont les broches 46 et 47 et la tension de contrôle de gain automatique du tuner est présente sur la broche 62.
Comme décrit précédemment, les signaux Y, U, V en 50 Hz/100 Hz/mode de balayage progressif sont envoyés aux broches 26-28 de TDS 9330 (IE02). Une fois à l'intérieur du processeur RGB, les fonctions de géométrie et de synchronisation peuvent être appliquées avant d'être envoyés à la base du tube cathodique (broche 40-42 de IE02, et 3-5 de P302) pour l'amplification vidéo finale et vers le circuit de modulation de vitesse.
La sortie de commande verticale est fournie par les broches 1 et 2 de IE02 directement au CI de sortie verticale (broches 11 et 12). La sortie horizontale est sur la broche 8 de IE02 et alimente la base de Q701 bipolaire (50 Hz), Q701B MOSFET (100 Hz). La sortie de commande est-ouest peut être obtenue sur la broche 3 et est connectée à la porte du MOSFET Est-Ouest Q700.
I2C est présent sur les broches 10 et 11 (IE02) et sur le rail d'alimentation +8 V aux broches 7 et 17. Deux groupes d'entrées RGB sont disponibles, une seule est utilisée pour OSD (broches 35-37), l'autre est pour une carte VGA qui n'est pas installée.

CIRCUIT AUDIO

La sortie du tuner T1 est transmise, via un étage de gain tampon formé par Q200 et Q201 au filtre dent de scie X202. Le filtre dent de scie a deux caractéristiques séparées qui sont fonction de la broche (1 ou 2 du filtre dent de scie) sur laquelle le signal est appliqué. La sélection est assurée par la combinaison de Q204 et Q203. La broche 1 est sélectionnée pour la majorité des normes. Cependant, lorsqu'un signal L' a été sélectionné, le microprocesseur (I001) donne une instruction à I200 via une commande I2C pour mettre la broche 19 au niveau haut. A ce moment, Q204 est conducteur et met la broche 1 au niveau bas, coupant Q203 et D203. Ceci signifie que le collecteur de Q203 passe au niveau haut et permet à D202 de conduire et le signal est ainsi appliqué à la broche 2. Pour revenir à d'autres normes de diffusion, la broche 19 de I200 est bien sûr remise au niveau bas.
La sortie en dent de scie est appliquée aux broches 63 et 64 de I200. Ici, le signal est transformé du 1er IF (30 - 40 MHz, en fonction de la norme de transmission) au IF son (5,5 à 6,5 MHz, en fonction de la norme de transmission).
I200 assure aussi la démodulation AM des normes L' et L. Le signal démodulé apparaît superposé à l'IF son sur la broche 5 de I200.
Ce signal suit alors deux trajectoires. La première l'emmène par un filtre passe-bas formé par R426 et C427 et un condensateur de couplage C426. Ce signal est alors appliqué à la broche 55 de I400 et forme l'entrée de son AM. La deuxième trajectoire envoie le signal dans un étage amplificateur et tampon formé par Q400 et Q401.
A la suite de ces étages un filtrage passe haut est appliqué par C464 et R477 avant que le signal IF son soit appliqué à la broche 60 de I400 via C431.
I400 est le MSP3410D. Ce circuit intégré fournit la démodulation Nicam, FM Mono et FM Stéréo ainsi que la mise en matrice des signaux scart / récepteur numérique (si installé).

L'entrée AV1 est appliquée sur les broches 52 et 53, l'entrée AV2 sur les broches 49 et 50, et l'entrée AV3 sur les broches 46 et 47. L'entrée numérique (DTT) est appliquée sur les broches 43 et 44 (lorsqu'installée). Dans chaque cas une résistance de 100R et un condensateur de 330n sont utilisés.
Les sorties Scart de I400 utilisent le protocole suivant.

Sortie Scart	Signal de sortie	
	Modèles non numériques	Modèles numériques
AV1	RF	Numérique
AV2	Sélectionnable ou Auto	Sélectionnable ou Auto

* Lorsque Auto est sélectionné sur le menu de l'écran, AV2 suit l'audio du programme affiché.
Le dispositif est contrôlé par I2C via broches 10 et 11 et reçoit une remise à zéro du microprocesseur à la mise sous tension sur la broche 24. L'horloge est fournie par X406 sur les broches 62 et 63. Le dispositif a trois rails d'alimentation, 5V numérique (broche 18), 5V analogique (broche 57) et 8V analogique (broche 39).

SORTIE AUDIO

Les signaux de gauche, de droite, du centre et quadriphonique sortent sur les broches 29, 28, 26 et 25 de MSP3410D (I400), puis sont appliqués à un amplificateur opérationnel (IF03) sur les broches 5, 10, 12 et 3 respectivement. Ceci ajoute 3dB de gain.
Les sorties de IF03 pour les signaux de gauche et de droite (broches 7 et 8) sont transmises à la fois à l'amplificateur audio (I401) via les réseaux d'atténuation R443 / R439 et R446 / R447 et aux sorties phono via les transistors tampons QF02 et QF01.
Les sorties du centre et quadriphonique de IF03 (broches 14 et 1) sont transmises seulement aux sorties phono via les transistors tampons QF22 et QF21.
L'étage de sortie de gauche et de droite est constitué d'un TDA7297 (I401) qui est un amplificateur à double point qui, dans ce cas, est commandé pour fournir 12W par voie à 10% de distorsion harmonique totale. La sortie de puissance est limitée par l'alimentation Vcc sur les broches 3 et 13.
Les signaux de gauche et de droite entrent sur les broches 4 et 6, et les sorties sont obtenues sur les broches 1 & 2 et 14 & 15.

Attention.
Aucune sortie de ces deux voies n'est connectée à la masse du châssis et il convient donc de prendre les précautions nécessaires lorsqu'un oscilloscope et un autre instrument alimenté sur secteur avec une masse commune doivent être utilisés simultanément pour contrôler les sorties audio.

Le TDA7297 a deux lignes de commande sur les broches 6 et 7. Ces entrées de commande sont au niveau haut lorsque les sorties sont actives, et au niveau bas lorsque bloquées.
Les sorties des broches 2 et 14 de I401 sont connectées directement aux broches 2 et 3 de P400. Les sorties des broches 1 et 15 sont connectées aux broches 1 et 4 de P400 via la prise de casque J400. Lorsque la prise d'un casque est insérée, les connexions entre I401 et P400 sont interrompues. Les sorties de gauche et de droite des broches 1 et 15 de I401 sont connectées à la masse via C438 / R438 et la bobine gauche du casque et C437 / R437 et la bobine droite du casque respectivement. Cette méthode fut utilisée pour limiter la puissance dissipée dans le casque.
J400 contient aussi un commutateur pour l'alimentation 16V qui apparaît à l'arrière de la prise femelle phono unique. Lorsqu'une prise mâle appropriée est insérée dans la prise femelle du casque, la connexion entre les broches 8 et 9 de J400 est interrompue, enlevant les 16V de la broche 8. Ceci est détecté par la broche 9 de I001 (le microprocesseur) via le diviseur de potentiel R473 et R474, et indique à I001 de faire passer le menu audio aux versions de casque (modèles Dolby seulement).
Les 16V sont aussi enlevés de la prise femelle phono arrière, ce qui coupe l'émetteur du haut-parleur de son quadriphonique infrarouge ou la console d'alimentation (si connectée - pas fournie sur tous les modèles).
Pour les modèles non Dolby, les câbles de haut-parleur sont connectés directement à P400. Pour les modèles Dolby, les haut-parleurs internes sont connectés à P400 via un panneau secondaire vissé à l'arrière du châssis. Il contient deux prises femelles de haut-parleur type DIN avec commutateurs intérieurs. Les commutateurs débranchent les haut-parleurs gauche et droit lorsqu'une prise est insérée, permettant ainsi l'installation de haut-parleurs gauche et droit extérieurs.

DÉCODEUR DOLBY

Le décodage Dolby est assuré par IF01 (YSS241). Les signaux sont envoyés à ce dispositif par I400 dans le format I2S, et sont les suivants :
SD0 (Pin Of I400) - the Left and Right channel data (before Dolby decoding)SD0 (Broche de I400) - données des voies gauche et droite (avant décodage Dolby)
SCK (Pin Of I400) - the system or bit clockSCK (Broche de I400) - horloge système ou de bit
WS (Broche de I400) - ligne de sélection de mot, permet la section entre la mise en service des échantillons gauche et droit sur la ligne SDO.
IFO1 reçoit une horloge de 18,432MHz via la broche 1 de I400 (SYSCLK), une ligne de remise à zéro de la broche 4, et est contrôlé par I2C. Les signaux Pro-logic que le dispositif décode sont fournis en format I2S sur les broches 40 et 41 (DACS1 et DALR). Ces signaux sont dans un format 32 bits par voie (le MSP4310D utilise 16 bits) et doivent donc passer dans un circuit intégré de conversion, IF02. Ce CI accepte aussi une horloge de bit, DABC, de la broche 36 de IF01. IF02 fournit alors les voies Pro-logic I2S 16 bits, SDI1 et SDI2 sur les broches 14 et 20 de I400.
I400 transmet alors ces signaux par des CNA de manière à ce que les signaux de gauche, de droite, du centre et quadriphonique apparaissent sur les broches 29, 28, 26 et 25 comme Pre'L, Pre-R, Pre-C et Pre-S respectivement. Ils sont alors amplifiés de 3dB par l'amplificateur opérationnel IF03 pour devenir AmpL, AmpR, Centre et Surround. Ils passent alors par un réseau tampon et filtre vers la prise phono à quatre voies JF01. Les signaux AmpL et AmpR sont divisés avant les tampons de l'amplificateur I401 via des résistances de division R443 / R439 et R446 /R447 et sont découplés par C443 et C445. Le fonctionnement de l'amplificateur est expliqué ailleurs dans ce manuel.

DEFLEXION

ETAGE DE DEFLEXION HORIZONTALE 100HZ (A8)

La sortie 2H de UQ01 (le boîtier de fonctions) sur la broche 30 est alimentée via K66 et RH03 à la broche 24 de IE02 TDA9330, le "HOP".
La commande horizontale est ensuite sortie sur la broche 8 et passe dans un étage à collecteur commun (Q705) vers la porte Q701B. Un transistor à effet de champ est utilisé pour améliorer les bords de commutation et réduire la température du transistor de puissance Q751. Le drain de Q701B est alimenté en +B via R701 et le primaire du transformateur de commande T702. Le secondaire du transformateur commande la base du transistor de puissance Q751, dont le collecteur est alimenté en +B via R751, L700 et le primaire du FBT T701. L'émetteur est connecté à la masse via R760, une résistance de 1 Ohm 10W, (R760 doit être tenue éloignée du radiateur thermique de Q751 pour réduire le transfert de chaleur), qui est une résistance de détection pour le circuit de protection.
Le réseau diviseur capacitif C717 et C708 produit une impulsion de ligne qui est échantillonnée par Z704 et verrouillée par D713 et D714, et ensuite renvoyée à la broche 13 de IE02.

ETAGE DE DEFLEXION HORIZONTALE 50HZ (D8)

La sortie HA sur la broche 60 de I200 TDA9320, le "HIP" est alimentée via K66 et RH03 à la broche 24 de IE02 TDA9330, le "HOP".
La commande horizontale est ensuite sortie sur la broche 8 et alimentée à la base de Q701.
Le collecteur de Q701 est alimenté en +B via R701 et le primaire du transformateur de commande T702.
Le secondaire de T702 commande la base du transistor de puissance Q751. Le collecteur de Q751 est alimenté en +B via R751, L700 et le primaire du FBT T701. L'émetteur est connecté à la masse via R760 qui est une résistance de détection pour le circuit de protection.
Le réseau diviseur capacitif C717 et C708 produit une impulsion de ligne qui est échantillonnée par Z704 et verrouillée par D713 et D714, et ensuite renvoyée à la broche 13 de IE02.

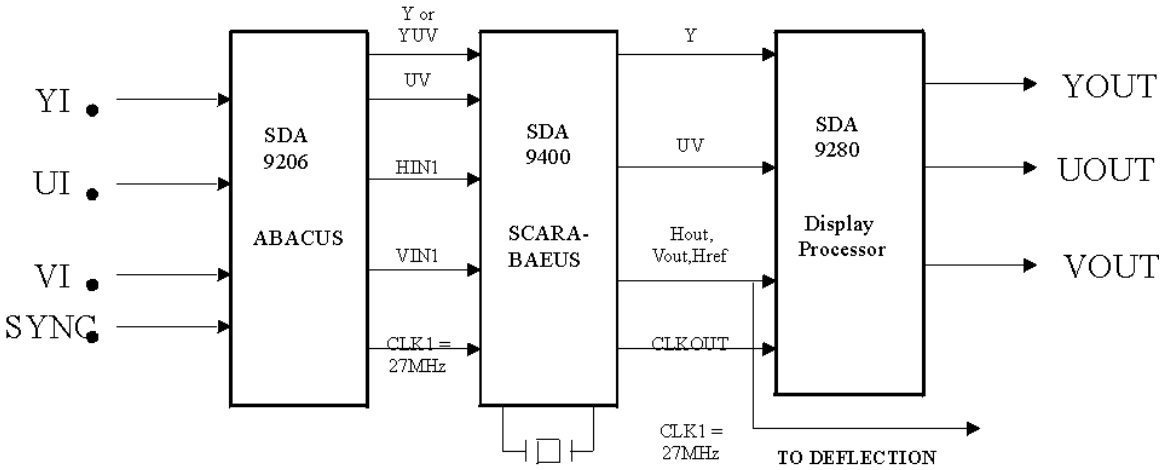
DEFLEXION VERTICALE

Sur le D8 50Hz, l'impulsion de commande verticale provient de la broche 61 (VA OUT) de I200 et sur l'A8 100 Hz, elle provient de la broche 31 de UQ01. Ce signal est alimenté via K65 et RV02 à la broche 23 de IE02. Les ondes verticales en dents de scie sont sorties sur les broches 1 et 2 de IE02 et transmises aux broches 11 et 12 de I601 via RV04 et RV03. I601 (TDA8354) est l'amplificateur de sortie verticale. Il nécessite deux tensions d'alimentation, 14V environ sur les broches 4 et 10 pour commander le CI, et 48V environ sur la broche 7 pour le générateur d'impulsion de retour. Les sorties sont sur les broches 2 et 9 avec les résistances d'asservissement de réglage de gain R602 et R603 connectées à la broche 5.
La broche 1 est le garde vertical qui est connecté à la broche 9 de IE02. Lorsqu'une panne verticale est détectée, la partie verticale de l'impulsion trapézoïdale est enlevée et IE02 efface l'image pour protéger le tube. Z615 échantillonne l'impulsion de retour qui est alors verrouillée par Z606 qui produit l'impulsion de trame utilisée par le microprocesseur I001.

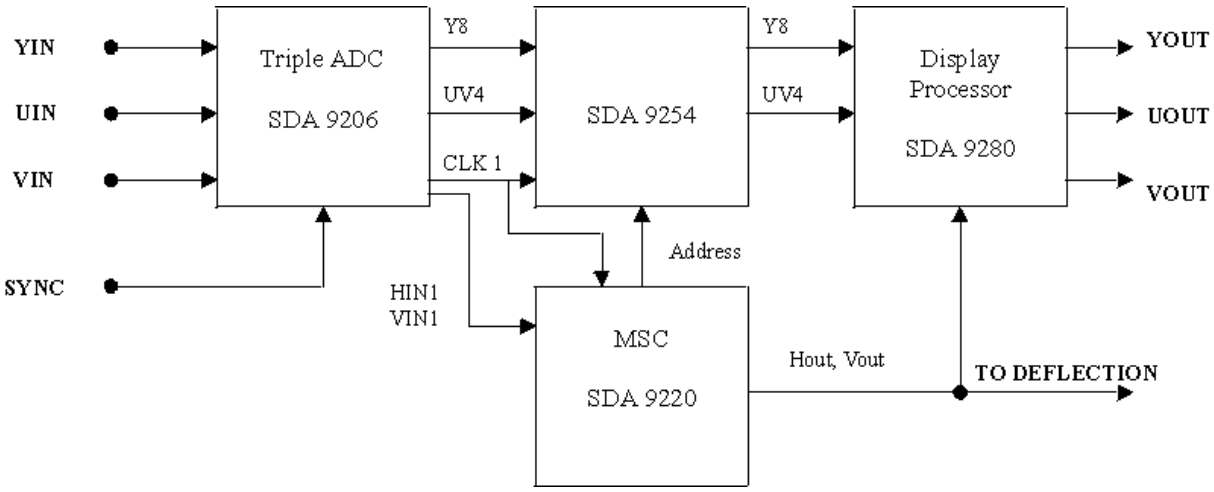
CORRECTION EST-OUEST

La parabole est-ouest sort sur la broche 3 de IE02 et est transmise à la porte de Q700 via RH04. Le drain de Q700 est connecté au centre du modulateur de diode D706 et D707 via la bobine d'injection est-ouest L751.

CASE DE FONCTIONS EXTRÉMITÉ HAUTE



CASE FONCTIONS EXTRÉMITÉ BASSE



SECTION DU MICROCONTRÔLEUR DU CHÂSSIS A8/D8

INTRODUCTION :

Le microcontrôleur principal du châssis A8/D8 est situé à I001 (ST92R195B). C'est un QFP (ensemble plat quadruple) à 80 broches, monté en surface pour des raisons de compacité. Ce composant extrêmement complexe contrôle de nombreux autres circuits intégrés via des lignes d'entrée/sortie spéciales ou du bus I2C. Ce composant produit également les signaux RGB pour l'affichage sur écran (OSD) des menus et du télétexte. Le composant peut acquérir, décoder et afficher le télétexte sans avoir besoin d'un CI séparé. Ce microcontrôleur ne comporte pas de ROM, et une mémoire séparée est donc requise pour stocker le code programme nécessaire à l'exploitation du téléviseur. Cette mémoire est située à I002 et est programmable en temps multiple (MTP). Ceci permet de reprogrammer le composant, et à l'avenir il pourra même être reprogrammé sur la carte sans avoir à ouvrir l'arrière du téléviseur. Le téléviseur mémorise toutes les préférences nécessaires du client et les réglages d'exploitation dans une EEPROM sur carte (E2). Ce composant peut contenir 2Ko d'informations telles que les informations de programme (fréquence, nom, réglages AV, etc.), les réglages d'alignement d'usine (géométrie, équilibre du blanc, AFC/AGC du tuner, etc.), les erreurs de diagnostic d'entretien et les réglages de contrôle du client (volume, luminosité, contraste, etc.). Ce composant communique avec le microcontrôleur principal via le bus I2C, même en mode de veille.

MICROCONTRÔLEUR PRINCIPAL (I001)

INTRODUCTION

Le ST92R195V est un microcontrôleur amélioré basé sur le jeu d'instructions ST9+ de ST Microelectronics. Il est capable d'afficher les menus et le télétexte sur les téléviseurs en 50Hz et 100Hz. Ce composant peut acquérir, décoder et afficher les pages d'informations de télétexte en modes FLOF (Texte rapide) et TOP (seulement en Allemagne/Suisse/Autriche). Le composant fonctionne à partir d'un seul quartz 4MHz et d'une alimentation +5V. Des lignes d'adresse/données spéciales lui permettent d'accéder à 3Mo d'espace d'adresse, bien que dans ce téléviseur il n'adresse que 128Ko (1Mbit). Ces lignes d'adresse/données sont connectées au composant EPROM/MTP qui contient les instructions nécessaires pour le contrôle du téléviseur.

DESCRIPTION

LIGNES D'ADRESSE MMU DE L'INTERFACE DE MÉMOIRE EXTERNE

- **Les broches 1** (MMU0), **15** (MMU1) et **16** (MMU2) sont utilisées pour accéder aux adresses de plus de 64Ko. Normalement, les broches 15 et 16 ne sont pas utilisées lorsque le composant EPROM/MTP de 128Ko (MX26C1000APC) est utilisé à la position I002.
- **La broche 2** (MMU3) est utilisée pour sélectionner soit l'EPROM/MTP à la position I002, soit un composant futur qui pourra être installé à la position I003. Lorsque cette ligne est au niveau bas, le MX26C1000APC à la position I002 est activé (validation de circuit).
- **La broche 17** (MMU4) est utilisée comme port de sortie pour dériver le signal d'horloge requis pour décaler les données dans le registre à décalage 74HC595 (I006).
- **La broche 18** (MMU5) n'est pas utilisée.

LIGNES DE CONTRÔLE DE L'INTERFACE DE MÉMOIRE EXTERNE

- **La broche 4** est la ligne d'échantillonnage de données qui est connectée à l'entrée d'activation de sortie de l'EPROM/MTP (I002). Lorsque les données sont lues de l'EPROM/MTP, cette ligne est temporairement au niveau bas.
- **La broche 8** est la ligne Écriture/Lecture pour I003. Normalement, cette ligne n'est pas utilisée (HAUTE), mais si une SRAM était installée dans cette position, la ligne pourrait être au niveau bas pendant l'écriture de données dans la SRAM.

LIGNES D'ADRESSE DE L'INTERFACE DE MÉMOIRE EXTERNE

- **Les broches 3, 5, 6, 7, 13, 14** et **71 à 80** sont les lignes d'adresse requises pour spécifier quel emplacement d'une page de 64Ko doit être accédé par l'EPROM/MTP (I002). Ces lignes seront aussi connectées à I003 si une SRAM est installée à l'avenir. Normalement, ces lignes changeront d'état (0V à environ +5V). Il est possible de confirmer que le microcontrôleur fonctionne correctement en plaçant un oscilloscope sur la broche 12 de l'EPROM/MTP (I002). Dans ce cas, cette ligne devrait changer d'état très fréquemment.

LIGNES DE DONNÉES DE L'INTERFACE DE MÉMOIRE EXTERNE

- **Les broches 63** à **70** sont les broches requises pour recevoir les données de l'EPROM/MTP (I002). Si une SRAM était installée à la position I003, ces lignes seraient utilisées pour transférer les données du microcontrôleur à la SRAM. Dans des circonstances normales, ces lignes changent de BAS (0V) à HAUT (+5V environ).

CONNEXIONS DE MASSE

- **La broche 9** (GNDM) est la connexion de masse (0V) pour l'interface de mémoire externe. Elle doit être exempte de bruit pour permettre des communications satisfaisantes entre le microcontrôleur et l'EPROM/MTP (ou SRAM).
- **La broche 35** (GND) est la connexion de masse numérique (0V) pour le fonctionnement normal du composant.
- **La broche 62** (GNDA) est la connexion de masse analogique pour le CNA et les boucles à verrouillage de phase (PLL).

CONNEXIONS D'ALIMENTATION

- **La broche 10** (VDDM) est l'alimentation +5V pour l'interface de mémoire externe. Sans cette alimentation, le microcontrôleur ne peut pas communiquer avec l'EPROM/MTP (ou SRAM).
- **La broche 34** (VDD) est la tension d'alimentation numérique principale du CI (5V avec une tolérance de 10%).
- **La broche 52** (VDDA) est la tension d'alimentation numérique pour le CNA et les PLL (+5V). Ces connexions sont toutes regroupées sur le rail de veille +5V du téléviseur, pour assurer que le microcontrôleur fonctionne même dans le mode de veille.

CONNEXIONS DE L'OSCILLATEUR À QUARTZ

- **La broche 11** est l'entrée de l'oscillateur à quartz 4MHz (OSCIN).
- **La broche 12** est la sortie de l'oscillateur à quartz 4MHz (OSCOUT). En connectant une sonde d'oscilloscope x100 à la broche 11, la présence d'une onde sinusoïdale de 4MHz à la sortie d'oscilloscope du microcontrôleur peut être confirmée.

CONNEXION DE REMISE À ZÉRO

- **La broche 54** est l'entrée REMISE A ZÉRO active au niveau bas du microcontrôleur. Cette entrée est normalement au niveau haut (+5V environ) dans les conditions d'exploitation, mais change d'état lorsque l'alimentation de veille +5V tombe en dessous de 4,5V. Dans ce cas, le CI de remise à zéro (I021) met la broche 54 au niveau bas jusqu'à ce que son entrée monte au-dessus de 4,5V. La diode (D001) assure la décharge rapide du condensateur (C015) en cas de panne d'alimentation de veille, de manière à ce que la remise à zéro fonctionne rapidement. Le condensateur (C015) se charge lentement lorsque l'alimentation de veille +5V est restaurée, pour assurer une certaine hystérésis.

ENTRÉE DU RÉCEPTEUR INFRAROUGE (IR)

- **La broche 25** est la sortie filtrée du récepteur IR. Cette entrée du récepteur IR est constituée d'impulsions à modulation en largeur (PWM) comprises entre 0V et +5V, qui sont décodées par le microcontrôleur en commandes utiles provenant de la télécommande. Lorsqu'une commande valide a été décodée, la LED rouge sur le devant du téléviseur clignotera brièvement.

CONNEXIONS DE SYNCHRONISATION HORIZONTALE ET VERTICALE

- **La broche 48** est l'entrée de synchronisation verticale de l'étage de déflexion. Cette entrée est utilisée pour assurer que l'OSD est affiché dans une position verticale stable. Lorsque le téléviseur en est mode veille, cette entrée est normalement au niveau bas. L'entrée verticale est déclenchée pour le front ascendant (polarité positive).
- **La broche 9** est l'entrée de synchronisation horizontale de l'étage de déflexion. Cette entrée assurer que l'OSD est affiché dans une position horizontale stable. Lorsque le téléviseur en est mode veille, cette entrée est normalement au niveau bas. Cette entrée est déclenchée par le front montant (polarité positive).

CONNEXIONS D'ENTRÉES GÉNÉRALES

ENTRÉE DE CASQUE D'ÉCOUTE

- **La broche 19** est utilisée pour détecter si un casque d'écoute a été inséré dans sa prise. Cette entrée est normalement HAUTE (+5V) à moins que le casque ait été inséré, auquel cas elle est proche de 0V. Lorsque le casque est inséré, l'option de mode casque est alors disponible sur le Menu "Mode Son" et les haut-parleurs (et le haut-parleur de graves si installé) du téléviseur sont bloqués.

ENTRÉE DE PROTECTION

- **La broche 26** est utilisée pour déterminer su une faute de protection s'est produite sur le châssis. Cette ligne est connectée aux sorties du comparateur 1, 13 et 14 de I903 dans l'ensemble d'alimentation. Cette ligne est normalement HAUTE (+5V environ) à moins qu'une faute se soit produite, auquel cas elle est proche du potentiel de la masse (0V).
- La sortie 1 du comparateur surveille le rail d'alimentation audio +16V pour tout signe de surintensité. Si ce rail est court-circuité, ou tire trop de courant, la sortie du comparateur (broche 1 de I903) changera d'état à 0V.
- La sortie 13 du comparateur surveille la tension EHT produite par le FBT dans le circuit de déflexion. Si cette tension est trop élevée, cette sortie sera au niveau bas pour indiquer qu'il y a un problème de déflexion.
- La sortie 14 du comparateur est connectée au secondaire du transformateur d'entrée de la ligne de déflexion. Elle est principalement utilisée pour indiquer un tirage excessif de courant du transformateur d'entrée de ligne et du FBT.

ENTRÉE ALIMENTATION CORRECTE

- **La broche 27** est utilisée pour indiquer toute coupure d'alimentation du téléviseur ou lorsqu'une décharge statique s'est produite. Cette entrée est piloté par interruption pour réagir instantanément en cas de front descendant. Dans ces circonstances, les amplificateur de puissance audio sont bloqués et le téléviseur commence à se mettre en mode veille. Cette entrée est dérivée de la sortie du comparateur (broche 2 de I903) dans l'ensemble d'alimentation. Ce comparateur fournit une "alerte rapide" comme quoi l'alimentation principale a été coupée ou d'une décharge statique s'est produite. En cas de décharge statique, le téléviseur passera temporairement au mode veille avant de se remettre sous tension quelques secondes plus tard.

ENTRÉE PANNE DE VENTILATEUR DTT

- **La broche 32** est utilisée seulement sur châssis D8 équipé d'un module DTT. Elle est utilisée pour indiquer toute panne du ventilateur du module DTT (par exemple, si le ventilateur est bloqué). Cette entrée est normalement HAUTE (+5V environ) à moins qu'une panne ait été détectée (0V). Elle est utilisée pour indiquer toute panne du ventilateur du module DTT (par exemple, si le ventilateur est bloqué). Cette entrée est normalement HAUTE (+5V environ) à moins qu'une panne ait été détectée (0V).

BOUTONS DU PANNEAU AVANT ET ENTRÉES DE PRISE SAV3

- **Les broches 36** et **38** sont 2 des 4 entrées CAN du microcontrôleur.
- **La broche 36** est connecté aux boutons +/- de volume, et à la prise SAV3 (Hi-8) sur le panneau avant du téléviseur. Lorsque la tension sur cette broche est changée à une valeur d'une dans une certaine fenêtre, le microcontrôleur l'interprétera soit comme une commande de volume +, volume -, volume +/- et/ou l'insertion d'un connecteur SVHS Hi-8 dans la prise Hi-8.
- **La broche 38** est connecté aux boutons Programme +/- et de Menu sur le panneau avant du téléviseur. Lorsque la tension sur cette broche est changée à une valeur dans une certaine fenêtre, le microcontrôleur l'interprétera sous comme un changement de programme, soit comme l'appui sur un bouton de menu.

CONNEXIONS DE SORTIES GÉNÉRALES

SORTIES DU REGISTRE À DÉCALAGE 74HC595

SORTIE D'HORLOGE DE REGISTRE DE STOCKAGE (RCLK)

- **La broche 20** du microcontrôleur est connectée à l'entrée de front montant (déclenchement positif) de I006. Cette ligne est normalement au niveau bas lorsqu'elle ne communique pas avec le composant ou lorsque l'on décalage de données dans le registre. Une fois que les 8 bits complètes ont été décalées, la ligne RCLK passe au niveau haut afin de verrouiller les données sur les sorties du composant.

SORTIE D'HORLOGE DE REGISTRE À DÉCALAGE (SCLK)

- **La broche 17** du microcontrôleur (MMU4) est utilisée pour transférer les données dans le registre à décalage à huit étages sur le front montant de SCLK. 8 impulsions d'horloge sont requises pour transférer 8 bits de données dans le registre à décalage.
- Sortie de données de registre à décalage (SI)
- **La broche 21** du microcontrôleur est utilisée comme entrée de ligne de données vers la broche 14 du registre à décalage. Lorsque cette ligne est HAUTE et que SCLK change de bas à haut, le premier bit d donnée (logique 1) est décalé dans le registre. Lorsque cette entrée est basse, le premier bit de données est '0', sur le front montant de SCLK.

SORTIE ACTIVATION D'ÉCRITURE EEPROM

- **La broche 22** est la ligne de sortie d'activation d'écriture de E2, qui est connectée à la broche 7 de l'EPROM (E2). Lorsque cette sortie est HAUTE (+5V environ), les données ne peuvent pas être écrites dans E2 (désactivation d'écriture), mais les données du composant peuvent être lues. Lorsque cette sortie est basse (0V), les données peuvent être écrites dans E2. Cette ligne matérielle aide à protéger E2 contre des opérations d'écriture involontaires, qui pourraient se produire dans des circonstances anormales.

SORTIE MARCHE/ARRÊT

- **La broche 28** est la ligne Marche/Arrêt qui met les alimentations secondaires (+B, rail audio +16V, +8V et +5V) en service (BASSE) / hors service (HAUTE). Les rails de veille +5V et +10V ne sont pas affectés lorsque cette sortie est HAUTE (Téléviseur en mode veille). Dans des conditions de fonctionnement normales, cette sortie sera basse lorsque le téléviseur n'est PAS dans le mode veille.

SORTIE MARCHE/ARRÊT 2

- **La broche 29** est la ligne Marche/Arrêt qui met l'alimentation secondaire DTT/ASW en service (BASSE) / hors service (HAUTE).

SORTIE REMISE À ZÉRO DTT

- **La broche 31** est la ligne de remise à zéro DTT qui est mise HAUTE (+5V) à la mise sous tension et à l'arrêt du module DTT. Dans des conditions de fonctionnement normales, lorsque le téléviseur est sous tension, la ligne est basse.

SORTIE DÉSACTIVATION I2C

- **La broche 33** est la sortie de désactivation I2C qui empêche la connexion du bus I2C du châssis principal au bus I2C du microcontrôleur (I001) et E2 (I002). Cette ligne est normalement HAUTE lorsque le téléviseur est dans le mode veille. Cette sortie est inversée en utilisant le CI inverseur hex 74HC04 (I004) et est connectée aux broches 5 et 6 de I007. Dans le mode veille, les broches 5 et 6 de I007 (74HC4066) sont au niveau bas et les lignes M.SDA et M.SCL (microcontrôleur) sont déconnectées des lignes I2C SDA et SCL (châssis principal). Pendant l'écriture sur E2, la sortie de désactivation I2C est aussi mise au niveau haut, pour assurer qu'une écriture satisfaisante des données s'est produite (par exemple pour enregistrer les diagnostics de panne lorsque le téléviseur ne se met pas sous tension et que le bus I2C du châssis principal est au niveau bas).

SORTIE DÉSACTIVATION SCART

- **La broche 39** est utilisée pour désactiver les lignes de transmission et de réception RS232 des broches 10 (Rx) et 12 (Tx) de la prise Scart 2. Ceci est nécessaire lorsque le téléviseur fonctionne normalement. Cependant, lorsque le téléviseur est dans le mode entretien et diagnostic, cette sortie sera au niveau bas pour activer la connexion des lignes RS232 du microcontrôleur à la prise Scart.

SORTIE BLOCAGE

- **La broche 40** est la sortie de blocage pour les amplificateurs audio sur carte. Cette sortie est HAUTE lorsque les amplificateurs sont à l'état bloqué (par exemple, en veille). Si l'utilisateur à choisi d'utiliser les haut-parleurs internes, dans les conditions de fonctionnement normales cette sortie sera BASSE. Lors de la mise hors tension, cette sortie montera rapidement pour bloquer les haut-parleurs, pour empêcher l'émission de tous bruits de coupure indésirables.

SORTIE LED VERTE

- **La broche 41** est la sortie de LED verte, qui est utilisée seulement sur châssis D8 équipé d'un module DTT. Cette sortie est au niveau haut lorsque la LED verte est allumée. Lorsque le module DTT est en mode veille partiel ou lors de l'enregistrement d'un programme terrestre numérique, cette LED sera allumée et sera mélangée avec la LED rouge pour produire une couleur orange. Lorsque le module DTT est connecté via la ligne téléphonique et reçoit du courrier, cette LED clignotera périodiquement pour indiquer cette condition.
- Lors de la première mise sous tension du téléviseur, la LED verte sera allumée. Cependant, cette LED devrait s'éteindre après un court délai pour indiquer que le téléviseur fonctionne correctement. NB : C'est une des méthodes les plus simples pour vérifier que le microcontrôleur exécute correctement le code programme dans l'EPROM/MTP. Si la LED verte reste allumée, le microcontrôleur ou l'EPROM/MTP a un défaut qui empêche l'exécution correcte du code.

SORTIE LED ROUGE

- **La broche 42** est la sortie de LED rouge, qui est utilisée pour indiquer le mode veille et lorsqu'une commande IR a été reçue et décodée correctement. Lorsque le téléviseur est en mode veille, cette sortie sera HAUTE pour assurer que la LED rouge est allumée de manière brillante Lorsque le téléviseur n'est pas en veille, cette sortie sera au niveau bas, mais la LED rouge restera faiblement allumée par l'intermédiaire de la résistance R081. Lorsqu'une commande IR a été reçue correctement, la LED clignotera brièvement pour informer l'utilisateur que le bouton du boîtier de télécommande a bien été appuyé correctement.

CONNEXIONS I2C

- **La broche 23** est l'entrée/sortie de données du bus I2C pour transférer les données entre les autres périphériques/composants I2C. Cette ligne est seulement connectée à l'EEPROM (I005) lorsque dans le mode veille ou pendant l'écriture sur l'EEPROM. Cette ligne est constamment active lorsque le téléviseur est sous tension et change normalement d'état entre +5V et 0V.
- **La broche 24** est la sortie d'horloge I2C pour synchroniser les données entre les autres périphériques/composants I2C. La ligne d'horloge est aussi déconnectée du châssis principal lorsque dans le mode veille ou pendant l'écriture sur l'EEPROM. Cette ligne oscille à une fréquence autour de 90kHz.

CONNEXIONS RS232

- **La broche 30** est la ligne de transmission RS232 du microcontrôleur. Elle peut être acheminée à la broche 12 de la prise Scart et à la broche 3 du connecteur P001 pour le module DTT (seulement sur le châssis D8). Cette ligne est partagée en temps entre la communication avec l'unité DTT et la prise Scart (pour diagnostics). Lorsque la ligne de désactivation DTT est BASSE, la ligne TXD est acheminée de la broche 1 à la broche 2 de I008 (74HC4066). Lorsque la sortie de désactivation Scart du microcontrôleur (broche 39) est basse, le signal TXD peut être acheminé de la broche 1 à la broche 2 de I007 (74HC4066). Les deux sorties de désactivation ne peuvent jamais être basses en même temps (activant à la fois les communications RS232 DTT et SCART).
- **La broche 37** est la ligne de réception RS232 du microcontrôleur. Elle peut être acheminée de la broche Scart 2 RXD (broche 10) et de la prise 4 du connecteur P001 pour le module DTT (seulement sur le châssis D8). Lorsque la ligne de désactivation DTT est au niveau bas, le DTT peut transmettre à la broche 10 de I008, et ce signal est ensuite acheminé par la broche 37 du microcontrôleur. Lorsque la ligne de désactivation Scart est au niveau bas, les données peuvent être transmises de la broche 10 de Scart 2 à la broche 10 de I007, et ensuite par la broche 37 du microcontrôleur. Les deux lignes d'activation RS232 ne peuvent jamais être HAUTES en même temps (sorties de désactivation BASSES).

CONNEXIONS RGB

- **La broche 44** est le signal de suppression RGB de l'OSD/Télétexte nécessaire pour permettre l'insertion de l'OSD/Télétexte sur l'image. Lorsque cette sortie est haute (+5V environ), le signal RGB sera superposé sur l'image courante.
- **La broche 45** est le signal OSD bleu nécessaire pour afficher les couleurs BLEUES pour l'OSD et le télétexte.
- **La broche 46** est le signal OSD vert nécessaire pour afficher les couleurs VERTES pour l'OSD et le télétexte.
- **La broche 47** est le signal OSD rouge nécessaire pour afficher les couleurs ROUGES pour l'OSD et le télétexte.

CONNEXIONS CVBS

- **La broche 60** est l'entrée du signal vidéo composite pour VPS et la limitation WSS. Elle est normalement couplée CA et bloquée intérieurement pour assurer un fonctionnement fiable. VPS (système de programmation vidéo) est nécessaire pour le triage automatique des programmes en Allemagne, Autriche et Suisse. WSS (signalisation grand écran) est utilisé pour indiquer le rapport largeur/hauteur du signal entrant. Le téléviseur peut alors utiliser ces informations pour afficher l'image dans le format correct.
- **La broche 61** est l'entrée du signal vidéo composite pour l'acquisition et le décodage du télétexte, ainsi que pour l'extraction de la synchronisation, nécessaire pour obtenir les synchronisation de ligne correctes pour la limitation des informations de télétexte et des informations VPS/WSS.

EPROM/MTP (I002)

INTRODUCTION

Le composant situé à la position I002 est utilisé pour stocker le code programme requis par le microcontrôleur pour faire fonctionner le téléviseur correctement. Ce composant à 32 broches est une MTP (mémoire programmable en temps multiple) qui peut être reprogrammée hors châssis sans avoir à l'effacer à l'aide d'effaceurs UV-EPROM conventionnels. Le composant couramment utilisé sur le châssis A8/D8 est le MX26C1000APC, qui peut contenir 128 ko d'informations (1 Mbit). Ce composant contient aussi les données d'initialisation à télécharger dans une EEPROM. Lorsqu'une EEPROM vierge est installée, les données d'initialisation y sont automatiquement téléchargées lorsque l'alimentation est appliquée au châssis.

DISCUSSION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 32** et **16** sont les connexions d'alimentation +5V et de masse respectivement. La tension d'alimentation de +5V est toujours présente, même lorsque le téléviseur est dans le mode veille.

CONNEXIONS D'ADRESSE

- **Les broches 2** à **12**, **23** et **25** à **29** sont les 17 lignes d'adresse requise pour accéder complètement les 128 ko de données 8 bits à l'intérieur du composant. Ces lignes sont connectées directement au microcontrôleur de manière à ce qu'il puisse demander des données d'une MTP pendant le fonctionnement. Un oscilloscope peut être utilisé pour vérifier la broche 12 de la MTP de manière à vérifier que le microcontrôleur fonctionne correctement et pour accéder à la MTP. Cette broche devrait osciller autour d'une fréquence de 2 MHz environ, et est une onde carrée non périodique.

CONNEXIONS DES DONNÉES

- **Les broches 13** à **15** et **17** à **21** sont les 8 lignes de données requises pour transmettre un octet à la fois au microcontrôleur. Ces sorties ont normalement trois états et on une haute impédance lorsque la broche d'activation de sortie 24 de la MTP est HAUTE. Lorsque la broche d'activation de sortie est basse, les données de l'adresse requise seront sorties sur ces broches.

CONNEXION ACTIVATION DE SORTIE

- **La broche 24** est l'entrée d'activation de sortie, active au niveau bas, utilisée pour contrôler l'état logique des lignes de données. Lorsque cette broche est HAUTE, les lignes de données sont dans la condition de haute impédance, et aucune données ne sont présentes sur ces broches. Lorsque l'entrée d'activation de sortie est BASSE, les lignes de données sont actives et transmettent les données adressées. Cette ligne est connectée à la sortie d'échantillonnage de données du microcontrôleur pour assurer un bon fonctionnement et des synchronisations correctes.

CONNEXION VALIDATION DE CIRCUIT

- **La broche 22** est l'entrée de validation de circuit, active basse, utilisée pour sélectionner le composant. Normalement, cette entrée est basse pour activer le composant. Cependant, le composant peut être placé en mode veille pendant l'accès à une SRAM future à la position I003. La ligne MMU3 du microcontrôleur est utilisée pour sélectionner soit la SRAM, soit la MTP. Lorsqu'une SRAM n'est pas installée, la broche de validation de circuit est toujours basse.

DIVERS

- **La broche 1** (VPP) est la broche d'entrée de tension de programmation (+12,75V requis) utilisée pour reprogrammer le composant lorsqu'il est placé dans un programmateur spécial. Cette broche est toujours liée à l'alimentation de veille +5V, pour assurer que le composant ne peut jamais être reprogrammé à l'intérieur du châssis du téléviseur.
- **La broche 30** n'est pas utilisée dans ce composant. Cependant, elle est quand même connectée à la ligne MMU1 du microcontrôleur pour pouvoir être utilisée avec les MTP / EPROM de plus grande capacité. Cette ligne peut être utilisée pour accéder à 128 ko supplémentaires lorsqu'un tel composant est installé.
- **La broche 31** est la broche d'activation de programmation, active lorsque basse, qui est utilisée pour reprogrammer et effacer les données du composant. Cette broche est toujours connectée à l'alimentation de veille +5V pour assurer que l'écriture/effacement du composant ne peut pas être effectué involontairement.

SRAM (I003)

INTRODUCTION

Sur les châssis futurs, la position I003 sera utilisée pour une SRAM permettant le stockage de page de télétexte et un stockage de mémoire. Un composant de 128 ko sera probablement installé ici pour permettre l'acquisition et le stockage de 100 pages de télétexte, et leur accès rapide immédiat. La SRAM est connectée aux lignes d'adresse et de données du microcontrôleur, qui sont partagées avec l'EPROM/MTP à la position 2.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 32** et **16** sont les connexions d'alimentation +5V et de masse respectivement. La tension d'alimentation de +5V est toujours présente, même lorsque le téléviseur est dans le mode veille.

CONNEXIONS DES LIGNES D'ADRESSE

- **Les broches 2** à **12**, **23, 31** et **25** à **28** sont les lignes d'adresse requises pour l'accès aux 128 ko de données par le microcontrôleur.

CONNEXIONS DES LIGNES DE DONNÉES

- **Les broches 13** à **15** et **17** à **21** sont les 8 lignes de données requises pour recevoir / transmettre un octet à la fois du / au microcontrôleur.

CONNEXIONS VALIDATION DE CIRCUIT

- **Les broches 22** et **30** sont deux entrées d'activation de circuit qui doivent être BASSE et HAUTE respectivement pour que le composant 128ko fonctionne. Si la broche 22 est HAUTE ou si la broche 30 est BASSE, le composant entre dans le mode veille, ce qui permet de réduire énormément sa consommation (10 µV). La broche de sortie MMU3 du microcontrôleur (broche 2) est utilisée pour sélectionner la SRAM lorsqu'elle est au niveau haut. Si cette broche est au niveau bas, la MTP/EPROM à la position I002 sera sélectionnée.

CONNEXIONS ACTIVATION D'ÉCRITURE

- **La broche 29** est l'entrée d'activation d'écriture, active basse, utilisée pour permettre le stockage des données dans le composant. Cette broche est connectée à la ligne lecture/écriture du microcontrôleur à des fins de synchronisation.

INVERSEUR HEX 74CH04 (I004)

INTRODUCTION

Le CI à 14 broches à la position I004 est un inverseur hex CMOS à haute vitesse utilisé pour inverser les signaux numériques. L'ensemble comprend 6 inverseurs, mais 4 seulement sont utilisés dans cette application.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 14** et **7** sont les connexions d'alimentation +5V et 0V respectivement. La tension d'alimentation de +5V est toujours présente, même lorsque le téléviseur est dans le mode veille. Le condensateur C023 est connecté à la borne d'alimentation pour découplage.

CONNEXION VALIDATION DE CIRCUIT

- **La broche 1** est connectée à la sortie MMU3 du microcontrôleur est utilisée pour sélectionner soit la MTP, soit la SRAM. Ce signal est inversé et sort de la broche 2 qui est alors connecté à l'entrée de validation de circuit, active basse, (broche 22) de la SRAM. De cette façon, seule une ligne de validation de circuit du microcontrôleur a besoin d'être employée pour activer la SRAM.

CONNEXION DÉSACTIVATION DTT

- **La broche 3** est l'entrée de désactivation DTT de la broche 7 de I006. Cette entrée est inversée et sort sur la broche 4, avant d'être connectée aux broches 12 et 13 du commutateur analogique (I008).

CONNEXION DÉSACTIVATION I2C

- **La broche 5** est l'entrée de désactivation I2C de la broche 33 du microcontrôleur. Ce signal est inversé et sort sur la broche 6, avant d'être connectée aux broches 5 et 6 du commutateur analogique (I007). Lorsque le microcontrôleur est en condition de remise à zéro, ou lorsque le téléviseur est en mode veille, la ligne de désactivation I2C est HAUTE. Ce signal doit être inversé pour désactiver le bus I2C du microcontrôleur du bus I2C du reste du châssis.

CONNEXION DÉSACTIVATION SCART

- **La broche 13** est l'entrée de désactivation Scart de la broche 39 du microcontrôleur. Cette entrée est inversée et sort sur la broche 12, avant d'être connectée aux broches 12 et 13 du commutateur analogique (I007). Lorsque le microcontrôleur est dans l'état de remise à zéro, ou lorsque le téléviseur n'est PAS dans les modes entretien/diagnostic, les lignes de transmission/réception RS232 DOIVENT être déconnectée des broches 10 et 12 de la prise Scart 2. Cette ligne doit alors être inversée pour empêcher toute connexion.

EEPROM (I005)

INTRODUCTION

L'EEPROM ST24C16, appelée couramment E2, est un composant 16Kbit (2Ko) qui contient les données rémanentes lorsque l'alimentation du téléviseur est coupée. Ce composant peut contenir les informations de 100 programmes, comme par exemple, le nom, la fréquence, la norme, le réglage AV, le réglage de langue et les pages favorites de télétexte. L'EEPROM contient aussi les codes de diagnostic de panne utilisés pour l'identification des pannes précédentes du châssis (voir section séparée traitant de ce sujet particulier). L'E2 contient aussi les paramètres d'alignement d'usine, tels que la géométrie, l'équilibre de blanc, l'AFC/AGC du tuner, le type de modèle, le niveau de cathode, etc. L'E2 contient également les réglages préférentiels de l'utilisateur tels que le volume, l'équilibre, le contraste, la luminosité, etc. Les données sont écrites / lues de ce composant en utilisant les protocoles standard I2C de Philips.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 8** et **4** sont les connexions d'alimentation +5V et de masse (0V) respectivement. L'EEPROM est alimentée par le rail de veille +5V pour qu'elle soit toujours alimentée, même lorsque le téléviseur est en mode veille.

CONNEXIONS I2C

- **La broche 5** est la ligne de données I2C requise pour transférer les données série provenant du microcontrôleur. Les données sont modifiées lorsque la ligne d'horloge est basse et verrouillées sur le front montant de l'horloge I2C.
- **La broche 6** est la ligne d'horloge I2C requise pour synchroniser le transfert des données I2C. 9 impulsions d'horloge sont requises pour les données de 8 bits plus un bit d'accusé de réception. L'horloge de référence I2C provient du microcontrôleur et fonctionne à une fréquence de 100kHz environ.

CONNEXIONS D'ADRESSE

- **Les broches 1** à **3** sont les lignes d'adresse utilisées pour sélectionner l'adresse asservie I2C du composant. Sur le
- composant ST24C16, ces lignes doivent être connectées à la masse pour pouvoir accéder correctement le composant.

CONNEXION DÉSACTIVATION ÉCRITURE

- **La broche 7** est l'entrée d'activation/désactivation d'écriture I2C. Lorsque cette entrée est HAUTE (+5V), toutes les écritures I2C au composant sont interdites. Lorsque l'entrée est mise au niveau bas par le microcontrôleur (broche 22 E2RD), les données peuvent être écrites dans le composant. De cette manière, toute opération d'écriture involontaire pouvant dégrader les données I2C peut être évitée.

REGISTRE À DÉCALAGE 74HC595 (I006)

INTRODUCTION

Le 74HC595 est un registre à décalage 8 bits CMOS à haute vitesse et 16 broches, qui est utilisé comme capacité de port supplémentaire sur le châssis A8/D8. Les données 8 bits sont décalées en série dans le composant, puis verrouillées sur les sorties lorsque nécessaire. Ces sorties ne sont pas utilisées lorsque le téléviseur est dans le mode veille.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 16** et **8** sont les connexions d'alimentation +5V et de masse 0V respectivement. La tension d'alimentation de +5V est toujours présente, même lorsque le téléviseur est dans le mode veille. Le condensateur C024 est utilisé pour découpler l'alimentation.

CONNEXION DE SORTIE MARCHE/ARRÊT VM

- **La broche 1** est utilisée pour mettre le circuit VM (modulation de vitesse) en service (BAS) ou hors service (HAUT) sur certains châssis haut de gamme. Ce circuit améliore la transition des zones noires à blanches (et vice versa) de l'image pour améliorer leur définition. Ceci peut être noté plus particulièrement dans les zones extérieures du tube cathodique. Cette broche de sortie est connectée au signal d'alimentation +5V est reste flottante lorsque le téléviseur est en mode veille. La diode, D008, empêche tout courant de fuite de passer de la broche 1 au circuit VM lorsque le téléviseur est en mode veille.

CONNEXION SORTIE DE BLOCAGE 2

- **La broche 2** est utilisée pour commuter l'amplificateur ASW en mode veille (BAS) ou en mode de fonctionnement (HAUT). Cette broche est aussi utilisée pour abaisser l'alimentation +16V à l'arrière du téléviseur pour bloquer un système de console/haut-parleur optionnel connecté au connecteur phono +16V, lorsque l'alimentation du téléviseur est coupée.

CONNEXION SORTIE DE COMPRESSION

- **La broche 3** est la ligne de commande d'activation (HAUT) ou de désactivation (BAS) du relais de compression. Cette sortie est haute lorsqu'un téléviseur grand écran est dans le rapport largeur/hauteur 4:3, et est basse dans tous les autres modes. Dans le mode 4:3, des panneaux latéraux noirs peuvent être observés de chaque côté de l'image centrale.

CONNEXION SORTIE DE SUPPRESSION EXTERNE

- **La broche 4** est la sortie de suppression RGB externe, requise pour commuter l'entrée de suppression externe (broche 39) du HIP (TDS9320) en mode de suppression de plein écran. Ce mode est activé lorsque l'utilisateur sélectionne "RGB" parmi les modes AV possibles. Dans ce cas, la ligne est HAUTE, ce qui fait que les signaux RGB des broches 36 à 38 de I200 ont priorité sur l'image.

CONNEXION SORTIE REMISE À ZÉRO MSP

- **La broche 5** est la ligne de remise à zéro MSP3410D qui est basse lorsque MSP est remis à zéro. Cette ligne est normalement HAUTE (+5V) lorsque le téléviseur fonctionne correctement. Lorsque le téléviseur est en mode veille, cette ligne est basse car il n'y a pas de signal d'alimentation +5V pour tirer la ligne par la résistance R044.

CONNEXION SORTIE DE BLOCAGE 3

- **La broche 6** est la sortie de blocage 3 requise pour bloquer l'amplificateur ASW. Lorsque cette ligne est HAUTE, le haut-parleur de graves interne (optionnel sur certains modèles) est bloqué. Ceci se produit si l'utilisateur a désactivé les haut-parleurs internes sur le menu de configuration des haut-parleurs, si un casque est inséré dans le téléviseur, ou lorsque le téléviseur est arrêté.

CONNEXION SORTIE DE DÉSACTIVATION DTT

- **La broche 7** est la sortie de désactivation DTT nécessaire pour déconnecter les lignes de communication transmission/réception RS232 du DTT des ports RS232 du microcontrôleur. Cette sortie va à la broche 3 de l'inverseur hex (I004) où elle est inversée et envoyée aux broches 12 et 13 du commutateur analogique I008. Le commutateur analogique déconnecte les lignes RXD et TXD (réception et transmission) du microcontrôleur du DTT lorsque ses broches 12 et 13 sont BASSES.

ENTRÉE EFFACEMENT DU REGISTRE À DÉCALAGE (SCLR)

- **La broche 10** est l'entrée active basse nécessaire à l'effacement des données du registre à décalage lors de la mise sous tension.

ENTRÉE HORLOGE DU REGISTRE À DÉCALAGE (SCK)

- **La broche 11** est l'entrée d'horloge du registre à décalage nécessaire à la synchronisation des données dans le composant. Chaque bit des données est verrouillé dans le composant, sur le front montant de l'horloge. Cette horloge sort sur la broche 17 du microcontrôleur.

ENTRÉE HORLOGE DU REGISTRE (RCK)

- **La broche 12** est l'entrée d'horloge du registre nécessaire au verrouillage des données sur les broches de sortie. Les 8 bits verrouillés sont tous transférés aux broches de sortie sur le front montant de cette broche.

ENTRÉE ACTIVATION DE SORTIE (G)

- **La broche 13** est l'entrée active basse nécessaire à l'activation des ports de sortie. Cette broche est toujours connectée à la masse pour activer les sorties.

ENTRÉE DÉCALAGE DES DONNÉES

- **La broche 14** est l'entrée de décalage des données nécessaire au transfert des 8 bits de données dans le composant. Lorsque cette ligne est HAUTE, un '1' logique est verrouillé dans le composant sur le front montant de SCK. Par contre, lorsque cette ligne est basse pendant le front montant de SCK, un '0' logique est stocké.

COMMUTATEUR ANALOGUE 74HC4066 (I007)

INTRODUCTION

Le 74HC4066 est un commutateur bilatéral quadruple CMOS à haute vitesse et à 14 broches. Il est utilisé principalement pour connecter/déconnecter les signaux lors de la sortie/entrée du mode veille.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 14** et **7** sont les connexions d'alimentation +5V et de masse 0V respectivement. Ce composant est toujours alimenté, même lorsque le téléviseur est dans le mode veille. Le condensateur C025 assure que les alimentations sont correctement découplées.

CONNEXIONS TXD

- **La broche 1** est la ligne de transmission RS232 du microcontrôleur (broche 30) qui est acheminée par la broche 2 de I007 lorsque la broche 13 est HAUTE. Dans des conditions de fonctionnement normales (et lorsque le téléviseur n'est PAS en mode entretien ou diagnostic), la broche 1 est déconnectée de la broche 2 (et de la broche 12 du Scart 2). Lorsque le téléviseur est en mode entretien, un PC peut être connecté à la prise Scart 2 pour effectuer des fonctions de diagnostic sur le châssis (voir section séparée donnant de plus amples informations sur les protocoles de diagnostic).

CONNEXIONS RXD

- **La broche 11** est la ligne de réception RS232 du microcontrôleur (broche 37) qui est acheminée par la broche 10 lorsque la broche 12 est HAUTE. Dans des conditions de fonctionnement normales (et lorsque le téléviseur n'est PAS en mode entretien ou diagnostic), la broche 10 est déconnectée de la broche 12 (et de la broche 10 du Scart 2). Lorsque le téléviseur est en mode entretien, un PC peut être connecté à la prise Scart 2 pour effectuer des fonctions de diagnostic sur le châssis (voir section séparée donnant de plus amples informations sur les protocoles de diagnostic).

CONNEXIONS I2C

CONNEXION HORLOGE I2C

- **La broche 8** est l'entrée d'horloge I2C principale du microcontrôleur (broche 24). Lorsque la broche 6 de I007 est HAUTE, cette ligne est connectée à la broche 9, qui permet au microcontrôleur de communiquer avec les autres composants I2C du châssis. La broche 6 est normalement BASSE lorsque le téléviseur est en mode veille, ou lorsque la tension est appliquée au châssis pour la première fois.

CONNEXION DONNÉES I2C

- **La broche 4** est l'entrée de données I2C du microcontrôleur (broche 23). Lorsque la broche 5 de I007 est HAUTE, cette ligne est connectée à la broche 3, qui permet au microcontrôleur de communiquer avec les autres composants I2C du châssis. La broche 5 est normalement BASSE lorsque le téléviseur est en mode veille, ou lorsque la tension est appliquée au châssis pour la première fois.

74HC4066 (I008) CHÂSSIS D8 SEULEMENT

INTRODUCTION

Le 74HC4066 est un commutateur bilatéral quadruple CMOS à haute vitesse et à 14 broches. Il est utilisé principalement pour connecter/déconnecter les signaux lors de la sortie/entrée du mode veille.

DESCRIPTION

CONNEXIONS D'ALIMENTATION / MASSE

- **Les broches 14** et **7** sont les connexions d'alimentation +5V et de masse 0V respectivement. Ce composant est toujours alimenté, même lorsque le téléviseur est dans le mode veille. Le condensateur C026 assure que les alimentations sont correctement découplées.

CONNEXIONS TXD

- **La broche 1** est la ligne de transmission RS232 du microcontrôleur (broche 30) qui est acheminée par la broche 2 (DTT Tx) de I007 lorsque la broche 13 est HAUTE. La broche 2 est connectée à la broche 3 de P001, qui est à son tour connectée au module DTT. Pendant les communications avec le module DTT, la broche 13 de I008 est HAUTE. Cependant, pendant les communications avec le RS232 de Scart 2, cette ligne doit être BASSE pour empêcher des communications simultanées.

CONNEXIONS RXD

- **La broche 11** est la ligne de réception RS232 du microcontrôleur (broche 37) qui est acheminée par la broche 10 (DTT Rx) lorsque la broche 12 est HAUTE. La broche 10 est connectée à la broche 4 de P001, qui est à son tour connectée au module DTT. Pendant les communications avec le module DTT, la broche 12 de I008 est HAUTE. Cependant, pendant les communications avec le RS232 de Scart 2, cette ligne doit être BASSE pour empêcher des communications simultanées.

CONNEXION REMISE À ZÉRO DTT

- **La broche 4** est la connexion de remise à zéro DTT qui est acheminée à la broche 3 lorsque la broche 5 est HAUTE. La broche 3 est alors connectée à la broche 1 de P001, qui est à son tour connectée au module DTT. La ligne de remise à zéro DTT est normalement HAUTE lors de la mise en service/hors service du module DTT, et est basse dans tous les autres cas.

CONSOLE D'ALIMENTATION

La console d'alimentation est utilisée pour transformer les modèles A7 et A8/D8 en récepteurs Dolby Pro-logic complets en amplifiant les voies du centre et quadriphonique et en ajoutant un haut-parleur de graves.
Les amplificateurs utilisés pour cela sont trois TDA7482 de classe D mono. Dans cette application, la sortie de graves (IC2) a une puissance nominale de 20W, et les voies de Centre (IC3) et Quadriphonique (IC1) ont une puissance nominale de 12W, la sortie étant limitée par la tension d'alimentation.
Ces dispositifs nécessitent normalement deux alimentations, une positive et une négative, mais dans ce cas, une fausse masse est créée pour chaque amplificateur en utilisant un réseau diviseur résistif / capacitif. Les graves sont alimentées en 38V et divisées par R11 / R12 et C11+C16 / C17+C18. Le Centre et le Quadriphonique sont alimentés en 32V qui sont divisés par R56 / R57 et C72 + C77 / C78 + C79 (Centre) et R50 / R51 et C57 + C64 / C65 + C65 (Quadriphonique)
Brièvement, le principe de la classe D est que le signal est divisé en segments à une cadence déterminée par l'oscillateur interne (la fréquence est déterminée par les composants R / C connectés à la broche 6, dans ce cas 110 kHz environ). Ce signal est ensuite amplifié et sortie sur la broche 1 sous forme d'onde carrée à largeur d'impulsion modulée avec une amplitude presque égale à la tension d'alimentation. Le réseau d'inducteur / condensateur auquel le haut-parleur fait partie filtre alors la plus grande partie de la fréquence fondamentale, laissant le signal audio amplifié.
Les amplificateurs du type classe D furent choisis à cause de leur haut rendement (faible pertes thermiques dans l'équipement).

Les entrées du centre et quadriphonique sont transmises directement des prises femelles phono à la broche 9 des amplificateurs via des condensateurs de 470 nF. Les graves utilisent les sorties gauche et droite du téléviseur, ces signaux transmis via un filtre actif avec amplificateur (IC9), dont la sortie est alimentée à la broche 9 de IC2 via R68 et C2.
La seule commande sur le CI est la broche 10 qui a trois gammes de niveau :

1. 0 à 0,7V au-dessus de la tension de la broche 7 - veille (aucune sortie de la broche 1).
2. 1,7 à 2,5V au-dessus de la tension de la broche 7 - blocage (seule la sortie 110kHz peut être vue sur la broche 1).
3. 4 à 5V au-dessus de la tension de la broche 7 - gamme d'écoute.

Comme les étages d'amplification des graves, du centre et de quadriphonie sont identiques, nous ne décrirons ici que celui des graves. Sur la console d'alimentation un rail 5V à chute rapide est utilisé pour éliminer les bruits graves et aigus lors de l'arrêt du téléviseur ou de la mise en veille (en enlevant les 5V), il est appliqué à la base de Q2 via R1, le collecteur de Q2 maintient la base de Q3 à un niveau bas via R3. Ceci permet au collecteur de Q3 et à la broche 10 de IC2 d'augmenter par l'intermédiaire du réseau de charge constitué de R10, régulé à 5V6 par ZD2, R9 et R8, C7 ne sert qu'à ajouter une constante de temps.
Un double amplificateur opérationnel (IC6) est utilisé avec les deux sorties de comparateur (broches 1 et 7) reliées ensemble pour bloquer les amplificateurs en maintenant le rail 5V au niveau bas.
A la mise sous tension, la broche 1 de IC6 maintient le rail 5V au niveau bas par D42 jusqu'à ce que les rails d'alimentation principaux se stabilisent. Une tension de référence produite à partir du rail 38V par un diviseur de potentiel, constitué de R24 et R30, est appliquée à la broche 2 de IC6, puis est comparée à la tension appliquée à la broche 3 par le diviseur de potentiel R104 et R100 avec C107 ajoutant la constante de temps.
L'autre moitié du comparateur est utilisée à la mise hors tension. La broche 6 a un niveau de référence dérivé de l'alimentation 38V à partir du diviseur de potentiel R24 et R102. La broche 5 est connectée à la tension de commutation de relais fournie par le téléviseur. Lorsque le téléviseur est mis en veille ou arrêté, les 16V chutent immédiatement à 14V environ, mettant ainsi la broche 7 au niveau bas et bloquant les amplificateurs.
A la mise hors tension, le 5V est mis au niveau bas, arrêtant Q2, ce que permet à la base de Q3 d'augmenter via la résistance de charge R81 de l'alimentation principale de IC2, ce qui à son tour met le collecteur au niveau bas, décharge C7 et enlève la tension de la broche 10 via R105 et D30A, qui sont utilisés pour accélérer le temps de coupure de l'amplificateur. L'augmentation au niveau de l'alimentation est utilisée pour s'assurer que l'amplificateur reste bloqué en mode blocage / veille tandis que le rail d'alimentation se décharge.

DESCRIPTION GÉNÉRALE

La fonction principale de la section numérique du récepteur est d'accepter des signaux codés COFDM (Coded Orthogonal Frequency Division Multiplex) modulés sur une porteuse RF dans la bande UHF, et, en démultiplexant, décodant et formatant les informations portées, de produire des sorties analogiques audio et vidéo pouvant être présentées sur un écran de télévision.
Elle peut être intégrée dans un récepteur de télévision (IDTV) ou dans un boîtier de décodage (STB) équipé d'un fond de panier analogique approprié.
Les fonctions graphiques, les menus et les commandes du récepteur numérique sont aussi exécutées dans le module numérique.
La section numérique du récepteur est constituée de deux cartes de circuits imprimés principales et d'une autre carte de circuits imprimés associée.

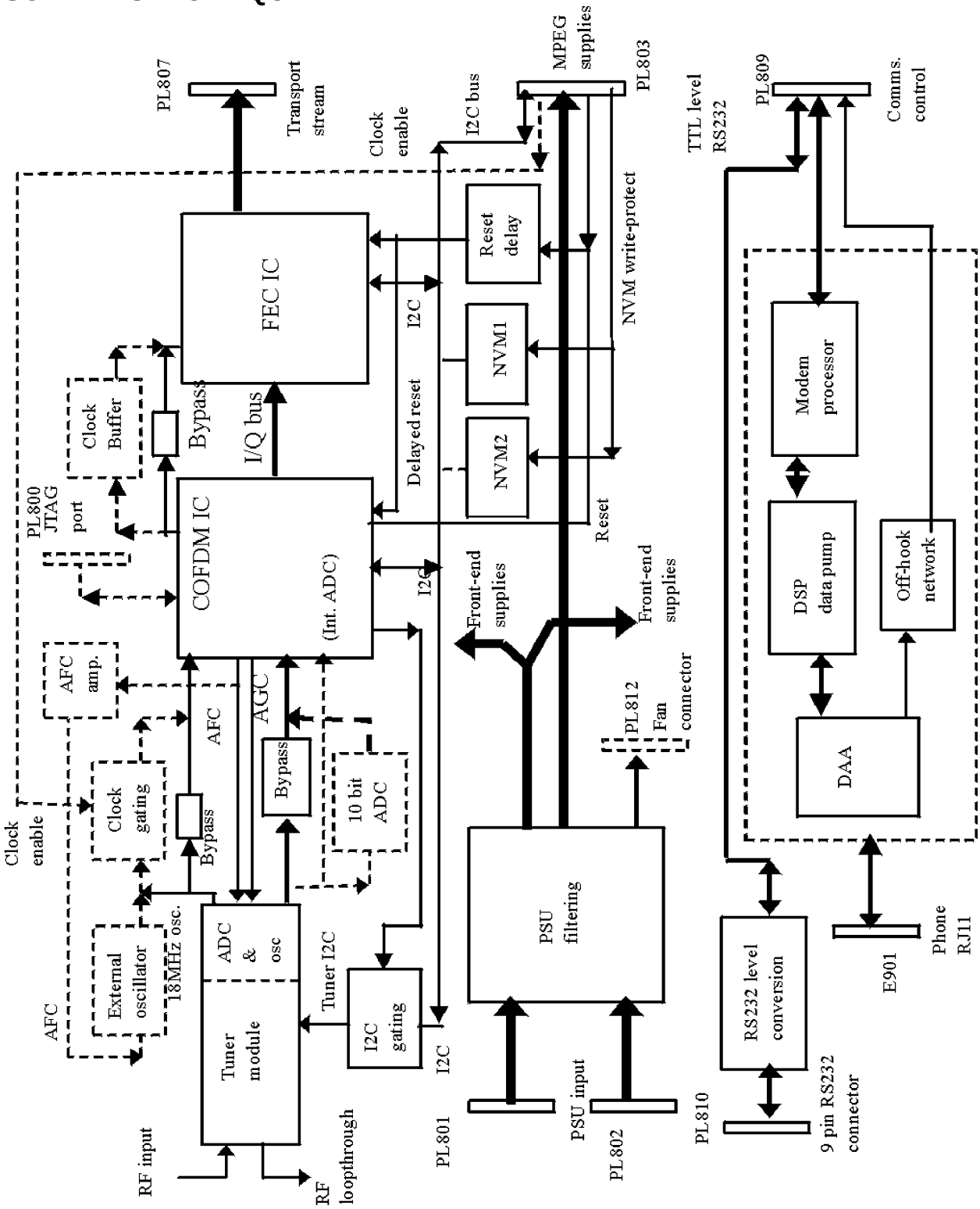
- Circuit imprimé frontal COFDM
- Circuit imprimé de décodeur MPEG et AV/Graphiques
- Circuit imprimé d'interface de carte à mémoire

Toutes les interconnexions entre ces cartes sont réalisées à l'intérieur du boîtier de blindage métallique et emploient des connecteurs plats de cartes de circuits imprimés. Les connexions des cartes numériques aux circuits analogiques emploient aussi le même type de connecteurs plats, à l'exception du connecteur de l'alimentation principale. Les détails sont données à la section 2.6.
Les connexions de la section numérique accessibles à l'utilisateur sont les suivantes :

- Connecteur d'entrée RF du tuner
- Connecteur de sortie de boucle RF du tuner
- Connecteur RS232 'type D' à 9 broches
- Connecteur de modem RJ11
- Prises femelles d'interface commune

Un ventilateur est prévu pour assurer la circulation de l'air dans le boîtier pour le module numérique du téléviseur intégré.

SCHÉMA SYNOPTIQUE



CIRCUIT IMPRIMÉ FRONTAL COFDM

Cette carte porte :

- Filtration de l'alimentation
- Tuner
- Décodeur COFDM et circuits de FEC (correction d'erreur sans voie de retour)
- Port de communications série RS232
- Modem V22bis

FILTRATION DE L'ALIMENTATION

Ce filtre est destiné à filtre le bruit d'entrée des lignes et d'empêcher la transmission du bruit et des composantes EMC du module à la section analogique.
L'alimentation de l'ensemble du module numérique est connectée par l'intermédiaire de cette carte à l'aide d'un réseau de perles de ferrite, de bobines d'arrêt et de condensateurs. L'alimentation d'entrée est via PL801 et PL802, et les lignes de sortie filtrée sont transmises à la carte MPEG sur PL803, ainsi que certains signaux de commande de la carter MPEG. Les lignes d'alimentation d'entrée et de sortie filtrées sont les suivantes :

Entrée analogiques section	Composants communs de filtre	Section	Utilisée sur (carte)	Composants uniques de filtre
5V	FB800, C787, C788	Tuner	Tuner COFDM	L801, C801, C802, C803
		Modem	Tuner COFDM	R899 (liaison à résistance nulle)
		MPEG, RS232	MPEG *	L805, C785, C786
5V veille	L800, C771, C799	Boucle traversante tuner	Tuner COFDM	Aucun
		Puces IC	MPEG +	Aucun
12V	FB803, C795, C796	MPEG	MPEG	L807, C793, C794
		Ventilateur	Externe	Non utilisé
3V3	FB802, C791, C792	COFDM / FEC	Tuner COFDM	L804, C781, C782
		MPEG	MPEG *	L806, C789, C790
		CAN	Tuner COFDM	L808, C779, C780
9V	Aucun	Tuner	Tuner COFDM	L802, C804, C805
30V	Aucun	Tuner	Tuner COFDM	R788, R789, R790, C806, C807

'*' Indique filtration et distribution supplémentaires sur la carte MPEG.
'+' Indique liaison optionnelle (R783 / R784) pour alimentation de l'interface commune, voir texte.

TUNER

Ce tuner comprend :

- Boucle traversante UHF
- Premier convertisseur réducteur
- Oscillateur local et PLL de commande
- Filtre IF et deuxième étage convertisseur
- Commande de gain automatique
- CAN (Convertisseur Analogique à Numérique)
- VCXO (Oscillateur commandé en tension)

Le signal d'entrée RF est bouclé en sortie pour être connecté à un VCR conventionnel, un boîtier de décodage ou l'entrée analogique du tuner TV. Le bouclage est actif et a une broche d'alimentation 5V séparée qui est sous tension dans le mode de 'MARCHE' normal et dans le mode de veille.
Les autres sections du tuner utilisent les rails d'alimentation 5V et 9V, avec un découplage local approprié.
Le premier étage convertisseur convertit les signaux d'entrée de manière que le canal UHF sélectionné soit décalé en fréquence pour être centré dans la bande IF de 8MHz centrée autour de 36MHz.
L'oscillateur local est contrôlé par les circuits PLL internes du tuner, et la sélection de fréquence est effectué à l'aide du bus I2C. Ce bus I2C est seulement commandé par le tuner pour les commandes qui lui sont directement adressées. Le déclenchement est effectué par IC820 e le signal de commande est généré par le CI principal COFDM (IC801) à l'aide d'une broche port. Le fonctionnement de cette broche est contrôlé par I2C sur le CI COFDM. Les résistances de charge locales pour le tuner I2C sont R786, R787 et les résistances de protection série sont à l'intérieur du tuner.
Le signal IF 36MHz est filtré pour éliminer les composantes hors bande, la fréquence est de nouveau réduite à 4,572MHz et échantillonnée à 4 fois cette fréquence dans le CAN.
La résolution du CAN à l'intérieur du tuner est 8 bits, et la sortie du tuner est un signal COFDM échantillonné de 8 bits de large et l'horloge d'échantillonnage de 18,288MHz. Cette horloge a été filtrée intérieurement pour éliminer certaines des arêtes plus rapides pour réduire les EMC. Les résistances R884 - R889, R860 et R869, R799 sont utilisées pour relier les entrées de signaux de

données parallèles au CI COFDM seulement si le CAN du tuner est utilisé. C'est la spécification courante normale de construction, mais elles doivent être omises lorsqu'un CAN externe au tuner est utilisé.
Le CI décodeur COFDM, utilisant le signal de réaction AFC du module tuner, contrôle la fréquence et la phase de l'horloge 18,288MHz.
Le gain de l'étage IF est contrôlé par le signal du CI COFDM, le tuner étant responsable du point de croisement et de la génération du signal RF AGC qui est relié extérieurement aux étages RF.

CAN 10 BIT EXTERNE (IC803)

L'option d'utiliser un CAN 10 bit externe au tuner est prévue sur la carte, mais n'est pas actuellement utilisée. Elle utilise R781 R823, R824, R825, R826, R827, R828, R831, R832, C824, C825, C826, C827, C828, C830, C831, C832, C834, C835, C836, C837, C840 et IC803. Si ce CI n'est pas installé, tous les autres composants listés ici doivent aussi être omis de la carte.
Les résistances de liaison R884 - R889, R60 et R869, R799 doivent être omises si ce CI est installé.

CIRCUIT OSCILLATEUR EXTERNE

Il sera peut-être nécessaire à l'avenir d'utiliser un oscillateur externe au module de tuner. Ceci est prévu sur la carte en utilisant R797,R807, R809, R811-R817, R821, R822, C812, C818, C820, C822, le cristal X800, la diode variable D801, et Q800. Ceci n'est pas actuellement utilisé.
Le circuit est un oscillateur à cristal discret type Colpitt utilisant la réaction du CI COFDM pour contrôler la fréquence en faisant varier la capacitance de la diode réglable D801. C822, R821, R822 sont utilisés pour pré polariser la sortie du tampon de l'oscillateur requis (IC800). Voir la section suivante.

OPTION D'AMPLIFICATEUR DE RÉACTION CAF (IC816)

Une option a été prévue sur la carte pour fournir une tension CAF ayant une gamme plus étendue pour contrôler l'oscillateur externe, s'il est requis. Ceci n'est pas actuellement utilisé.
Il est constitué d'un double amplificateur opérationnel configuré pour donner un gain de 10 fois avec une inversion, et une déviation de sortie possible de 30V. Un étage suivant est ajouté pour donner une inversion supplémentaire avec un gain unitaire. Il est constitué de R833, R834, R835, R836, R837, R838, R842, C840, IC816.
Des liaisons de dérivation sont prévues sur les deux sections par R841 (deuxième section seulement) et R859 (deux sections).

TAMPONNAGE D'HORLOGE ET CIRCUIT DE DÉCLENCHEMENT (IC800)

Cet étage peut être configuré de trois façons différentes :

- Avec l'oscillateur interne au tuner (option actuellement équipée) il n'est pas normalement requis, et les résistances de dérivation R829, R830 doivent être installées à sa place.
- Afin de corriger un problème présent sur des cartes antérieures, il est utilisé comme circuit de déclenchement d'horloge, et a pour fonction de réenclencher le PLL du CI COFDM dans certaines conditions de mise en marche. La commande est assurée automatiquement par une ligne de commande provenant directement de l'UC MPEG. Dans cette option, R830 doit être omise.
- Lorsqu'un oscillateur externe est utilisé, il est requis comme tampon pour convertir l'horloge analogique bas niveau à un niveau TTL. Dans ce cas, la fonction de remise à zéro PLL est aussi disponible. R830 et R829 doivent être omises et R797 doit être installée dans cette option.

DÉCODEUR COFDM (IC801/L64780)

En utilisant l'horloge 18,288MHz, le signal 8 bits est décodé par la puce LSI (IC801) de la carte pour produire un train de transport parallèle. L'entrée de l'horloge est transmise au CI COFDM via une résistance 47R (R810), qui assure un certain formage de l'onde et le tamponnage entre la commande TTL 5V et la puce LSI 3,3V.
La broche de remise à zéro PLL sur la puce (TEST0) est réenclenchée directement à partir de l'UC MPEG tandis que le réenclenchement de la puce principale est retardé vers les CI COFDM et FEC par R784, C772. Ceci est prévu pour forcer le CI COFDM à démarrer correctement de façon fiable. De plus, un condensateur (C770) est monté sur la broche de réenclenchement JTAG pour assurer que la puce COFDM est toujours mise sous tension correctement.
La commande de l'AGC IF est produite dans L64780 sous forme de sortie sigma-delta, qui est filtrée par R868, R795, C811. Le CI COFDM fournit aussi le signal CAF au VCXO du tuner, utilisant aussi un format de sortie sigma-delta filtré (R796, R847, C842, (C841)).
La commande (initialisation, transmission des commandes et lecture d'état) est effectuée par le bus I2C à partir de l'UC MPEG porté sur PL801. Le mode de commande série est sélectionné en mettant la broche 'S_P' au niveau haut via R863, avec les données I2C commandé par le LSB du port E/S de données, le reste du port de données est utilisé pour définir l'adresse I2C qui est appelée pendant l'initialisation. R867, R866 sont les résistances de charge du bus, R864, R865 les résistances série et C870 est ajouté sur la ligne de données pour corriger la synchronisation du bus.
Le signal d'activation de commande pour le tuner I2C est fourni par une broche de port de cette puce, il est activé par une commande I2C avant chaque commande de tuner et désactivé immédiatement après.
Le L64780 contient un CAN 8 bits qui peut être utilisé comme variante du CAN contenu dans le module tuner ou du CAN 10 bits externe. Les composants d'interface d'entrée associés sont R870, R871, R872, R873, R874, R875, C846, C847.
Le L64780 contient un générateur 'x3' à commande PLL produisant un signal de 54,864MHz verrouillé sur le signal d'entrée de 18,288MHz. Cette horloge reçoit les données du FEC (L64724). L'alimentation du PLL local est filtrée par R861 et C843, et les composants PLL associés sont R862, C844 et C845.
La puce contient un port de test JTAG qui est amené sur le connecteur PL800, avec les composants de terminaison R839, R840, R849, R850, C839 pour maintenir les conditions correctes sur ces broches.
Le signal numérique est transmis à la section FFT du CI décodeur COFDM L64780. Ceci dérive les signaux de tonalité pilote, qui peuvent être utilisés en conjonction avec les informations programmées par l'UC MPEG pour décoder les données d'entrée à l'aide d'un algorithme FFT en un ensemble de signaux en quadrature I/Q. Ils ont chacun une résolution de 3 bits et fournissent les signaux

pour le FEC. Le CI fournit aussi des informations sur la qualité du signal qui sont lues sur les registres de puce par le bus I2C dans une forme utilisée pour les menus de l'utilisateur et pour l'entretien et les essais.

ETAGE DE TAMPON D'HORLOGE 54MHZ

Il n'est requis que lorsque des puces L64780 version A sont utilisées, sa fonction est de corriger le niveau de commande d'horloge 54MHz au FEC. Lorsque des puces L64780 version B (et plus) sont utilisées, l'étage est contourné par R846. L'étage est constitué de IC817, C775, C776, R820 dans un mode d'auto-polarisation avec provision de polarisation d'entrée par R793, R794.

CI DE CORRECTION D'ERREURS SANS VOIE DE RETOUR (FEC) (IC802/L64724)

Le CI FEC est utilisé en mode de commande série avec les communications via le bus I2C générées par l'UC MPEG. Le port de données est utilisé à la fois pour les lignes d'horloge et de données I2C, et pour définir l'adresse du circuit, qui est définie pendant l'initialisation, dans ce cas le mode de commande série est sélectionner en bloquant la broche 'HOSTMODE' au niveau bas. R891, R892 sont les résistances de protection de l'I2C série et C777, C778 sont ajoutés pour corriger la synchronisation du bus I2C pour cette puce.
L'horloge de référence de la puce est le signal 54,864MHz produit par le CI CODFM.
L'entrée de données du CI COFDM est dans le format I/Q par l'intermédiaire des résistances de liaison R848, R851, R852, R853, R854, R855.
Les fonctions du CI FEC (Correction d'erreurs sans voie de retour) sont les suivantes :

- Décodage en quadrature des données
- Elimination des codes de convolution intérieur et extérieur
- Décodage de Viterbi
- Elimination du désembrouillage (utilisé pour assurer un signal de données approximativement équilibré)
- Décodage du code de durée d'exécution Read-Solomon
- Dérivation des informations des statistiques d'erreur du signal

Les informations telles que le taux d'erreur sur les bits (BER), utilisées intérieurement par l'UC et pour produire les informations de qualité de signal pour l'utilisateur, sont obtenues du CI FEC sur le bus I2C.
Le signal de train de transport produit par le CI FEC contient les données à traiter, démultiplexées et décodées par les puces de l'Interface Commune et l'ensemble de puces MPEG sur la carte MPEG.
Sur PL807, ce bus transporte les signaux suivants vers la carte MPEG :

- données parallèles de 8 bits de large
- Données valides
- Bit de synchronisation de début de paquet
- Horloge de débit binaire

Des résistances sont prévues en option pour relier soit le début de paquet soit les signaux d'erreur au FEC , mais dans cette application l'Interface Commune (à laquelle le train de transport est relié) nécessite le début de paquet. Pour cela, R878 doit être installée, et R877 omise.

NVM

Des positions pour deux puces NVM sont prévues, elles peuvent accepter des composants style Atmel de 128 ko et de 256 ko. Actuellement, une seule puce de 256 ko est normalement installée (IC805) avec ses composants associés C869, C893, R897 et R898. Une ligne de commande de 'protection d'écriture' est prévue sur l'UC qui désactive toutes opérations d'écriture erronées.

PORT DE COMMUNICATIONS SÉRIE RS232

Cette puce assure la conversion TTL au niveau bipolaire de la liaison de communications série asynchrone. Elle est constituée du CI AD202 (IC807) et de ses condensateurs de chaîne/réservoir (C894, C895, C896, C897). La puce est alimentée à partir de l'alimentation 5V et le découplage local est constitué de C898, C899.
La liaison au processeur MPEG est au niveau TTL avec les signaux RX, TX, CTS, RTS. La connexion aux périphériques externes est assurée par un prise femelle type D à 9 broches aux niveaux standard. Etant donné que le périphérique UART de l'UC est configuré pour utiliser un contrôle de flux matériel, le CTS est mis au niveau haut sur le côté sortie de R792 afin de permettre aux données de passer librement lorsqu'aucun colloque n'est prévu.

SECTION DE MODEM V22BIS

Le circuit de modem est constitué d'un contrôleur, d'une pompe de données et d'un dispositif d'accès au réseau (DAA)

Le DAA fournit une interface complète entre la pompe de données et une ligne téléphonique. Toutes les fonctions sont intégrées dans un seul module hybride qui fournit l'isolement haute tension.

Lorsque la commande de boucle est au 0 logique, une terminaison de ligne active est appliquée au fil T et fil R, en quel point l'équipement peut être considéré décroché et le courant de la boucle CC sera bas. Ceci est utilisé pour saisir la ligne pour un appel sortant, ou, s'il est appliqué et déconnecté à la cadence requise, il peut être utilisé pour produire les impulsions décimales. Le récepteur n'est pas conçu pour répondre à des appels entrants.

Lorsque décroché, le DAA convertit l'entrée équilibrée 2 fils présentée par la ligne en un signal référencé par rapport à la masse à VX. De même, le matériel convertit l'entrée de signal référencé par rapport à la masse à VR en un signal équilibré 2 fils sur Fil T et Fil R.

La broche de boucle fournit une tension qui est proportionnelle à la tension sur Fil T et Fil R. Elle peut être utilisée avec des circuits externes pour détecter un téléphone parallèle devenant décroché, et la présence d'une tension de sonnerie.

Ce circuit de détection de téléphone parallèle utilise la tension de boucle pour détecter une impulsion à petite échelle de courte durée. Deux constantes de temps R-C sont utilisées pour éliminer les pointes de bruit, et les informations CC. Le décrochage d'un téléphone parallèle transmettra une impulsion de ~1s au processeur MPEG.

Le circuit de détection de sonnerie est un comparateur qui convertit la tension de boucle en une série d'impulsions logiques qui est transmise au contrôleur.

La pompe de données est un modem synchrone à une seule puce qui fournit un moyen de construire un modem V.22bis capable de 2400 bps intégral sur ligne commutée.

Fonctionnant sur le réseau commuté public (PTSN), le Z02201 est conforme aux normes de modem V.22bis, V.22, V.23, V.21, Bell212A, et Bell 103.

Le Z02201 exécute le verrouillage de trame HDLC à toutes les vitesses. Toutes les fonctions de modulation, démodulation, filtrage et conversion A/N et N/A de la transmission et de la réception sont fournies sur la puce.

Le Z02201 fournit une génération et une détection de tonalité complète et flexible. Ceci comprend toutes les tonalités requises pour établir une connexion de circuit et pour configurer et contrôleur une session de communication. La génération de tonalité fournit les tonalités multifréquence en code pour la composition PTSN automatique ainsi que les tonalités de supervision pour l'établissement de l'appel.

Le Z02201 communique avec le contrôleur via une interface parallèle, et permet aussi l'extraction de l'état modem/ligne, des données de commande et des coefficients programmables.

Le contrôleur Z02205 communique avec le processeur MPEG via une interface RS232 5V, en utilisant l'ensemble de commandes Hayes AT.

Le Z02205 commande les registres et la mémoire de la pompe de données via une interface parallèle, permettant la composition multifréquence, la connexion du circuit et le transfert de données.

Le Z02205 contrôle la ligne Décroché du DAA et vérifie la cadence des impulsions de détection de sonnerie pour un signal de sonnerie valide qui est communiqué au processeur MPEG.

Les lignes des signaux DTR et CTS sur PL809 (provisions vers et du modem) sont connectées au niveau bas avec les liaisons de résistance (R781, R782) pour permettre le niveau TTL de communication RS232 de fonctionner entre le modem et l'UC sans la nécessité de colloque.

POINTS DE TEST SUR LA CARTE COFDM

ID Point de test	Nom Réseau	Fonction
A001	5V Tuner	Alimentation filtrée 5V du tuner
A002	9V Tuner	Alimentation filtrée 9V du tuner
A003	9V	Alimentation non filtrée 9V du tuner
A090	30V	Alimentation non filtrée 30V du tuner
A009	30V Tuner	Alimentation filtrée 30V du tuner
A235	30V	1er point intermédiaire de limitation de courant 30V
A234	30V	2ème point intermédiaire de limitation de courant 30V
A006	Entrée RF AGC	RF AGC ligne tuner boîte avant
A004	entrée / sortie IF 1	Boucle traversante ENTREE/SORTIE IF 1
A008	Sortie IF 2	SORTIE IF2 boîte avant
A011	Entrée IF 2	ENTRÉE IF2 boîte arrière
A013	ADD	Sélection adresse I2C Tuner
A018	Sortie RF AGC	SORTIE RF AGC boîte arrière
A033	Sortie tuner - 07	Sortie données CAN tuner bit 7
A032	Sortie tuner - 05	Sortie données CAN tuner bit 5
A031	Sortie tuner - 04	Sortie données CAN tuner bit 4
A030	Sortie tuner - 03	Sortie données CAN tuner bit 3
A029	Sortie tuner - 02	Sortie données CAN tuner bit 2
A028	Sortie tuner - 01	Sortie données CAN tuner bit 1
A027	Sortie tuner - 00	Sortie données CAN tuner bit 0
TP803	Sortie horloge	Sortie horloge 18MHz du tuner non utilisée
A239	Entrée horloge 18MHz	Horloge 18MHz à OFDM
A005	SDA-Tuner	Tuner I2C données
A012	SLC-Tuner	Tuner I2C horloge
A238	SDA-Tuner -SW	Tuner I2C données sans déclenchement
A237	SCL-Tuner -SW	Tuner I2C horloge sans déclenchement
TP801	/Horloge-EN	active horloge 18,288MHz bas
A236	COMMANDE	active horloge 18,288MHz
A026	Horloge 18MHz	

ID Point de test	Nom Réseau	Fonction
TP802	Porte libre IC800	Porte IC800 non utilisée
TP891	Porte libre IC800	Porte IC800 non utilisée
A231	CAN 10 bits	
A050	CAN-INT	
A051	CAN 10 bits	
A047	CAN 10 bits	
A063	REF-TF	
A080	REF-TF	
TP804	STBYAD10	
TP805	ENDA10	
TP876	DRVss	
A194	3v3-COFDM	Ligne d'alimentation 3V3 COFDM
TP877	EX-AD9	Liaison CAN externe bit de données 9/CAN tuner bit de données 7
TP878	EX-AD8	Liaison CAN externe bit de données 8/CAN tuner bit de données 6
TP879	EX-AD7	Liaison CAN externe bit de données 7/CAN tuner bit de données 5
TP880	EX-AD6	Liaison CAN externe bit de données 6/CAN tuner bit de données 4
TP881	EX-AD5	Liaison CAN externe bit de données 5/CAN tuner bit de données 3
TP882	EX-AD4	Liaison CAN externe bit de données 4/CAN tuner bit de données 2
TP883	EX-AD3	Liaison CAN externe bit de données 3/CAN tuner bit de données 1
TP884	EX-AD2	Liaison CAN externe bit de données 2/CAN tuner bit de données 0
TP885	EX-AD1	CAN externe bit de données 1
TP886	EX-AD0	CAN externe bit de données 0
A007	IF-AGC	Ligne tuner IF AGC
A020	Sortie horloge 18MHz	Horloge 18MHx tamponnée/non tamponnée
A062	CLK18M	Horloge 18MHx formée tamponnée/non tamponnée
A036	EXT-OSC	Tension VCXO oscillateur Colpitt
A048	EXT-OSC	
A025	EXT-OSC	Sortie XTAL oscillateur Colpitt
A056	EXT-OSC	VCXO XTAL
A045	EXT-OSC	VCXO XTAL
TP800	EXT-OSC	Sortie oscillateur Colpitt
A023	EXT-OSC	
A017	EXT-OSC	Sortie oscillateur Colpitt couplée CA polarisée CC
A010	5v-OSC	Alimentation 5V oscillateur externe
A016	AMP_VCXO	
A057	AMP_VCXO	
A038	AMP_VCXO	
A058	AMP_VCXO	
TP806	AMP_VCXO	sortie amplificateur VCXO non inversée
TP807	AMP_VCXO	sortie amplificateur VCXO inversée
TP888	AMP_VCXO	Signal d'entrée amplificateur VCXO
A039	AMP_VCXO	Signal d'entrée amplificateur VCXO
A079	VCXOCTAL	Signal VCOX filtré du démodulateur COFDM IC801
A172	VCXOCTAL	Signal VCOX non filtré du démodulateur COFDM IC801
A061	0R0_IF_EXT_ADC	
A217	3v3-COFDM	Tension d'alimentation 3V3 COFDM
A067	GND-ADC	
A092	SCL-780	Horloge I2C démodulateur COFDM
A091	SDA-780	Données I2C démodulateur COFDM
A049	AVIN	
A068	AD-VREF	
A071	AD-REF	
TP850	PROCQ	
A087	SORTIE AGC	
A046	EX-AD0	CAN externe bit de données 0
A053	EX-AD1	CAN externe bit de données 1
A065	EX-AD2	Liaison CAN externe bit de données 2/CAN tuner bit de données 0
A059	EX-AD3	Liaison CAN externe bit de données 3/CAN tuner bit de données 1
A041	EX-AD4	Liaison CAN externe bit de données 4/CAN tuner bit de données 2
A054	EX-AD5	Liaison CAN externe bit de données 5/CAN tuner bit de données 3
A060	EX-AD6	Liaison CAN externe bit de données 6/CAN tuner bit de données 4
A042	EX-AD7	Liaison CAN externe bit de données 7/CAN tuner bit de données 5
A043	EX-AD8	Liaison CAN externe bit de données 8/CAN tuner bit de données 6
A044	EX-AD9	Liaison CAN externe bit de données 9/CAN tuner bit de données 7
A081	3v3-COFDM	Alimentation filtrée 3V3 COFDM

ID Point de test	Nom Réseau	Fonction
A097	EXT-IN-0	Port d'entrée, non utilisé, 0V
A093	EXT-IN-1	Port d'entrée, non utilisé, 0V
A098	EXT-IN-2	Port d'entrée, non utilisé, 0V
A164	REMISE A ZERO	Remise à zéro JTAG
A167	TCK	Horloge JTAG
A173	TMS	Sélection mode test JTAG
A175	TDI	Entrée données test JTAG
A140	CLK54M	Sortie horloge 54 MHz
A177	TDO	Sortie données test JTAG
A111	CLK54M	?????
TP808	/DTACK	Sortie accusé de réception DTA
TP809	/INT	Sortie Interruption
TP811	I2C-COMMANDE	Activation porte tuner I2C
TP812	IC780-1	Broche de port inutilisée
TP813	IC780-2	Broche de port inutilisée
A155	SD1_1	Deuxième sortie 4 bits bit de données 1
A156	SD1_2	Deuxième sortie 4 bits bit de données 2
A157	SD1_3	Deuxième sortie 4 bits bit de données 3
A139	SD1_3	Deuxième sortie 4 bits bit de données 3 liaison à FEC
A138	SD1_2	Deuxième sortie 4 bits bit de données 2 liaison à FEC
A137	SD1_1	Deuxième sortie 4 bits bit de données 1 liaison à FEC
A136	SD0_3	Première sortie 4 bits bit de données 3 liaison à FEC
A135	SD0_2	Première sortie 4 bits bit de données 2 liaison à FEC
A134	SD0_1	Première sortie 4 bits bit de données 1 liaison à FEC
A154	SD0_3	Première sortie 4 bits bit de données 3
A153	SD0_2	Première sortie 4 bits bit de données 2
A152	SD0_1	Première sortie 4 bits bit de données 1
A163	STARTOUT	Décision logicielle de démarrage de OFDM
A171	DVOUT_LP	Deuxième sortie 4 bits données valides
A151	DVOUT	Première sortie 4 bits données valides
TP817	STRT780	Décision logicielle de démarrage de OFDM non utilisée
TP818	DVLP	Deuxième sortie 4 bits données valides non utilisée
TP819	MUX-OUT-26	Bit bus entrée MUX 26 (pour test seulement)
TP820	MUX-OUT-25	Bit bus entrée MUX 25 (pour test seulement)
TP821	MUX-OUT-24	Bit bus entrée MUX 24 (pour test seulement)
TP822	MUX-OUT-23	Bit bus entrée MUX 23 (pour test seulement)
TP823	MUX-OUT-22	Bit bus entrée MUX 22 (pour test seulement)
TP824	_MUX-OUT-21	Bit bus entrée MUX 21 (pour test seulement)
TP825	_MUX-OUT-20	Bit bus entrée MUX 20 (pour test seulement)
TP826	_MUX-OUT-19	Bit bus entrée MUX 19 (pour test seulement)
TP827	_MUX-OUT-18	Bit bus entrée MUX 18 (pour test seulement)
TP828	MUX-OUT-17	Bit bus entrée MUX 17 (pour test seulement)
TP829	MUX-OUT-16	Bit bus entrée MUX 16 (pour test seulement)
TP830	MUX-OUT-15	Bit bus entrée MUX 15 (pour test seulement)
TP831	MUX-OUT-14	Bit bus entrée MUX 14 (pour test seulement)
TP832	MUX-OUT-13	Bit bus entrée MUX 13 (pour test seulement)
TP833	MUX-OUT-12	Bit bus entrée MUX 12 (pour test seulement)
TP834	MUX-OUT-11	Bit bus entrée MUX 11 (pour test seulement)
TP835	MUX-OUT-10	Bit bus entrée MUX 10 (pour test seulement)
TP836	MUX-OUT-9	Bit bus entrée MUX 9 (pour test seulement)
TP837	MUX-OUT-8	Bit bus entrée MUX 8 (pour test seulement)
TP838	MUX-OUT-7	Bit bus entrée MUX 7 (pour test seulement)
TP839	MUX-OUT-6	Bit entrée bus MUX 7 (pour test seulement)
TP840	MUX-OUT-5	Bit entrée bus MUX 5 (pour test seulement)
TP841	MUX-OUT-4	Bit entrée bus MUX 4 (pour test seulement)
TP842	MUX-OUT-3	Bit entrée bus MUX 3 (pour test seulement)
TP843	MUX-OUT-2	Bit entrée bus MUX 2 (pour test seulement)
TP844	MUX-OUT-1	Bit entrée bus MUX 1 (pour test seulement)
TP845	MUX-OUT-0	Bit entrée bus MUX 0 (pour test seulement)
A108	INTF-MODE	Sélection mode série
A110	PLLP2IO	Tension de contrôle VCO
A109	PLLVDD	PLL VDD pour PLL interne
A125		Filtre PLL
A146	DV780	
A106	CAN 3V3	Alimentation filtrée 3V3 CAN
A055	3v3-COFDM	Alimentation filtrée 3V3 COFDM

ID Point de test	Nom Réseau	Fonction
A066	5V-MODEM	Alimentation filtrée 5V Modem
A075	5V	Alimentation filtrée 5V
A107	5V	Alimentation non filtrée 5V
A122	3V3	Alimentation non filtrée 3V3
A183	3V3 MPEG	Alimentation filtrée 3V3
A022	5V-Tuner-STBY	Alimentation filtrée 5V veille tuner
A037	12V	Alimentation non filtrée 12V
A040	12V-MPEG	Alimentation filtrée 12V
A123	5V	Alimentation brute 5V de la carte FE
A122	GNDD	Masse alimentation
A124	30V	Alimentation brute 30V de la carte FE
A035	12V	Alimentation brute 12V de la carte FE
A015	5V-Tuner-STBY	Alimentation brute 5V veille tuner
A223	GNDD	Masse alimentation
A227	GNDD	Masse alimentation
A189	SDA	Données I2C à FEC IC802
A190	SCL	Horloge I2C à FEC IC802
A186	CLK54M	Horloge 54MHz à FEC
A176	DEMOD-RESET	Réenclenchement non temporisé Démod IC801
A240	DEMOD-RESET	Réenclenchement temporisé Démod/FEC
A181	3v3-COFDM	Alimentation filtrée 3V3 des CI FE
A170	GNDD	Masse alimentation
TP868	IC724-0	Sortie externe broche commande 0
TP869	IC724-1	Sortie externe broche commande 1
TP870	IC724-2	Sortie externe broche commande 2
TP871	SYNC724	Sortie état synch
TP852	XCTR_IN	Broche de commande entrée externe
TP853	DTACK_POL	Accusé de données non utilisé
TP855	ADCVREFQ	Tension de référence CAN non utilisée
TP856	ADCVREFQN	Tension de référence CAN non utilisée
TP857	ADCVDDQ	Alimentation analogique non utilisée
TP858	ADCVSSQ	Masse analogique non utilisée
TP859	QVIN	Entrée de données canal Q non utilisée
TP861	ADCVREF I	Tension de référence CAN non utilisée
TP862	ADCVREF IN	Tension de référence CAN non utilisée
TP863	ADCVDD I	Alimentation analogique non utilisée
TP864	ADCVSS I	Masse analogique non utilisée
TP865	I VIN	Entrée de données canal Q non utilisée
A184	/COE	Activation sortie canal non utilisée
A191	ERR724	Erreur paquet de train de transport de FEC
A197	FSTART	Début paquet de train de transport de FEC
A199	BCLK	Horloge bit train de transport
A185	DV724	Données train de transport valides
A198	FSTARTOUT	Début paquet train de transport
A213	CO-7	Sortie données train de transport bit 7
A212	CO-6	Sortie données train de transport bit 6
A214	CO-5	Sortie données train de transport bit 5
A215	CO-4	Sortie données train de transport bit 4
A200	CO-3	Sortie données train de transport bit 3
A201	CO-2	Sortie données train de transport bit 2
A202	CO-1	Sortie données train de transport bit 1
A209	CO-0	Sortie données train de transport bit 0
A143	V-	-10V pour RS232
A128	C2-	Onde carrée 0 à -10V pour produire -10V
A120	C1-	Onde carrée 0 à +5V pour produire +10V à partir de 5V
A119	C2+	Onde carrée 0 à +10V pour produire -10V à partir de +10V
A116	C1+	Onde carrée +5V à +10V pour produire +10V à partir de +5V
A118	V+	+10V pour RS232
A221	GNDD	masse pour connecteur RS232
A121	TX01	10V RS232 TX à connecteur D 9 voies
A129	RX01	10V RS232 RX du connecteur D 9 voies
A216	RS232-RX	5V RS232 RX à Mips
A133	RS232-TX	5V RS232 RX du Mips
A204	RS232-RTS	5V RS232 RTS du Mips
A144	RS232-CTS	5V RS232 CTS à Mips
A145	CTS01	10V RS232 CTS du connecteur D 9 voies

ID Point de test	Nom Réseau	Fonction
A161	RTS01	10V RS232 RTS à connecteur D 9 voies
TP872	MODEM-RTS	5V RS232 RTS du Mips au modem (non utilisé)
TP873	MODEM-DSR	5V RS232 DSR du Mips au modem (non utilisé)
TP874	MODEM-CTS	5V RS232 CTS à Mips du modem (non utilisé)
TP875	MODEM-DTR	5V RS232 CTS à Mips du modem (non utilisé)
A021	SDA-NVM2	Bus I2C pour NVM2 (données)
A013	SCL-NVM2	Bus I2C pour NVM2 (données)
A034	SDA-NVM1	Bus I2C pour NVM2 (données)
A024	SCL-NVM1	Bus I2C pour NVM2 (données)
A052	NVM-WP	Ligne de protection d'écriture des puces NVM, actif haute en mode de protection
A229	GNDD	Masse
A096	SDA	Bus I2C 'Réseau' (données)
A104	SCL	Bus I2C 'Réseau' (horloge)
A224	GNDD	masse pour modem
A165	/RVLC	miroir (réduit) de la tension sur la ligne de téléphone
A188	TF	entrée de détection de boucle de sonnerie
A196	TXIN	Signal d'entrée téléphonique couplé CA
A211	RING	Entrée CC du téléphone
A220	TIP	entrée du téléphone
A195	VX	entrée isolée du téléphone à 2V
A206	VX	version réduite à l'échelle de A195
A218	VX	Version couplée CA de A206 à 2,5V CC (A131)
A219		Masse CA pour inverseur
A230	GNDD	Masse pour DAA
A205	VR	version à amplitude réduite de A142
A142	VR	version couplée CA de A132 à 2V CC
A132	VR	signal audio devant apparaître sur les lignes téléphoniques
A169	/RVLC	miroir (réduit) de la tension sur la ligne de téléphone
A180	/LC	0V = décroché, 5V = accroché
A207		réaction pour tampon
A117	TXD-	signal inversé pour transmission au téléphone (non utilisé)
A131	VREF	tension de référence (2,5V pendant communications)
A115	CF2	filtre d'intégration de réaction interne
A102	CF1	filtre d'intégration de réaction interne
A178	RXI-	entrée réception inversée
A179	RXI+	entrée réception non inversée
A182		masse virtuelle de réaction
A162	5V-AMODEM	5V analogique
A228	GNDD	Masse
A103	EXTAL	entrée oscillateur à cristal : 24,576MHz
A086	XTAL	Oscillateur à cristal : 24,576MHz
A078	TEST2/RCLK	entrée 0V non utilisée
A074	/RTS	entrée 5V non utilisée
A069	HD5	ligne données 5 du modem
A084	HD6	ligne données 6 du modem
A085	HD7	ligne données 7 du modem
A203	/MODEM RESET	0V = remise à zéro CI pompe de données du modem
A100	HA0	ligne adresse 0 du modem
A105	HA1	ligne adresse 1 du modem
A101	HA2	ligne adresse 2 du modem
A089	/HIRQ	Demande interruption hôte
A088	/HRD	signal d'échantillonnage activation lecture hôte
A095	/HWR	signal d'échantillonnage activation écriture hôte
A083	HD0	ligne données 0 du modem
A076	HD1	ligne données 1 du modem
A082	/HCS	Sélection puce hôte
A094	XTAL1	entrée oscillateur à cristal : 14,7456MHz
A099	XTAL2	crystal oscillator: 14,7456MHz
A073	D4	ligne données 4 du modem
A072	D3	ligne données 3 du modem
A077	D2	ligne données 2 du modem
A113	RXD	5V RS232 du Mips au modem
TP900	/SHUNT	sortie du relais de shunt de composition par impulsion (non utilisée)
A114	TXD	5V RS232 à Mips du modem
A130	RING	entrée de détection de sonnerie
A149		tension de référence 0,65V

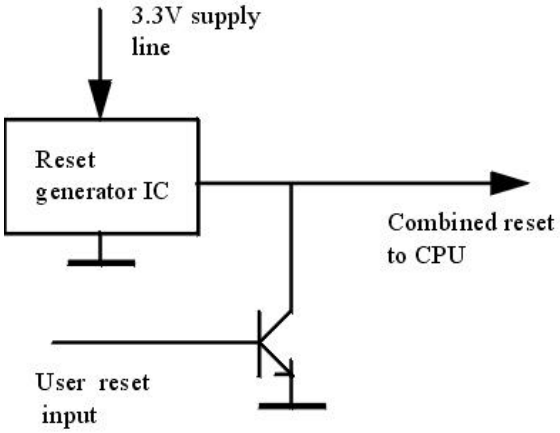
ID Point de test	Nom Réseau	Fonction
A148		miroir (réduit) de la tension sur la ligne de téléphone utilisé pour détecter le signal de sonnerie
A232	OFFHOOK	Détection téléphone parallèle décroché - impulsion 1s niveau bas = téléphone parallèle décroché
A126		
A233		Impulsion allongée de téléphone parallèle décroché
A174		Impulsion courte de téléphone parallèle décroché
A193	/OH	0V = décroché, 5V = accroché

CIRCUIT IMPRIMÉ DE DÉCODEUR MPEG ET AV/GRAPHIQUES

CIRCUIT DE REMISE À ZÉRO

La remise à zéro initiale à la mise sous tension (actif bas) est produite par IC202 qui surveille la ligne d'alimentation d'entrée 3V3, avec un seuil de 'remise à zéro' de 2,9V, ce signal est actif bas. La sortie du générateur est fonctionnellement 'OU' avec une entrée (active haute) par PL203 dans Q200, R207, R208 du processeur de fond de panier (STB ou IDTV) qui est capable de forcer une remise à zéro de l'UC si nécessaire. Un inverseur (IC210) est prévu, mais n'est pas utilisé à présent.

AGENCEMENT DU CIRCUIT DE REMISE À ZÉRO



Une fois que l'UC est remise à zéro, elle produit des remises à zéro par ses ports de sortie pour les autres composants des cartes COFDM et MPEG, synchronisés de manière à garantir le démarrage correct des circuits sur ces deux cartes (voir section UC). Elles sont utilisées pour :

- COFDM/FEC
- Codeur vidéo PAL
- Puce AV
- Puces A et B d'interface commune

OSCILLATEUR DE BASE DE TEMPS

Sur la carte MPEG, le système utilise une seule horloge de base de temps VCXO centrée à 27,000MHz. Elle est produite à l'aide d'un oscillateur à cristal Colpitt (R248, R242, R243, R244, R212, R213, R218, R214, R217, R215, R216, L202, C237, C220, C231, C215, C206, C207, C232, C233, C234, Q201, X200, D200, Q201). La fréquence est contrôlée par la diode variable (D200) avec son alimentation CC provenant de la sortie de la section filtre (R248, R244, R243, R242, C231, C215). L'oscillateur est verrouillé sur les données entrantes par le PLL du CI démux (voir ci-dessous). L'alimentation pour l'oscillateur est découplée via L202. La sortie de l'oscillateur de l'émetteur de Q201 est accouplée en CA et polarisée pour le tampon d'horloge suivant par C234, R215, R216.
La sortie de l'oscillateur est tamponnée et distribuée via le CI horloge (IC207) qui utilise des sorties séparées pour chaque composant de la charge. Les sorties sont utilisées pour :

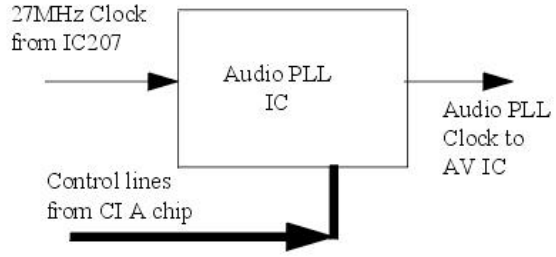
- UC / CI démux
- Interface commune A et B
- Décodeur AV
- Codeur vidéo
- PLL Audio
- IEEE1394 - cette fonction n'est pas actuellement disponible
- Contrôleur de DRAM externe - cette fonction n'est pas actuellement disponible
- Actuellement, 3 sorties du CI tampon d'horloge ne sont pas utilisées.

Le découplage local est utilisé (C271 - C274). Des résistances de terminaison d'horloge sont prévues sur chaque puce.

BOUCLE À VERROUILLAGE DE PHASE D'HORLOGE AUDIO

La fonction PLL de l'horloge du décodeur audio est assurée par IC220. Il utilise l'oscillateur 27MHz comme son entrée du tampon d'horloge et produit une sortie à la fréquence correcte pour l'horloge de suréchantillonnage audio à la puce AV (256 fois le taux d'échantillonnage audio) tel que signalé dans la transmission. La fréquence est contrôlée par 3 lignes statiques du CI A de

l'interface commune (IC400), voir tableau suivant. Une seconde sortie est disponibles à 1,862MHz pour un UART, mais celle-ci n'est pas utilisée. La puce est découplée par C276.
Schéma de la trajectoire du signal du CI PLL Audio

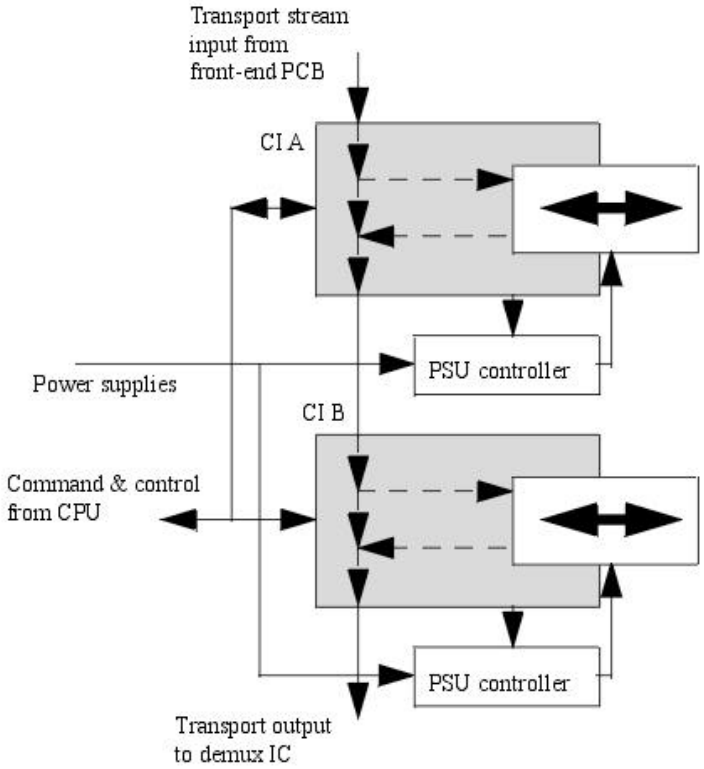


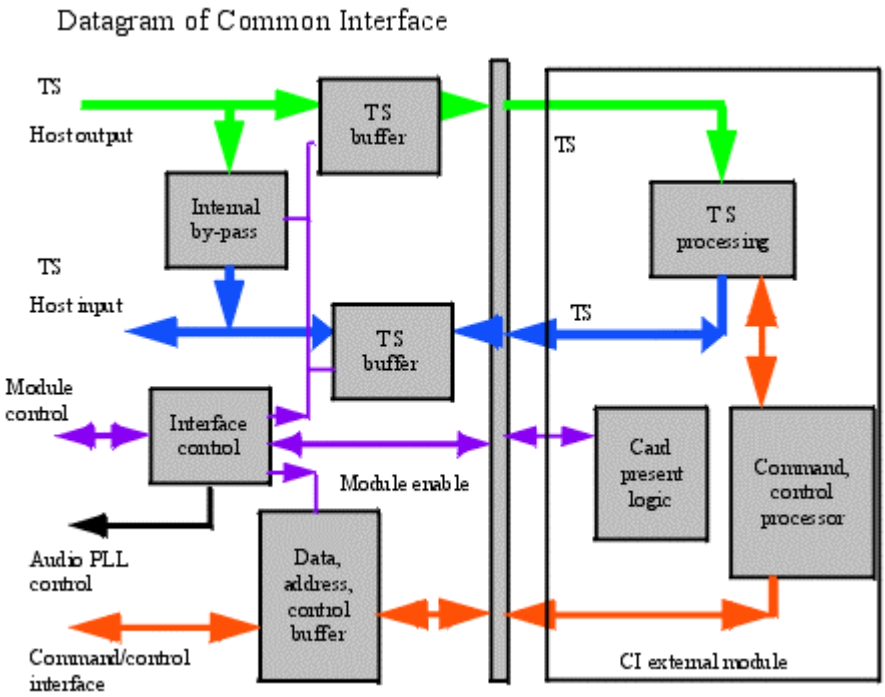
Les lignes de contrôle sont générées sur les broches de port de la puce d'interface commune A, leurs valeurs étant définies dans un des registres de commande de ce composant (voir section sur l'interface commune plus loin).
En supposant que la fréquence de référence d'entrée est 27MHz, le protocole de commande de ces lignes est tel que défini dans le tableau suivant :

Entrées de commande			Sortie horloge UART	Sortie horloge PLL Audio
FS2	FS1	FS0	(MHz)	(MHz)
0	0	0	Trois états	Trois états
0	0	1	1,8620	256 x 16,0kHz
0	1	0	1,8620	256 x 22,05Hz
0	1	1	1,8620	256 x 24,99kHz
1	0	0	1,8620	256 x 32,00kHz
1	0	1	1,8620	256 x 44,10kHz
1	1	0	1,8620	256 x 48,00kHz
1	1	1	Bas	Bas

Voir aussi le schéma de la section 'Décodeur AV' plus loin.
Circuits d'interface commune (IC)
La carte MPEG est équipée de deux prises d'interface commune CI A (IC400) et CI B (IC402). La mise en oeuvre de l'interface commune est assurée par deux composants Altera FPGA, un pour chaque port IC.

SCHÉMA DE PRINCIPE GÉNÉRAL DE L'ARCHITECTURE DE L'INTERFACE COMMUNE





L'interface commune A (CI A) est toujours installée, l'interface commune B (CI B) est un équipement optionnel. Si CI B n'est pas requise, elle peut être contournée par un réseau de résistances (R413 - R418, R421, R423 - R425) monté sur la carte pour acheminer le train de transport directement au CI démux.
Chaque puce contient les fonctions de circuit suivantes :

- Interface entre le bus UC et l'interface type 'PCMCIA' sur le module
- Contrôle d'acheminement du train de transport
- Contrôle du CI commutateur d'alimentation du module IC (IC401, IC403)
- Contrôle interne de l'empilage de registres

En outre, la puce CI A comprend :

- Provision pour une seconde entrée de train de transport et contrôle d'acheminement
- Décodage d'adresse pour produire des activations pour d'autres composants
- Contrôle du PLL audio

INITIALISATION

A la mise sous tension, les composants FPGA (Circuits prédiffusés programmables par l'utilisateur) doivent être configurés. Un bloc de code est transmis aux composants par l'horloge de l'UC en utilisant le port SC1 de l'UC (voir section plus loin), via les lignes de colloque et un registre de 'configuration' pour confirmer la programmation correcte des composants. Le code transféré peut être le même pour les cartes portant un ou deux composants, si le second FPGA n'est pas installé, le code supplémentaire est ignoré par le premier composant.
Bien que les FPGA soient des composants programmés, une fois programmés ils se comportent essentiellement comme du 'matériel' et seront donc appelés 'CI de contrôleur IC'.

STRUCTURE DU REGISTRE DE CONTRÔLE INTERNE

Ces deux composants sont connectés à l'UC via un bus de données 16 bits et un bus d'adresse 24 bits avec les lignes de commande et de colloque associées.
Le train de transport est acheminé dans les puces CI A et CI B selon un format de chaîne et alimenté à la section démux sur le CI UC/démux.
Chaque CI contrôleur IC a quatre registres internes pour permettre à l'UC de lire/configurer l'état de l'interface commune. Ces registres sont les suivants :

Registre	L/E	Bit							
		7	6	5	4	3	2	1	0
Etat	L	0	0	0	IRQ	VS2	VS1	CD2	CD1
Contrôle 0	L/E	X	L/ache	X	TsAB	En1	En0	Vcc3	Vcc5
Contrôle 1	L/E	X	X	S/cyc	E/S	Reg	I/face	Int	RàZ
Configuration	L	X	X	X	X	X	1	1	0

REGISTRES D'INTERFACE COMMUNE

REGISTRE D'ÉTAT
0 CD1 Détection carte 1
1 CD2 Détection carte 2
2 VS1 Sélection Tension 1 détermine la tension pour lecture/fonctionnement CIS
3 VS2 Sélection Tension 2 utilisée pour MCLKO dans CA
4 IRQ Contrôle interruption insertion/extraction de carte
5 X
6 X
7 X

REGISTRE DE CONTRÔLE 0
0 Vcc5En Sélection 5V pour alimentation carte PC
1 Vcc3En Sélection 3,3V pour alimentation carte PC
2 En0 Programmation contrôle volts
3 En1 Programmation contrôle volts
4 TsAB Sélection train de transport A ou B
5 X
6 L/acheminement Achemine T à carte CA
7 X

REGISTRE DE CONTRÔLE 1
0 RàZ Entrée RàZ carte PC
1 Int Interruption carte PC
2 I/face Active l'interface Commande & Contrôle de la carte PC
3 Reg Active le cycle REG#
4 E/S Sélection interface E/S
5 S/cyc Active le cycle VEILLE de 35 ns (sinon VEILLE 100ns) (cycle court)
6 X
7 X

CONFIGURATION
0 Ligne sélection PLL 0
1 Ligne sélection PLL 1
2 Ligne sélection PLL 2
3 X
4 X
5 X
6 X
7 X
X = Sans objet
Le registre d'état reflète l'état de l'interface avec le module IC pour l'UC à surveiller, les bits 5, 6, 6 sont connectées bas dans la configuration du composant et liront donc toujours '0'. Les registres de contrôle 0 et 1 permettent à l'UC de définir la fonctionnalité des composants, par exemple de réacheminer le train de transport par le module IC si nécessaire. Les bits 'sans objet' (X) doivent être écrites avec une valeur de '0' à l'initialisation. Le registre de configuration est inclus comme deuxième moyen pour l'UC de vérifier la programmation correcte de la logique interne et pour définir la fréquence de sortie du PLL audio. Les bits 3 à 7 sont affectées à la vérification de la configuration et ne sont pas utilisés (réglés à zéro). Les bits 0 à 2 sont utilisés pour porter les valeurs de configuration PLL (FS0 - FS2) pour lesquelles la valeur d'initialisation est 6, correspondant à la fréquence audio de 48kHz.
Les CI du contrôleur d'interface commune seront initialement alimentés directement en 5V, mais seront éventuellement remplacés par des composants en 3,3V. A l'exception des changements de l'alimentation locale (informations suivantes), le changement est invisible au système. Si les composants 3,3V sont utilisés, le régulateur de tension IC205 et ses composants associés (C275, C246) doivent être installés, et la dérivation R279 omise, tandis que pour les composants 5V, seule R279 doit être installée et le régulateur doit être omis. Toute la logique de sortie est 3V3, mais est conforme à 5V. Les seuils de logique sont tous TTL.

ACHEMINEMENT DU TRAIN DE TRANSPORT

Les CI du contrôleur d'interface commune permettent de sélectionner l'acheminement du train de transport (bits 4 et 6 du registre de contrôle 0) soit en mode dérivation (directement vers le CI démux), soit par la prise IC et la carte CA (et retour) si une carte a été insérée (bits 0 et 1 du registre Etat).
CI A peut accepter deux entrées de train de transport pour qu'à l'avenir il puisse être utilisé comme un composant d'acheminement si nécessaire.

INTERFACE DE CONTRÔLE ET DE COMMANDE

Elle permet un transfert de données et une interface de commande bidirectionnels entre l'UC et la carte CA insérée de manière que l'UC puisse communiquer avec les CI du contrôleur d'interface commune, et donc un module CA inséré, et configurer l'acheminement du train de transport, le décryptage et l'évolution du logiciel. Ceci est exécuté par des cycles lecture/écriture 8 bits contrôlés par la logique interne du CI contrôleur d'interface commune, et surveillé par l'UC en vérifiant les bits relatives des registres de contrôle.

DÉCODAGE D'ADRESSE POUR CI B

L'activation de la puce pour CI B est générées par le décodage d'adresse dans CI A, ceci permet à l'UC de communiquer avec CI B et exécute des opérations CA (Accès conditionnel) similaires à celles de CI A. Les connexions aux bus de données et d'adresse sont communes aux deux composants.
La puce CI A fournit aussi les sorties de sélection de circuit d'adresse pour les options IEEE1394 et CPU DRAM, qui ne sont pas actuellement supportées par la construction de la carte.
Ce mappage d'adresse est détaillé dans la carte de mémoire de la section UC (voir plus loin).

SÉLECTIONNER DE TENSION DU MODULE IC

Ces broches de sortie contrôlent le réglage des tensions requises sur les lignes Vcc et Vpp pour la prise d'interface commune. La valeur sélectionnée dépend des broches 'VS' de l'interface du module et des informations de configuration du module IC lorsqu'inséré, et ces informations sont reflétées dans les bits 2 et 3 du registre d'état. Les valeurs employées pour contrôler les CI d'alimentation (IC401, IC403) sont stockées dans les bits 0 - 3 du registre de contrôle 0. IC401 pour CI A et IC403 pour CI B commutent la tension réelle des alimentations 5V et 3V3. IC401 et IC403 contrôlent intérieurement la surintensité et la synchronisation de la commutation de ces alimentations.

LIGNES DE SÉLECTION DE FRÉQUENCE POUR LE PLL ASSOCIÉ AUX PUCES UC/DÉMUX 64108 REV C.

Trois lignes de sélection sont utilisées sur CI A pour configurer la fréquence d'échantillonnage du PLL audio (bits 0 - 2 du registre de configuration).

CAPACITÉ DE TEST JTAG

Les puces d'interface commune ont une capacité de test JTAG. Elles sont configurées dans un système de test à 'une boucle' ou à 'deux boucles' avec d'autres puces sur la carte. De plus amples informations sont fournies à la section 'Test JTAG' (section 2.6) plus loin.

UC DU SYSTÈME PRINCIPAL / DÉMULTIPLEXEUR MPEG (IC200 / L64108)

GÉNÉRALITÉS

Ce CI assure quatre fonctions principales pour le système :

- UC du système principal
- Verrouillage des données entrantes sur l'horloge principale du système et génération de l'horloge 54MHz interne par PLL.
- Démultiplexage du train de transport et décodage SI
- Décodage de paquet et transfert de données AV à la puce AV
- Séparation des trains PES à sortir vers l'interface IEEE1394 (pour usage futur possible)

FONCTIONS UC

Voir aussi schéma de la section de démultiplexeur plus loin.
L'UC système fonctionne intérieurement en mode 32 bits à une vitesse d'horloge de 54MHz, mais avec un bus de données externe 16 bits (E-BUS) et une mémoire mappée par 24 lignes d'adresses fonctionnant à 27MHz. Sa fonction principale est la maintenance du flux du programme pour contrôler tous les composants requis pour la fonctionnalité du récepteur numérique. Il a une mémoire cache interne pour accélérer le traitement, et utilise une EDO DRAM (2Mo) externe comme espace de traitement principal. Un emplacement est prévu pour un mémoire flash de 4Mo sous forme de deux puces 1Mo x 16 bits. Le lancement du programme est initié par la remise sous tension principale.
L'exécution de cette fonction et l'utilisation des ressources du système nécessitent :

- Communications avec d'autres composants
- Communications série asynchrones utilisant le protocole RS232 - des UART embarqués sont utilisés pour communiquer avec le modem et le convertisseur de niveau RS232 externe sur la carte frontale COFDM via PL200, et avec le processeur de l'utilisateur par la Liaison Interprocesseur (IPL) sur PL203. Le fonctionnement de l'IPL est basé sur le protocole 'message et réponse', la référence, dans des circonstances normales, étant le processeur de l'utilisateur.
- Port de programmation pour les CI du contrôle d'interface commune (CI A et CI B) - ce port utilise les broches (SC1x) normalement affectées au second CI pilote de carte à mémoire, avec lignes horloge, données, accusé de réception, activation et état.
- I2C - l'UC a un périphérique intégré qui joue le rôle de référence pour le bus I2C pour tous les composants de la section numérique, à savoir :
- Codeur vidéo sur la carte MPEG
- Tuner sur la carte COFDM
- CI COFDM sur la carte COFDM
- CI FEC sur la carte COFDM
- NVM sur la carte COFDM

Des résistances de charge sont prévues sur la carte frontale sur le CI COFDM et le tuner, et sur le CI codeur vidéo (R532, R533) pour produire 5V.

- E-BUS donne un espace d'adresse de 2^{23} mappé comme dans le tableau au début de cette section dans la forme de16 bits de large pour communiquer avec et contrôler d'autres composants sur la carte, ce bus est utilisée sur la carte MPEG, par :

- Mémoire flash - deux positions de puce sont disponibles sur la carte, mais actuellement une seule puce de 1 M x 16 bits est employée. Ces positions peuvent accepter des puces flash de 512k x 16 bits ou 1M x 16 bits opérant selon le protocole et les connexions AMD.
- CI d'interface commune (IC) - le ou les deux composants installés utilisent E-BUS tant comme contrôle que comme contrôle d'interface/données avec l'UC.
- Décodeur AV (Audio/Vidéo) - E-BUS est utilisé pour transférer les échantillons audio-vidéo du démux au décodeur AV, et pour les communications de contrôle nécessaires.
- Interface série rapide IEEE1394, IC600, IC601 (par supportée actuellement)
- Contrôleur DRAM externe IC700 / IC701 (pas supporté actuellement)
- Port de carte à mémoire - le port principal de commande de carte à mémoire (SC0x) est utilisé pour transporter les commandes bas niveau pour la carte à mémoire AC (Accès Conditionnel) - remise à zéro, E/S des données, etc. Ces lignes sont protégées par des réseaux de résistances / diodes (R257 - R262, R266, D201 - D206, D209) et reliées à la carte de circuits imprimés de carte à mémoire qui est montée dans la section analogique via PL204.

L'UC possède un nombre de broches de port parallèles qui sont utilisées pour contrôler diverses fonction sur les cartes COFDM et MPEG, à savoir :

Identification de port	Entrée / Sortie	Fonction
GP1040	S	activation 22kHz pour usage QPSK
GP1041	S	TS/NPES
GP1042	S	Protection d'écriture NVM
GP1043	S	Remise à zéro pour CI du codeur PAL et du décodeur AV
GP1044	E	ROM_SIZE : broche d'entrée de détection
GP1045	S	Remise à zéro carte frontale
GP1046	S	Impulsion de remise à zéro pour porte horloge 18MHz sur carte frontale
GP1047	S	Remise à zéro des CI d'interface commune
GP1048	S	Remise à zéro pour puce IEEE1394
GP1049	E	Entrée modem décroché

- Contrôle de mémoire UC locale
- Internal cache – this is internal to the CPU
- Contrôle de DRAM - l'UC a une interface de contrôle spéciale pour la DRAM principale Une adresse pour 16Mbit (IC201) est prévue et une DRAM type EDO est utilisée.

Le décodage d'adresse dans CI A (basé sur CS2) donne accès aux composants 'absence de CS' pour lesquels les sélections de puce sont générées dans le circuit CI A, la synchronisation de ces communications de données est alors fournie par les commandes DSACK.

Pour des raisons fonctionnelles, chaque groupe d'interruptions est constitué de paires, chacune représentant une entrée interne et une entrée externe (niveaux 12 dans 6), chaque pair d'interruptions est affectée à un groupe, et les groupes sont classés par priorité. Les interruptions système sont affectées comme suit :

Groupe	Fonction	Niveau / bord de déclenchement	Priorité
	INT 4 externe / NMI interne	Niveau	Supérieure
4	Minuterie (0-2) / RES	Sélectionnable	/\
3	INT 3 / Processeur PID externe	Sélectionnable	1
2	INT 2 / Télétexte / I2C / UART externe	Sélectionnable	1
1	INT 1 / Carte à mémoire externe	Sélectionnable	\/
0	INT 0 / 1284 externe	Sélectionnable	Inférieure

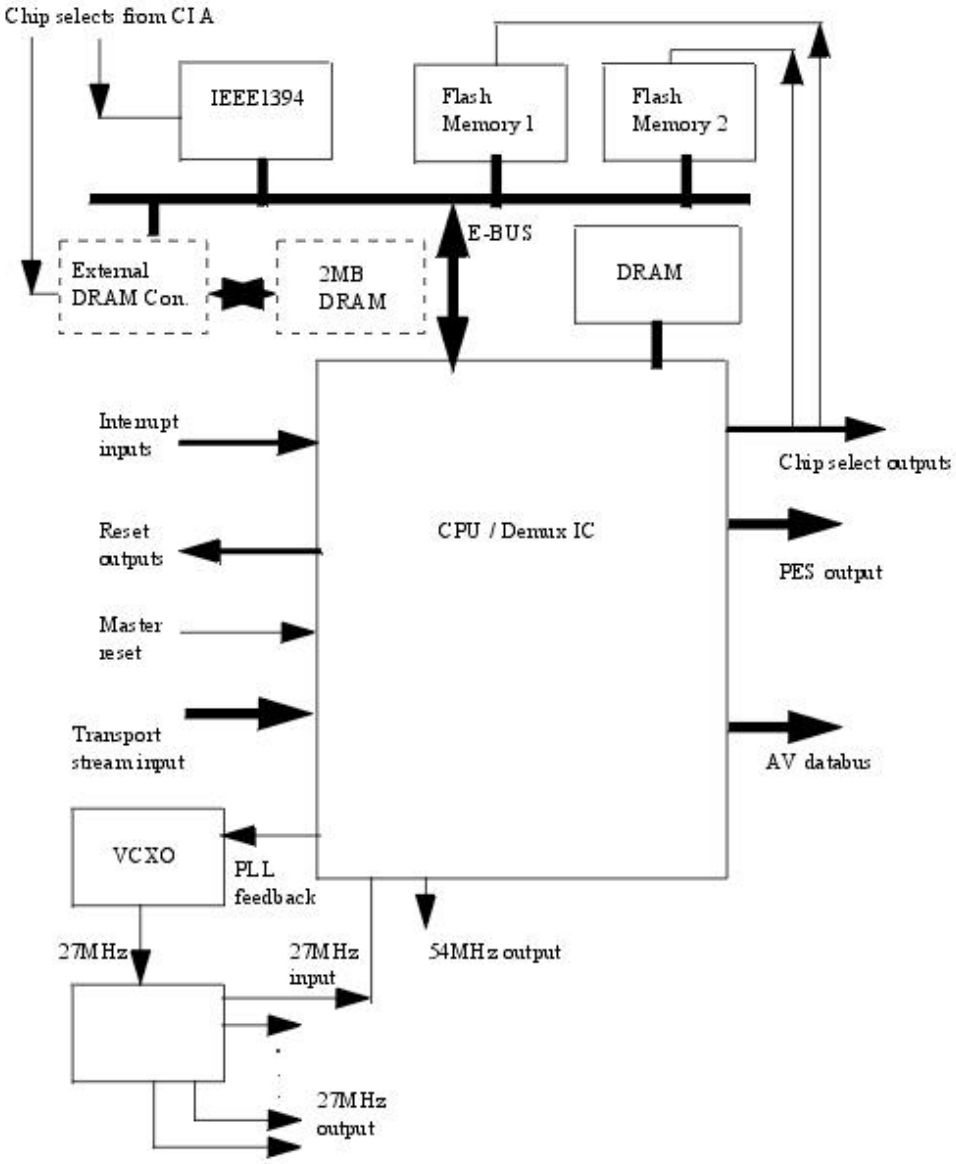
Les interruptions externes sont mappés comme suit :

- INT 4 EXTERNE:Contrôleur DRAM externe
- INT 3 EXTERNE:Interface commune B
- INT 2 EXTERNE:1394
- INT 1 EXTERNE:Interface commune A
- INT 0 EXTERNE:Décodeur A/V

NB : Les interruptions externes ont été réorganisées pour permettre le débogage sur IRQ 4 lorsque le contrôleur de DRAM n'est pas installé.
La mémoire interne est mappée comme suit :

Sélection puce	Usage	Adresse (hex)			
		100.0000			
	Registres internes				
		F0.0000			
	E/S interne				
		E0.0000			
CS0	Groupe flash 1 (2Mo) ou ROM d'amorçage				
		C0.0000			
CS1	Groupe flash 0 (2Mo)				
		A0.0000			
CS2	Interface commune A (2Mo)				
		80.0000			
Absence CS	Non affecté (4Mo)				
		40.0000	Mappage espace adresse périphérique 2Mo		
			Sélection Puce	Usage	Adresse (hex)
					40.0000
	Périphériques (2Mo)		Absence CS	(IEEE1394) (Contrôleur DRAM externe)	
					23.0000
	Cette zone est mappée		CS3	Décodeur puce AV	
	comme indiqué dans				22.0000
	le tableau de droite			Non affecté	
					20.2000
			Absence CS	Interface commune B	
					20, 0000
		20.0000			
	DRAM primaire (2Mo)				
		00.0000			

Architecture UC / Démux



HORLOGE ET PLL DU SYSTÈME PRINCIPAL

Les 27MHz du tampon d'horloge sont verrouillés en fréquence/phase sur le train de données entrantes à l'aide d'un PLL (IC206, RR225, R223, R222, R219, C210, C212, C208, C209, C211). L'alimentation locale est découplée par L200, C242 et R219 est utilisée pour isoler la section de masse locale.
L'UC utilise une horloge interne de 54MHz, qui est générée sur la carte à l'aide d'une boucle PLL 'x2' interne. Les 54MHz sont disponibles pour test sur la broche 20 / TP 218, par R209.

DÉMULTIPLEXAGE DU TRAIN DE TRANSPORT (L64108)

La fonctionnalité de cette section couvre :

- Analyse syntaxique des données SI du train de transport
- Extraction des paquets du train de transport pour les services vidéo et audio
- Tamponnage des données vidéo et audio dans la puce AV
- Extraction des paquets de données associés aux objets et images graphiques devant être affichées, ou exécutées
- Séparation des trains PES individuels

Cette section de l'interface commune contient les blocs de circuits fonctionnels assurant le traitement du train de transport pour extraire les informations nécessaires des paquets SI du train de transport et permettre le décodage direct du service.
Ceci implique l'analyse syntaxique des tableaux SI MPEG qui transportent toutes les informations concernant l'origine, le contenu, la synchronisation et le format des services du train de transport. La plus grande partie de ce traitement est exécutée dans le matériel sous le contrôle des tâches logicielles de l'UC.

Ayant extrait les informations permettant l'identification des composants du service, les composants vidéo et audio sont tamponnés prêts à être transmis à la puce AV pour décodage. Les composants de données (MHEG, télétexte, etc.) sont retirés du train de transport et décodés dans la DRAM à l'aide des ressources logicielles appropriées, par exemple expansion de mode point.
Les composants vidéo et audio sont transmis à la puce AV sur le bus AV, comme décrit à la section 'Puce AV'. La puce AV peut répondre aux signaux de demande vidéo et audio AV en permettant le passage des données lorsqu'exigé, ceci ne devrait pas normalement être requis.
La section démux peut aussi séparer les trains PES qui peuvent être sortis sur l'interface parallèle vers la section IEEE1394 (cette section IEEE1394 n'est pas actuellement supportée par le logiciel ou par le matériel).
Les données des images graphiques qui sont transmises comme des objets et décodées des paquets du train de transport sont transmises à la puce AV sur l'E-BUS comme des données en mode de transmission par paquets.

CAPACITÉ DE TEST JTAG

La puce UC/démux a une capacité de test JTAG. Elle peut être configurée dans un système de test à 'une boucle' ou à 'deux boucles' avec d'autres puces sur la carte. De plus amples informations sont fournies à la section 'Test JTAG' (section 2.5) plus loin.

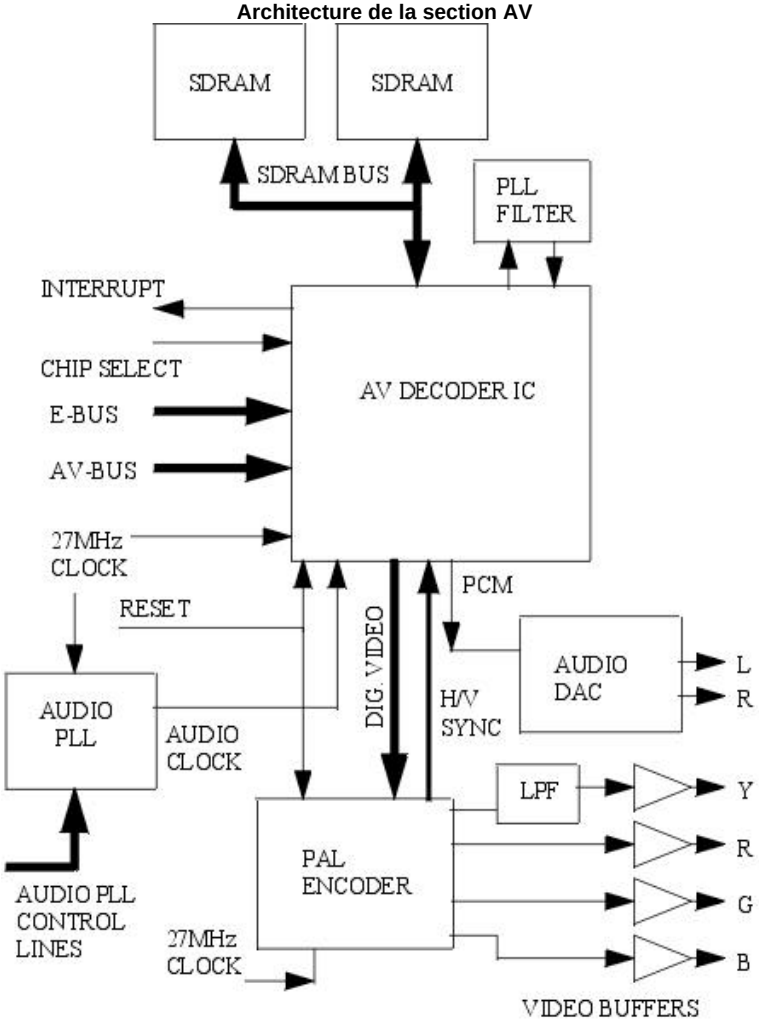
CI DE PROCESSEUR AV (L64105)

La puce utilise l'horloge du système principal à 27MHz de l'une des sorties du CI de tampon d'horloge.
Les signaux vidéo et audio sont transmis du CI démux à la puce AV sur le bus AV. Ils sont constitués de :

- données de 8 bits de large
- Validation d'échantillon vidéo
- Validation d'échantillon audio
- Demande d'échantillon vidéo
- Demande d'échantillon audio
- Ligne d'erreur

E-BUS est utilisé par l'UC pour contrôler la puce AV et transmettre les modes point des images graphiques devant être affichées.
Les données sont constituées d'échantillons audio et vidéo identifiés par des signaux 'valides'. Le système doit fonctionner de manière qu'un train de données audio et vidéo régulier, mais pas constant, soit transmis du démux à la puce AV. Si les données ne sont pas transmises assez rapidement, signalé par le contenu du tampon de la puce AV tombant en dessous d'un certain niveau, les lignes de 'demande' peuvent indiquer cette situation à l'UC et demander plus de données de ce type pour éviter le blocage de la puce AV.
A tout moment donné, la puce est capable de décoder une image vidéo animée et un service audio (mono, stéréo ou double mono) des informations du paquet transmis sur le bus AV par le CI démux. Les paquets sont décodés dans des tampons définis de la mémoire et le taux de lecture de décodage est contrôlé par les signaux de synchronisation contenus dans le signal (SCR, PCR, DTS, PTS). Les informations d'image vidéo doivent être disponibles pour reproduction dans le codeur vidéo à une cadence constante de 25 trames/s pour PAL.
La puce AV assure aussi la synchronisation audio-vidéo en utilisant les informations de synchronisation du train de transport et des en-têtes de paquet. Ceci garantit une bonne synchronisation de la parole à tout moment.
La zone de mémoire AV (32Mo de SDRAM) est utilisée pour 'construire' l'image vidéo complète, constituée des informations qui ont été décodées des données des paquets vidéo et tout graphisme ayant pu être généré par l'UC, par ex. menus, graphismes MHEG, etc. Les graphismes peuvent être présentés sous forme soit d'un 'graphisme seul' plein écran, soit comme un recouvrement de la vidéo en utilisant divers niveaux de transparence.

Architecture de la section AV



L'image vidéo peut être réduite soit de moitié, soit à un quart de sa taille dans la puce AV si nécessaire, avec un filtrage d'interpolation approprié pour éliminer autant que possible les produits ouvrés.
32Mo de SDRAM fonctionnant à 81MHz sont utilisés pour construire et stocker l'image de l'écran afin de transmettre les données au codeur vidéo à la fréquence de trame correcte. L'horloge 81MHz est générée dans la puce AV par un PLL 'x3', utilisant C114, C115, R107. Etant donné que la PLL est très sensible à tous signaux parasite, le découplage de l'alimentation locale est assuré par L100, C116, C125 et la zone de masse locale est isolée par R113.
Le contrôleur de SDRAM est une section spéciale de la puce AV. Les lignes de sélection de circuit, RAS, CAS, données et adresse sont produite de manière synchrone à l'horloge 81MHz pour les deux CI de mémoire.
Le bus de signal transmettant les données vidéo au codeur vidéo contient :

- échantillons vidéo de 8 bits de large
- Signal OSD
- Synchro horizontale et verticale

Les échantillons vidéo sont du format 4:2:2 et synchrones par rapport à l'horloge principale 27MHx, donnant un taux d'échantillonnage luma (Y) de 13,5MHz et un taux de 6,75MHz pour les composants chroma U et V. Le signal OSD est produit par la puce AV pour indiquer la présence de graphismes d'écran. Ceci n'est pas actuellement utilisé. Les signaux de synchronisation horizontale et verticale sont produits par le codeur vidéo, et le CI décodeur AV est piloté en mode asservi, ce sont tous les deux des signaux de synchro négatifs. Les informations pour l'affichage sont structurées par la puce AV dans un format entrelacé optimisé pour un affichage TV normal de 5 trames/s.
L'horloge de suréchantillonnage audio est générée par le CI PLL audio (IC220) et transmise aux broches ACLK_32, ACLK_48 et ACLK_441 de la puce AV. Elle est utilisée pour synchroniser le décodage et la lecture des données audio du CNA audio.
Les signaux de données audio sortent de la puce AV sous forme de PCM série, le bus comprend :

- Données série - canaux séquentiels gauche et droit (ASDATA)
- Horloge de synchronisation d'échantillon gauche/droit (LRCLK)
- Horloge de taux d'échantillonnage (BCLK)
- Horloge de référence de suréchantillonnage (A_CLK)

Ces signaux sont envoyés au CNA audio (voir plus loin).

CODEUR VIDÉO

Le CI (IC500) utilisé est un composant analogique type ADV7170A qui comprend une capacité Macrovision. Il est capable de produire des vidéo PAL ou NTSC avec télétexte VBI, légendes fermées (fonction NTSC) et insertion WSS. Dans cette application, nous utilisons la puce en mode PAL et nous utilisons l'option WSS sur la ligne de balayage 23 pour permettre aux télévisions qui répondent à cette option (y compris la section affichage TV des récepteurs de la série D8) de régler automatiquement la taille d'image optimale en fonction des informations ADF (Active Format Descriptor) transmises.
Le CI est alimenté en 3,3V, mais les tampons de transistor de sortie sont alimentés par une ligne analogique séparée de 9V directement à partir du fond de panier IDTV ou STB. Les 9V sont filtrés localement par L500, C500, C521, C525. L'alimentation du CI est filtrée par L501, C503, C514.
Elle est contrôlée par le bus I2C dans le module numérique, et la remise à zéro est générée par l'UC, en commun avec la puce AV, les résistances de charge sont R532, R533 et les résistance de protection série sont R508 et R510. R509 est installé pour configurer l'adresse I2C.
R507 est utilisé pour fournir les courants de référence du CNA pour donner l'amplitude de sortie correcte.
La puce utilise l'horloge principale 27MHz comme référence pour le traitement des données vidéo entrantes, qui provient du CI tampon d'horloge.
L'entrée vidéo est sous une forme 4:2:2 à 8 bits parallèle du codeur AV synchronisé par rapport à l'horloge principale 27MHz.
Les sorties sont composites (CVBS), rouge (R), vert (G) et bleu (B), qui sont tamponnées sur le port de sortie vidéo par les tampons à transistor (Q500 - Q503, R522, R516, R17, R505, R506, R504, R514, R517, R513, R520, R519, R521). Un filtre supplémentaire (C501, C518, C519, L502, L503) est utilisé dans la ligne composite pour réduire tous produits pseudonymes, de manière à ce que la vidéo convienne à un poste de télévision dans lequel le traitement numérique est appliqué. Les sorties vidéo sont de plus filtrées sur les broches de sortie de PL501 pour assurer la protection EMC/ESD.
Le système fonctionne avec le codeur PAL en mode de référence, c'est-à-dire qu'il fournit la synchronisation horizontales et verticale au décodeur AV.
Les informations WSS sont transmises au codeur vidéo par le démux sous forme I2C pour insertion dans la ligne 23 du train composite. Ces informations sont transmises au CI par l'UC sur le bus I2C.
Il y a des connexions de données et d'horloge à l'UC de manière à ce que le VBI World Standard Télétexte (WST) puisse être supporté, mais cette fonction n'est pas actuellement utilisée.

CNA AUDIO (CONVERTISSEUR NUMÉRIQUE ANALOGIQUE)

Le CI (IC501) est du type cristal CS4334, alimenté en 5V pour donner suffisamment d'espace pour une sortie audio au niveau SCART total sans distorsion. L'alimentation 5V est découplée localement par L505, CC508, C509, C522, C524.
Les données séries PCM (ASDATA), l'horloge d'échantillonnage (LRCLK), l'horloge de bit (BCLK) et l'horloge de référence de suréchantillonnage (A_CLK) sont transmises par le CI décodeur AV au CNA audio.
Les sorties sont des sorties audio stéréo (gauche/droite) filtrées par R511, R500, C504, C505 à la sortie (PL500) pour assurer une certaine protection ESD et contre les interférences.
Il n'y a aucune fonction de contrôle ou de remise à zéro sur le CNA. La sortie est par PL500.

CONTRÔLEUR DE DRAM EXTERNE (IC700, IC701)

GÉNÉRALITÉS

La carte de circuits imprimés est dotée d'un contrôleur de DRAM externe mappé sur l'E-BUS. La sélection de circuit pour cette fonction est assurée par le CI de l'interface commune A. Ceci permet au bus de données de 16 bits de large et au bus d'adresse 24 bits de contrôler une DRAM EDO de 2Mo supplémentaire. Elle utilise IC700, IC701 et leurs composants associés, mais n'est pas utilisée actuellement.

DESCRIPTION DU CIRCUIT

Un composant Altera (série 7128) est utilisé pour cette fonction. Il utilise E-BUS comme bus de données principal, et une sélection de circuit mappée à partir de la puce CI A. La DRAM supportée est une DRAM EDO de 2Mo (1M x 16 bits) similaire à celle supportée par l'UC principale.
Elle est installée pour couvrir des exigences futures possible mais elle n'est pas utilisée actuellement.

CAPACITÉ DE TEST JTAG

La puce Altera utilisée comme contrôleur de DRAM externe a une fonction de test JTAG. Elle peut être configurée dans un système de test à 'une boucle' ou à 'deux boucles' avec d'autres puces sur la carte. De plus amples informations sont fournies à la section 'Test JTAG' plus loin.

INTERFACE IEEE1394 (IC600, IC601)

GÉNÉRALITÉS

IEEE1394 est un bus série rapide conçu pour fonctionner à des débits binaires de 100Mo/s, 200Mo/s et 400Mo/s. Il est capable de transmettre sur des longueurs de câble relativement longues, par exemple, entre salles, et est donc employé pour transmettre des trains de transport complets ou partiels de et vers des équipements d'affichage et des sources, par exemple des magnétoscopes numériques.
La carte est dotée d'une interface IEEE1394 avec deux positions de prise. Ceci nécessite deux CI Texas Instruments, un puce de couche liaison de données mappée sur l'E-BUS, et une puce de couche physique. Il est conçu pour utiliser une sélection de circuit fournie par lE CI de l'interface commune A.
Le circuit requis est IC600, IC601 et leurs composants associés.

DESCRIPTION DU CIRCUIT

Une puce conçue par Texas Instruments a été incorporée pour cette fonction. Elle est constituée d'une couche de liaison (IC600) qui fait essentiellement partie de la conversion de protocole de données entre le contrôleur et la source de données (l'UC MPEG), et une couche physique (IC601) qui communique avec le monde extérieur par CN601, CN602 pour fournir une liaison de données série bidirectionnelle à haute vitesse.
Une option d'isolation CC est fournie par l'interface capacitive entre ces CI.
Cette interface n'est pas installée sur les cartes pour le moment.

CAPACITÉ DE TEST JTAG

La puce de couche de liaison a une capacité de test JTAG. Elle peut être configurée dans un système de test à 'une boucle' ou à 'deux boucles' avec d'autres puces sur la carte. De plus amples informations sont fournies à la section 'Test JTAG' suivante.

TEST JTAG

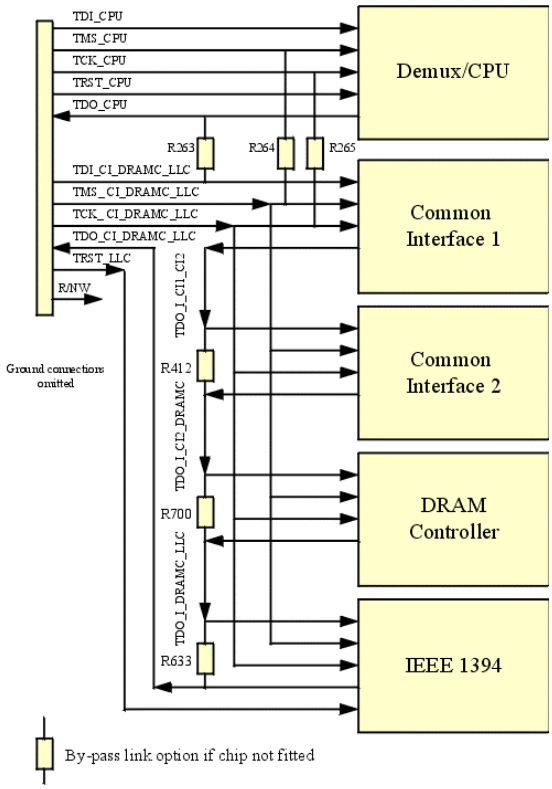
Un port a été prévue sur la carte pour permettre le test JTAG complet de certains composants. A savoir :

- UC /Démux
- Puces A et B d'interface commune
- Contrôleur de DRAM externe (pas utilisé actuellement)
- Contrôleur de couche de liaison IEEE1394 (pas utilisé actuellement)

Il y a cinq lignes associées aux communications JTAG. A savoir :

- TDIdonnées entrant dans la puce
- TDOdonnées sortant de la puce (trajectoire retour)
- TMSSélection mode test
- TCKligne horloge passant la chaîne de données dans les composants
- TRSTremise à zéro du mode test, pas utilisée par tous les composants.

Les quatre premières sont utilisées par toutes les puces, et la remise à zéro par l'UC/démux et IEEE1394 seulement.
Il est possible d'utiliser les méthodes de test JTAG pour la plus grande partie de la carte MPEG terminée. JTAG, aussi appelé test d'analyse de limites, est une méthode qui consiste à charger des trains de bits de test dans les puces en mode série en utilisant une horloge mode test synchronisée aux données par l'intermédiaire d'un port spécial, de manière à forcer les broches E/S dans des états connus et de lire les effets. Pour cela, un mode test doit être sélectionné sur la puce.
L'accès et la fonctionnalité de la DRAM et de la mémoire flash associées à l'UC peuvent être testés en employant cette méthode, et le code peut être téléchargé dans les puces de mémoire flash. Cette opération est rendue plus efficace par l'emploi de la ligne R/NW de l'UC pour réduire le nombre de cycles requis pour exécuter la lecture/écriture sur les composants.
Le bus série est structuré en 2 parties, une pour l'UC/démux seulement, et la seconde pour tous les autres composants. Ceci permet un téléchargement de la puce flash par la liaison JTAG plus efficace étant donné que la chaîne est plus courte. Des options de liaison à résistances zéro ohm sont prévues pour connecter les 2 boucles ensemble à toutes les puces en série si le chargement du code JTAG dans la puce flash n'est pas requis.
Le code test JTAG devra être modifié si certaines puces doivent être omises des boucles.
Les noms de réseau utilisés sur le schéma ci-joint sont ceux que nous avons utilisé sur les schémas de principe, et le connecteur de programmation est à 14 voies, et est doté de 3 masses. Des résistances de charge de 10k ont été omises du schéma sur les lignes suivantes :
R271 TDI_CPU
R272 TMS_CPU
R273 TRST_CPU
R274 TDI_CI_DRAMC_LLC
R276 TMS_CI_DRAMC_LLC
avec un réseau de terminaison d'horloge installé, constitué de 68R et 100pF en série avec la masse sur les lignes suivantes :
R274/C261 TCK_CPU
R277/C262 TCK_CI_DRAMC_LLC
Cette fonction est connectée de manière à pouvoir être configurée en boucle simple séquentiellement à travers tous les composants, avec les liaison R263, R264 et R265 installées, ou en deux boucles, couvrant l'UC/démux seulement dans une boucle et les autres CI dans l'autre. Les résistances R412, R633 et R700 sont installées seulement si la puce associée est omise.



POINTS DE TEST SUR LA CARTE MPEG

Point de test	Nom Réseau	Fonction
Page 1	Section AV	
TP100	AV_D7	SDRAM données 7
TP101	AV_D6	SDRAM données 6
TP102	AV_D5	SDRAM données 5
TP103	AV_D4	SDRAM données 4
TP104	AV_D3	SDRAM données 3
TP105	AV_D2	SDRAM données 2
TP106	AV_D1	SDRAM données 1
TP107	AV_D0	SDRAM données 0
TP108	AV_DEMUX-AV_0	Vidéo et audio multiplexés (Démux à AV) b0
TP109	AV_DEMUX-AV_1	Vidéo et audio multiplexés (Démux à AV) b1
TP1010	AV_DEMUX-AV_2	Vidéo et audio multiplexés (Démux à AV) b2
TP1011	AV_DEMUX-AV_3	Vidéo et audio multiplexés (Démux à AV) b3
TP1012	AV_DEMUX-AV_4	Vidéo et audio multiplexés (Démux à AV) b4
TP1013	AV_DEMUX-AV_5	Vidéo et audio multiplexés (Démux à AV) b5
TP1014	AV_DEMUX-AV_6	Vidéo et audio multiplexés (Démux à AV) b6
TP1015	AV_DEMUX-AV_7	Vidéo et audio multiplexés (Démux à AV) b7
TP116	/AV_DEMUX-AV_ERR	Indication erreur de données
TP117	AV_DEMUX-V_AVALID	Echantillon vidéo valide
TP118	AV_DEMUX-V_VVALID	Echantillon vidéo valide
TP119	/AV_DEMUX-AV_VREQ	Demande d'échantillons vidéo
TP120	/AV_DEMUX-AV_AREQ	Demande d'échantillons audio
TP182	TOS	Fonction de test
TP181	MOT / NOT INTEL	Mode bus - Motorola (haut) / Intel (bas)
TP121	CLK_27_8	Entrée horloge 27MHz dans puce AV
TP122	/AV_RESET	Remise à zéro puce AV (active bas)
TP123	/INT_AV	Interruption à UC de la puce AV (active bas)
TP124	/DSACK0	Ligne de contrôle synchronisation de transfert de bus
TP125	R/NW	Lecture (haut) / écriture (bas)
TP126	/DS	Echantillonnage données (actif bas)
TP127	/AS	Echantillonnage adresse (actif bas)
TP128	/CS_AV	Sélection puce AV (active bas)
TP129	/VSYNC_AV	Synchro verticale dans puce AV (active bas)
TP130	/HSYNC_AV	Synchro horizontale dans puce AV (active bas)
TP131	OSD	Indicateur présence affichage sur écran (actif haut)

Point de test	Nom Réseau	Fonction
TP132	YC7_AV	Sortie vidéo 7 vers CI codeur
TP133	YC6_AV	Sortie vidéo 6 vers CI codeur
TP134	YC5_AV	Sortie vidéo 5 vers CI codeur
TP135	YC4_AV	Sortie vidéo 4 vers CI codeur
TP136	YC3_AV	Sortie vidéo 3 vers CI codeur
TP137	YC2_AV	Sortie vidéo 2 vers CI codeur
TP138	YC1_AV	Sortie vidéo 1 vers CI codeur
TP139	YC0_AV	Sortie vidéo 0 vers CI codeur
TP140	PLL_ACLK	Entrée horloge suréchantillonnage audio PCM du CI PLL
TP141	A_CLK	Sortie horloge suréchantillonnage audio PCM
TP142	BCLK	Horloge audio débit binaire échantillon PCM
TP143	LRCLK	Signal ID échantillon audio gauche/droit PCM
TP144	ASDATA	Données audio PCM
TP179	SCAN_TE	Entrée de test
TP183	ZTEST	Entrée de test
TP145	AV_D15	SDRAM données 15
TP146	AV_D14	SDRAM données 14
TP147	AV_D13	SDRAM données 13
TP148	AV_D12	SDRAM données 12
TP149	AV_D11	SDRAM données 11
TP150	AV_D10	SDRAM données 10
TP151	AV_D9	SDRAM données 9
TP152	AV_D8	SDRAM données 8
TP180	SCLK	SDRAM horloge 81MHz direct de la puce AV
TP173	SCLK_B	SDRAM horloge 81MHz après résistance de liaison
TP153	AV_A9	SDRAM adresse 9
TP154	AV_A8	SDRAM adresse 8
TP155	AV_A7	SDRAM adresse 7
TP156	AV_A6	SDRAM adresse 6
TP157	AV_A5	SDRAM adresse 5
TP158	AV_A4	SDRAM adresse 4
TP159	AV_A3	SDRAM adresse 3
TP160	AV_A2	SDRAM adresse 2
TP161	AV_A1	SDRAM adresse 1
TP162	AV_A0	SDRAM adresse 0
TP163	AV_A10	SDRAM adresse 10
TP164	AV_A11	SDRAM adresse 11
TP165	/BCS1	SDRAM sélection de circuit 1
TP166	/BCS0	SDRAM sélection de circuit 0
TP167	/BRAS	Contrôle RAS SDRAM
TP168	/BCAS	Contrôle CAS SDRAM
TP169	/BWE	Activation écriture SDRAM
TP170	DQM	Masque de contrôle de données SDRAM
TP171	LP2	Contrôle PLL
TP174	PLLVDD	Alimentation locale boucle à verrouillage de phase 81MHz
TP172	PLLVSS	Masse locale PLL 81MHz
TP178	LP2 (via résistance)	Contrôle PLL
TP177	GNDD	Masse numérique
TP175	CKEA0	Activation horloge, SDRAM 0
TP176	CKEA1	Activation horloge, SDRAM 1
Page 3	UC /Démux	
TP1155	5V M-PEG	Tension d'alimentation 5V MPEG
TP1040	5V_OSC	Tension d'alimentation 5V à tension oscillateur 27MHz
TP257	MCLK_SDC	Réaction oscillateur 27MHz
TP243	27MHzCLK	Horloge 27MHz
TP1034	27MHz OSC2	Cristal oscillateur 27MHz
TP1032	27MHz OSC1	Cristal oscillateur 27MHz
TP256	27MHzOUT	Collecteur sortie oscillateur 27MHz
TP254	CLK_27_OSCOUT	Sortie polarisée horloge oscillateur 27MHz vers CI tampon
TP997	CLK_27_0	Sortie 0 horloge oscillateur 27MHz
TP229	CLK_27_1	Sortie 1 horloge oscillateur 27MHz
TP998	CLK_27_2	Sortie 2 horloge oscillateur 27MHz
TP999	CLK_27_3	Sortie 3 horloge oscillateur 27MHz
TP263	CLK_27_4	Sortie 4 horloge oscillateur 27MHz
TP262	CLK_27_5	Sortie 5 horloge oscillateur 27MHz

Point de test	Nom Réseau	Fonction
TP226	CLK_27_6	Sortie 6 horloge oscillateur 27MHz
TP225	CLK_27_7	Sortie 7 horloge oscillateur 27MHz
TP224	CLK_27_8	Sortie 8 horloge oscillateur 27MHz
TP223	CLK_27_9	Sortie horloge oscillateur 27MHz vers PLL UC
TP1067	PDATA_DIR	Contrôle pour bus données parallèles
TP218	MCLK_54	Sortie horloge 54MHz après résistance
TP1061	MCLK_54_CPU	Sortie horloge 54MHz direct sur CI
TP1137	TCK_CPU	Horloge JTAG vers UC
TP1141	TCK_CPU	Horloge JTAG vers UC
TP264	TDI_CI_DRAMC_LLC	Entrée donnée JTAG vers DRAM
TP265	TMS_CI_DRAMC_LLC	Configuration mode test JTAG pour contrôleur DRAM / puce LLC IEEE1394
TP266	TDO_CI_DRAMC_LLC	Sortie données JTAG
TP267	TCK_CI_DRAMC_LLC	Entrée horloge JTAG
TP268	TRST_LLC	Entrée remise à zéro JTAG
TP215	TDI_CPU	Entrée donnée JTAG vers UC
TP214	TDO_CPU	Sortie donnée JTAG vers UC
TP213	TMS_CPU	Configuration mode test JTAG pour UC
TP212	TCK_CPU	Horloge JTAG vers UC
TP211	TRST_CPU	Remise à zéro JTAG vers UC
TP234	MPEG_TO_USER_IPL_B	Liaison de données MPEG à interprocesseur utilisateur
TP235	USER_TO_MPEG_IPL	Liaison de données utilisateur à interprocesseur MPEG
TP220	18M_CLOCK_RESET	Remise à zéro horloge 18MHz
TP201	/CI_RESET	/CI_RESET
TP203	/1EEE1394_RESET	/1EEE1394_RESET
TP219	/OFFHOOK	Détection non décroché
TP249	/PALENC_AV_RESET	Remise à zéro codeur PAL
TP248	NVM_WP#	Protection d'écriture NVM
TP995	22KHZ_EN	Broche activation 27MHz
TP216	TS/NPES	Sélection train de transport
TP1105	ROM_SIZE	ROM_SIZE
TP233	/TS	Sélection train élémentaire de paquet
TP1152	GNDD	Masse numérique
TP1041	USER_RESET	USER_RESET (de PLL)
TP221	/RESET	Remise à zéro non MPEG
TP244	MPEG_RESET	MPEG_RESET
TP1097	USER_RESET	commande de base pour remise à zéro utilisateur (de IPL)
TP217	/USER_RESET_B	Remise à zéro non utilisateur (de IPL)
TP1113	SC_DET_B	Détection carte à mémoire B
TP1104	SC0_C4	Sortie 4 carte à mémoire
TP1103	SC_RST0	Remise à zéro carte à mémoire
TP1075	SC_DETECT0	Détection carte à mémoire O
TP1081	SC_CLK0	Sortie horloge carte à mémoire
TP1102	SC0_C8	Sortie 8 carte à mémoire
TP1037	/CS_EPROM	EPROM non sélection de circuit
TP1052	/OE_ROM	Activation sortie non ROM
TP1151	GNDD	Masse numérique
TP227	RY/NBY1	Flash 1 prête / non occupée
TP228	RY/NBY0	Flash 0 prête / non occupée
TP1100	/CS_FLASH0	Sélection non circuit flash 0
TP1048	/CS_FLASH1	Sélection non circuit flash 1
TP232	SC1_I/O	Entrée/sortie 1 carte à mémoire
TP250	/CS_008	Non sélection de circuit 008
TP251	/BREQ	Demande de bus
TP252	/BGACK	Accusé d'accord de bus
TP253	/INT_CI1	Interruption interface commune 1
TP255	/INT_1EEE1394	Interruption IEEE1394
TP258	/INT_CI2	Interruption interface commune 2
TP259	/INT_DRAMC	Interruption contrôleur DRAM
TP260	/DMACK	Accusé de réception DMA
TP261	/RESET	Non remise à zéro
TP1156	ACLK	Horloge de suréchantillonnage
TP1150	/DMREQ	Demande DMA
TP231	/CS0	Non sélection de circuit 0
TP1106	/CS1	Non sélection de circuit 1
TP204	/STROBE	Echantillon données IEEE1284/IEEE1394
TP210	/AUTOFD	Commande à usage général IEEE1284

Point de test	Nom Réseau	Fonction
TP202	/INIT	Initialisation de périphérique IEEE1284
TP209	/SELECTIN	Indicateur de sélection de périphérique IEEE1284
TP269	1394OUT7	1394 SORTIE 7
TP208	/1394OVAL	Sortie 1394 non valide
TP207	BUSY	Périphérique IEEE1284 occupé
TP206	PERROR	Erreur de périphérique IEEE1284
TP205	SELECT	Sélection de périphérique IEEE1284/IEEE1394
TP200	/NFAULT	Faute de périphérique IEEE1284
TP230	MODEM_DTR	Modem Terminal de données prêt
TP236	MODEM_CTS	Modem prêt à envoyer
TP237	MODEM_DSA	Modem prêt
TP238	MODEM_TO_CPU	Données modem à UC
TP239	CPU_TO_MODEM	Données UC à modem
TP240	MODEM_RTS	Modem prêt à envoyer
TP241	RS232_RX	Réception RS232
TP242	RS232_TX	Transmission RS232
TP1063	RS232_RTS	RS232 prêt à envoyer
TP1062	RS232_CTS	RS232 prêt à émettre
TP293	PD_A4	DRAM adresse 4
TP292	PD_A5	DRAM adresse 5
TP291	PD_A6	DRAM adresse 6
TP290	PD_A7	DRAM adresse 7
TP289	PD_A8	DRAM adresse 8
TP288	/PD_RAS1	Non DRAM adresse rangée 1
TP287	/PD_CAS0H	Non DRAM adresse colonne haute
TP286	/PD_CAS0L	Non DRAM adresse colonne basse
TP285	PD_D8	DRAM données 8
TP284	PD_D9	DRAM données 9
TP283	PD_D10	DRAM données 10
TP282	PD_D11	DRAM données 11
TP281	PD_D12	DRAM données 12
TP280	PD_D13	DRAM données 13
TP279	PD_D14	DRAM données 14
TP278	PD_D15	DRAM données 15
TP270	PD_D0	DRAM données 0
TP271	PD_D1	DRAM données 1
TP272	PD_D2	DRAM données 2
TP273	PD_D3	DRAM données 3
TP274	PD_D4	DRAM données 4
TP275	PD_D5	DRAM données 5
TP276	PD_D6	DRAM données 6
TP277	PD_D7	DRAM données 7
TP294	PD_A0	DRAM adresse 0
TP295	PD_A1	DRAM adresse 1
TP296	PD_A2	DRAM adresse 2
TP297	PD_A3	DRAM adresse 3
TP246	/PD_WEO	Non activation écriture DRAM
TP247	/PD_RAS0	Non DRAM rangée adresse 0
TP1074	ZTEST	Broche de test LSI
TP1069	LP2	Filtre passe-bas de générateur d'horloge UC
TP222	LP2	Filtre passe-bas de générateur d'horloge UC
TP299	PLLAGNDD	Masse PLL
TP298	PLLVDD_P	Alimentation 3V3 PLL
TP1153	3V3_MPEG	Tension d'alimentation 3V3 MPEG
TP1078	OPAMP	Référence Amp. Op.
TP245	IREF	Entrée Amp. Op. (de UC)
Page 4	Interface commune	
TP316	TS/NPES	Sélection train de transport
TP363	1394OUT0	1394 sortie 0
TP362	1394OUT1	1394 sortie 1
TP361	1394OUT2	1394 sortie 2
TP360	1394OUT3	1394 sortie 3
TP359	1394OUT4	1394 sortie 4
TP358	1394OUT5	1394 sortie 5
TP357	1394OUT6	1394 sortie 6

Point de test	Nom Réseau	Fonction
TP356	1394OUT7	1394 sortie 7
TP435	/STROBE	Echantillon données IEEE1284/IEEE1394
TP436	SELECT	Sélection de périphérique IEEE1284/IEEE1394
TP437	ERROR	Erreur de périphérique IEEE1284/IEEE1394
TP424	TS_CI_DEMUX_0	MPEG Transport 0
TP425	TS_CI_DEMUX_1	MPEG Transport 1
TP426	TS_CI_DEMUX_2	MPEG Transport 2
TP427	TS_CI_DEMUX_3	MPEG Transport 3
TP428	TS_CI_DEMUX_4	MPEG Transport 4
TP429	TS_CI_DEMUX_5	MPEG Transport 5
TP430	TS_CI_DEMUX_6	MPEG Transport 6
TP431	TS_CI_DEMUX_7	MPEG Transport 7
TP432	TS_CI_DEMUX_CLK	Horloge transport
TP433	TS_CI_DEMUX_VALID	Transport valide
TP434	TS_CI_DEMUX_ERR	Erreur transport
TP448	SW_PES_ERR	Erreur transport interrupteur présent
TP447	SW_PES_EN	Activation transport interrupteur présent
TP446	SW_PES_CLK	Horloge transport interrupteur présent
TP445	SW_PES_7	Transport interrupteur présent 7
TP444	SW_PES_6	Transport interrupteur présent 6
TP443	SW_PES_5	Transport interrupteur présent 5
TP442	SW_PES_4	Transport interrupteur présent 4
TP441	SW_PES_3	Transport interrupteur présent 3
TP440	SW_PES_2	Transport interrupteur présent 2
TP439	SW_PES_1	Transport interrupteur présent 1
TP438	SW_PES_0	Transport interrupteur présent 0
TP318	CD2#_B	Non détection carte CI 2
TP319	101S16#_	Non accès données 8 ou 16 bits
TP320	MDO2_B	Sortie données train de transport bit 2
TP321	D2_B	CI 2 Bus données bit 2
TP322	MDO1_B	Sortie données train de transport bit 1
TP323	D1_B	CI 2 Bus données bit 2
TP324	MDO0_B	Sortie données train de transport bit 0
TP325	D0_B	CI 0 Bus données bit 0
TP326	MOSTR0_B	Début paquet sortie train de transport
TP327	A0_B	CI 2 Bus adresse bit 0
TP328	MOVAL_B	Paquet sortie train de transport valide
TP329	A1_B	CI 2 Bus adresse bit 1
TP330	REG#_B	CI 2 Sélection registre
TP331	A2_B	CI 2 Bus adresse bit 2
TP332	INPACK#_B	CI 2 Accusé transfert de données
TP333	A3_B	CI 2 Bus adresse bit 3
TP334	WAIT#_B	CI 2 Transfert de données étendu
TP335	A4_B	CI 2 Bus adresse bit 4
TP336	RESET_B	CI 2 remise à zéro module UC
TP337	A5_B	CI 2 Bus adresse bit 5
TP338	MCLKO_B	CI 2 Sortie horloge paquet train de transport
TP339	A6_B	CI 2 Bus adresse bit 6
TP340	A7_B	CI 2 Bus adresse bit 7
TP341	MD16_B	CI 2 Entrée données train de transport bit 6
TP342	A12_B	CI 2 Bus adresse bit 12
TP343	MD15_B	CI 2 Entrée données train de transport bit 5
TP344	MCLK1	CI 2 Entrée horloge paquet train de transport
TP345	MD14_B	CI 2 Entrée données train de transport bit 4
TP346	MIVAL_B	CI 2 Entrée paquet train de transport valide
TP347	MD13_B	CI 2 Entrée données train de transport bit 3
TP348	IREQ#_B	CI 2 Interruption demande du module
TP349	MD12_B	CI 2 Entrée données train de transport bit 2
TP368	WE#_B	CI 2 activation écriture module mémoire
TP369	MD11_B	CI 2 Entrée données train de transport bit 1
TP370	A14_B	CI 2 Bus adresse bit 14
TP371	MD10_B	CI 2 Entrée données train de transport bit 0
TP380	A13_B	CI 2 Bus adresse bit 13
TP381	M1STRT_B	CI 2 Entrée début paquet train de transport
TP382	A8_B	CI 2 Bus adresse bit 8
TP383	IOWR#_B	CI 2 activation écriture module

Point de test	Nom Réseau	Fonction
TP384	A9_B	CI 2 Bus adresse bit 9
TP385	IORD#_B	CI 2 activation lecture module
TP386	A11_B	CI 2 Bus adresse bit 11
TP387	VS1#_B	CI 2 Détection tension module broche 1
TP389	OE#_B	CI 2 activation sortie module mémoire
TP390	CE2#_B	CI 2 activation module 2
TP391	A10_B	CI 2 Bus adresse bit 10
TP392	MDO7_B	CI 2 Sortie données train de transport bit 7
TP393	CE1#_B	CI 2 activation module 1
TP394	MDO6_B	CI 2 Sortie données train de transport bit 6
TP395	D7_B	CI 2 Bus données bit 7
TP396	MDO5_B	CI 2 Sortie données train de transport bit 5
TP397	D8_B	CI 2 Bus données bit 8
TP398	MDO4_B	CI 2 Sortie données train de transport bit 4
TP399	D5_B	CI 2 Bus données bit 5
TP402	MDO3_B	CI 2 Sortie données train de transport bit 3
TP461	/CI_RESET_B	CI 2 Remise à zéro puce d'interface
TP462	/CONFIG_CI	CI Entrée de contrôle de configuration
TP464	VCC5_EN_B	CI 2 Activation VCC à 5V
TP465	VCC3_EN_B	CI 2 Activation VCC à 3V3
TP467	EN1_B	CI 2 Activation VPP 1
TP400	1_FLAG_B	CI 2 Indication d'erreur IC403
TP468	INIT_DONE_B	CI initialisation terminée
TP367	RDNBSY_B	CI 2 Ligne configuration prête
TP366	CLKUSR_B	CI 2 Horloge d'initialisation optionnelle
TP469	NCS_B	CI 2 Sélection circuit active bas
TP470	CS_B	CI 2 Sélection circuit active haut
TP471	NWS_B	CI 2 Echantillon d'écriture
TP472	NRS_B	CI 2 Echantillon de lecture
TP473	DEV_OE_B	CI 2 Activation O/P à trois états
TP474	DCLK_CI	CI Horloge données de configuration
TP475	DEV_CLRN_B	CI 2 Activation effacement registre
TP377	BCLKOUT	Horloge paquet de train de transport de FE à CI 1
TP379	DVALIDOUT	Paquet de train de transport valide de FE à CI 1
TP378	FSTARTOUT/NOT_EPROM	Début de paquet de train de transport de FE à CI 1
TP403	TS_A_B_0	Données train de transport CI 1 à CI 2 bit 0
TP404	TS_A_B_1	Données train de transport CI 1 à CI 2 bit 1
TP405	TS_A_B_2	Données train de transport CI 1 à CI 2 bit 2
TP406	TS_A_B_3	Données train de transport CI 1 à CI 2 bit 3
TP407	TS_A_B_4	Données train de transport CI 1 à CI 2 bit 4
TP408	TS_A_B_5	Données train de transport CI 1 à CI 2 bit 5
TP409	TS_A_B_6	Données train de transport CI 1 à CI 2 bit 6
TP410	TS_A_B_7	Données train de transport CI 1 à CI 2 bit 7
TP411	TS_A_B_MCLK	Horloge paquet train de transport CI 1 à CI 2
TP422	TS_A_B_MVAL	Paquet train de transport valide CI 1 à CI 2
TP423	TS_A_B_MSTRT	Début paquet train de transport CI 1 à CI 2
TP480	TS2_IN_MSTRT	Début de paquet de train de transport IEEE1394 à CI 1
TP481	TS2_IN_MVAL	Paquet de train de transport valide IEEE1394 à CI 1
TP482	TS2_IN_MCLK	Horloge paquet de train de transport IEEE1394 à CI 1
TP483	TS2_IN_7	Données train de transport IEEE1394 à CI 1 bit 7
TP484	TS2_IN_6	Données train de transport IEEE1394 à CI 1 bit 6
TP485	TS2_IN_5	Données train de transport IEEE1394 à CI 1 bit 5
TP486	TS2_IN_4	Données train de transport IEEE1394 à CI 1 bit 4
TP487	TS2_IN_3	Données train de transport IEEE1394 à CI 1 bit 3
TP488	TS2_IN_2	Données train de transport IEEE1394 à CI 1 bit 2
TP489	TS2_IN_1	Données train de transport IEEE1394 à CI 1 bit 1
TP490	TS2_IN_0	Données train de transport IEEE1394 à CI 1 bit 0
TP412	CPU_D0	Bus principal de données UC bit 0
TP413	CPU_D1	Bus principal de données UC bit 1
TP414	CPU_D2	Bus principal de données UC bit 2
TP415	CPU_D3	Bus principal de données UC bit 3
TP416	CPU_D4	Bus principal de données UC bit 4
TP417	CPU_D5	Bus principal de données UC bit 5
TP418	CPU_D6	Bus principal de données UC bit 6
TP419	CPU_D7	Bus principal de données UC bit 7

Point de test	Nom Réseau	Fonction
TP420	CPU_D8	Bus principal de données UC bit 8
TP421	CPU_D9	Bus principal de données UC bit 9
TP449	CPU_D10	Bus principal de données UC bit 10
TP450	CPU_D11	Bus principal de données UC bit 11
TP451	CPU_D12	Bus principal de données UC bit 12
TP452	CPU_D13	Bus principal de données UC bit 13
TP453	CPU_D14	Bus principal de données UC bit 14
TP454	CPU_D15	Bus principal de données UC bit 15
TP455	CPU_A0	Adresse UC principale bit 0
TP463	CPU_A1	Adresse UC principale bit 1
TP494	CPU_A2	Adresse UC principale bit 2
TP495	CPU_A3	Adresse UC principale bit 3
TP496	CPU_A4	Adresse UC principale bit 4
TP497	CPU_A5	Adresse UC principale bit 5
TP498	CPU_A6	Adresse UC principale bit 6
TP499	CPU_A7	Adresse UC principale bit 7
TP300	CPU_A8	Adresse UC principale bit 8
TP301	CPU_A9	Adresse UC principale bit 9
TP302	CPU_A10	Adresse UC principale bit 10
TP303	CPU_A11	Adresse UC principale bit 11
TP304	CPU_A12	Adresse UC principale bit 12
TP305	CPU_A13	Adresse UC principale bit 13
TP306	CPU_A14	Adresse UC principale bit 14
TP307	CPU_A15	Adresse UC principale bit 15
TP308	CPU_A16	Adresse UC principale bit 16
TP309	CPU_A17	Adresse UC principale bit 17
TP310	CPU_A18	Adresse UC principale bit 18
TP311	CPU_A19	Adresse UC principale bit 19
TP312	CPU_A20	Adresse UC principale bit 20
TP313	CPU_A21	Adresse UC principale bit 21
TP314	CPU_A22	Adresse UC principale bit 22
TP315	CPU_A23	Adresse UC principale bit 23
TP350	NCEO_A	CI 1 Activation configuration terminée
TP351	EN1_A	CI 1 Activation VPP 1
TP352	EN0_A	CI 1 Activation VPP 0
TP353	VCC3_EN_A	CI 1 Activation VCC 3V3
TP354	VCC5_EN_A	CI 1 Activation VCC 5V
TP401	I_FLAG_A	CI 1 Indication d'erreur IC401
TP365	INIT_DONE_A	CI 1 Initialisation terminée
TP364	RDNBSY_A	CI 1 Ligne configuration prête
TP372	CLKUSR_A	CI 1 Horloge d'initialisation optionnelle
TP355	CONF_DONE_C1	CI Configuration prête/terminée
TP456	RESET_A	CI 1 Remise à zéro module UC
TP457	A4_A	CI 1 Bus adresse bit 4
TP373	A2_A	CI 1 Bus adresse bit 2
TP374	A_PLL_2	Audio PLL sélection 2
TP458	DATA_CI	CI Données de configuration
TP375	DEV_CLRN_A	CI 1 Activation effacement registre
TP459	/CS_1EEE1394	Sélection de circuit IEEE1394 LLC
TP460	/CS_CI_B	Sélection de circuit CI 2
TP376	CD7	Données train de transport FE à CI 1 bit 7
TP493	CD6	Données train de transport FE à CI 1 bit 6
TP492	CD5	Données train de transport FE à CI 1 bit 5
TP491	CD4	Données train de transport FE à CI 1 bit 4
TP479	CD3	Données train de transport FE à CI 1 bit 3
TP478	CD2	Données train de transport FE à CI 1 bit 2
TP477	CD1	Données train de transport FE à CI 1 bit 1
TP476	CD0	Données train de transport FE à CI 1 bit 0
Page 5	Sortie Vidéo/Audio	
TP504	SCRESET/RTC	Module commande remise à zéro sous-porteuse/temps réel
TP515	TTXREQ	Signal de demande données télétexte
TP514	TTXDATA	Entrée données télétexte
TP516	RSET	Réglage pour amplitude pleine échelle des signaux vidéo
TP500	/VSYNC_AV	Synchronisation trame/V
TP502	ALSB	Entrée adresse TTL

Point de test	Nom Réseau	Fonction
TP513	I²C_ADDRESS	I²C_ADDRESS
TP503	/PALENC_AV_RESET	/PALENC_AV_RESET
TP512	COMP	Entrée comparateur codeur PAL
TP528	VREF	Tension référence codeur PAL
TP544	SCL	Horloge I²C
TP548	SDA	Données I²C
TP506	R/C	Sortie rouge/chroma du codeur PAL
TP507	G/Y	Sortie vert/luma du codeur PAL
TP508	B/CVBS	Sortie bleu/CVBS du codeur PAL
TP509	CVBS	Sortie CVBS du codeur PAL
TP535	CVBS_F	Sortie CVBS après 1er filtre
TP539	CVBS_F	Sortie CVBS après 2ème filtre
TP540	CVBS_F	Entrée CVBS à la base de la commande de sortie
TP541	CVBS	Sortie CVBS/luma du circuit de commande
TP532	CVBS/Y_DIG	Sortie CVBS
TP545	9V_OUTPUT	Alimentation 9V pour circuits de commande de sortie
TP546	GNDA_OUTPUT	Masse analogique
TP511	B/CVBS	Entrée bleu/CVBS à la base de la commande de sortie
TP538	B/CVBSOP	Sortie bleu/CVBS du circuit de commande
TP533	B/CVBSOUT	Sortie bleu/CVBS
TP536	G/Y	Entrée ver/luma à la base de la commande de sortie
TP537	G/Y	Sortie vert/luma du circuit de commande
TP547	G/Y_DIG	Sortie numérique vert/luma après terminaison
TP531	R/C	Entrée rouge/chroma à la base de la commande de sortie
TP542	R/C_DIG	Sortie rouge/chroma du circuit de commande
TP534	R/C_DIG	Sortie numérique rouge/chroma après terminaison
TP505	5VADAC	Tension d'alimentation 5V du CNA audio
TP529	AOUTL	Sortie gauche du CNA audio
TP530	AOUTR	Sortie droite du CNA audio
TP526	AOUTL	Sortie gauche audio
TP527	AOUTR	Sortie droite audio
TP510	PIN8_ENABLE	Activation broche 8
Page 6	IEEE1394	
TP601	TDO_I_DRAMC_LLC	JTAG
TP619	CNTNDA	IEEE1394
TP600	TMS_CI_DRAMC_LLC	JTAG
TP620	TDO_CI_DRAMC_LLC	JTAG
TP618	/ISO	IEEE1394
TP617	BDOAVAIL	IEEE1394
TP616	BDIBUSY	IEEE1394
TP615	CYCLEIN/SE	IEEE1394
TP614	BDOF0	IEEE1394
TP613	BDOF1	IEEE1394
TP612	BDOF2	IEEE1394
TP611	TS2_IN_MIVAL	Paquet de train de transport valide IEEE1394 à CI 1
TP603	MCCTL0	IEEE1394
TP621	MCCTL1	IEEE1394
TP604	RDY	IEEE1394
TP622	/INT_IEEE1394	IEEE1394
TP605	SW_PES_CLK	IEEE1394
TP606	SW_PES_EN	IEEE1394
TP623	SCKEN	IEEE1394
TP607	TRST_LLC	IEEE1394
TP608	BDIF0	IEEE1394
TP609	BDIF1	IEEE1394
TP610	BDIF2	IEEE1394
TP667	5V_MPEG	Alimentation 5V MPEG
TP625	LREQ	IEEE1394
TP626	SYSCLK	IEEE1394
TP627	CTL0	IEEE1394
TP628	CTL1	IEEE1394
TP629	D0_1394	IEEE1394
TP630	D1_1394	IEEE1394
TP631	D2_1394	IEEE1394
TP632	D3_1394	IEEE1394

Point de test	Nom Réseau	Fonction
TP664	D0_1394	IEEE1394
TP665	SYSCLK	IEEE1394
TP660	LREQ	IEEE1394
TP663	STAT0	IEEE1394
TP646	STAT0	IEEE1394
TP648		IEEE1394
TP654	ISO	IEEE1394
TP659	/PHY_RESET	IEEE1394
TP661	CTL_0	IEEE1394
TP662	CTL_1	IEEE1394
TP647	PHY_POWER	Alimentation liaison physique IEEE1394
TP643		IEEE1394
TP644		IEEE1394
TP649	OSC2	HORLOGE 24,576MHz
TP650	OSC1	HORLOGE 24,576MHz
TP653	PHY_POWER	Alimentation liaison physique IEEE1394
TP633		IEEE1394
TP634		IEEE1394
TP635	TPA1+	IEEE1394
TP636	TPA2-	IEEE1394
TP637	TPB1+	IEEE1394
TP638	TPB1-	IEEE1394
TP652	MPC11 1394	IEEE1394
TP651	MPC11 1394	IEEE1394
TP641	TPA2+	IEEE1394
TP640	TPA2-	IEEE1394
TP639	TPA2+	IEEE1394
VTP642	TPA2-	IEEE1394
TP624	CNA	IEEE1394
TP655	PC0	IEEE1394
TP656	PC1	IEEE1394
TP657	PC2	IEEE1394
TP645	CPS	IEEE1394
TP666	CPS	IEEE1394
Page 7	Contrôleur DRAM externe	
TP735	SIZ0	Contrôleur DRAM taille donnée 0
TP733	CPU_D13	UC données 13
TP734	/CS_DRAMC	Sélection circuit contrôleur DRAM (DRAM externe)
TP706	CLK_27_1	Horloge 27MHz
TP700	EBM_D0	Bus données contrôleur DRAM à DRAM bit 0 (DRAM externe)
TP701	EBM_D1	Bus données contrôleur DRAM à DRAM bit 1 (DRAM externe)
TP702	EBM_D2	Bus données contrôleur DRAM à DRAM bit 2 (DRAM externe)
TP703	EBM_D3	Bus données contrôleur DRAM à DRAM bit 3 (DRAM externe)
TP704	EBM_D4	Bus données contrôleur DRAM à DRAM bit 4 (DRAM externe)
TP705	EBM_D5	Bus données contrôleur DRAM à DRAM bit 5 (DRAM externe)
TP707	EBM_D6	Bus données contrôleur DRAM à DRAM bit 6 (DRAM externe)
TP708	EBM_D7	Bus données contrôleur DRAM à DRAM bit 7 (DRAM externe)
TP709	EBM_D8	Bus données contrôleur DRAM à DRAM bit 8 (DRAM externe)
TP710	EBM_D9	Bus données contrôleur DRAM à DRAM bit 9 (DRAM externe)
TP711	EBM_D10	Bus données contrôleur DRAM à DRAM bit 10 (DRAM externe)
TP712	EBM_D11	Bus données contrôleur DRAM à DRAM bit 11 (DRAM externe)
TP713	EBM_D12	Bus données contrôleur DRAM à DRAM bit 12 (DRAM externe)
TP714	EBM_D13	Bus données contrôleur DRAM à DRAM bit 13 (DRAM externe)
TP715	EBM_D14	Bus données contrôleur DRAM à DRAM bit 14 (DRAM externe)
TP716	TDO_I_DRAMC_LLC	Sortie données test JTAG
TP717	EBMA0	Bus adresse contrôleur DRAM à DRAM bit 0 (DRAM externe)
TP718	EBMA1	Bus adresse contrôleur DRAM à DRAM bit 1 (DRAM externe)
TP719	EBMA2	Bus adresse contrôleur DRAM à DRAM bit 2 (DRAM externe)
TP720	EBMA3	Bus adresse contrôleur DRAM à DRAM bit 3 (DRAM externe)
TP721	EBMA4	Bus adresse contrôleur DRAM à DRAM bit 4 (DRAM externe)
TP722	EBMA5	Bus adresse contrôleur DRAM à DRAM bit 5 (DRAM externe)
TP723	EBMA6	Bus adresse contrôleur DRAM à DRAM bit 6 (DRAM externe)
TP724	EBMA7	Bus adresse contrôleur DRAM à DRAM bit 7 (DRAM externe)
TP725	EBMA8	Bus adresse contrôleur DRAM à DRAM bit 8 (DRAM externe)
TP726	EBMA9	Bus adresse contrôleur DRAM à DRAM bit 9 (DRAM externe)

Point de test	Nom Réseau	Fonction
TP716	TDO_I_DRAMC_LLC	Sortie données test JTAG
TP727	EBM_D15	Bus données contrôleur DRAM à DRAM bit 15 (DRAM externe)
TP728	EBOE	Activation sortie données DRAM (DRAM externe)
TP729	EBRAS1	Sélection adresse rangée DRAM (DRAM externe)
TP730	EBCAS0	Sélection adresse colonne DRAM (DRAM externe)
TP731	EBCAS1	Sélection 1 adresse colonne DRAM (DRAM externe)
TP732	EBWE1	Activation écriture données DRAM (DRAM externe)

SPÉCIFICATION DES CONNECTEURS

GÉNÉRALITÉS

Les connexions entrant et sortant du module numérique sont identiques pour les applications IDTV et STB.
Les connecteurs qui assureront la liaison entre soit la carte frontale soit la carte MPEG au fond de panier STB, à la carte analogique IDTV ou à la sous-carte de carte à mémoire, utiliseront des connecteurs et câbles FFC de 1mm, à l'exception du connecteur d'alimentation principale CC, qui utilisera un système à trou traversant de 2,5 mm.
Toutes les connexions entre la carte frontale et la carte MPEG utiliseront des câbles et des connecteurs FFC de 1 mm.

CONNEXIONS ENTRE LE CHÂSSIS/FOND DE PANIER ET LE CIRCUIT IMPRIMÉ FRONTAL (POUR MODULE COMPLET)

Un connecteur au pas de 2,5 mm est utilisé.
Connecteurs : PL801 frontal 9 voies à angle droit câblé - série JST EH
E5101 fond de panier 9 voies droit câblé - série JST EH

Nom du signal	Tension	Courant	De	A	Nb de broches de connexion	Numéro de broche
30V	30V (commuté)	20mA	Alimentation	Frontal	1	1
5V	5V (commuté)	0,8A typique 1,5A maxi	Alimentation	Frontal	2	3, 4
3V3	3,3V (commuté)	2,0A typique 2,5A maxi	Alimentation	Frontal	2	7, 8
MASSE	MASSE		Alimentation	Frontal	4	2, 5, 6, 9
Nombre total de broches requises				9		

CONNECTEUR A2 - ALIMENTATION

Connexions entre le châssis/fond de panier et le circuit imprimé frontal (pour module complet)
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteurs :
PL802 frontal 4 voies à angle droit SMT - Molex type 52207-0490 - terrestre
7 voies à angle droit SMT - Molex type 52207-0790 - satellite
E5102 fond de panier 4 voies droit câblé - série JST EH type 14FMN-BTRK

Nom du signal	Tension	Courant	De	A	Nb de broches de connexion	Numéro de broche
9V	9V (commuté)	90mA	Alimentation	Frontal	1	1
+12V	12V (commuté)	100mA (y compris ventilateur si utilisé)	Alimentation	Frontal	1	2
+5V - VEILLE	5V (non commuté, * voir note 4)	20mA/0,6mA	Frontal	Alimentation	1	4
22KHZOUT	Signal 22kHz (à alimentation) * see notes2, 3	Sans objet	Frontal	Alimentation	1	5
13/18V	Alimentation LNB 13/18V avec 22kHz si nécessaire (de l'alimentation)	400mA typique	Alimentation	Frontal	1	7
MASSE	MASSE		Alimentation	Frontal	2	3, 6
Nombre total de broches requises					4 terrestre, 7 satellite	

Note 1 : Un connecteur à 4 voies est utilisé pour les signaux terrestres, et 7 voies pour les signaux de satellite.
Note 2 : Ce signal est défini en détail dans la note 4 concernant le connecteur E plus loin dans ce document.
Note 3 : Les 22kHz seront mis en/hors service et modulés selon les besoins pour DiSeQC par le processeur MPEG.
Note 4 : Les CI PLD nécessitent un petit courant statique pour maintenir le contenu des puces en veille et éliminer la nécessité de reprogrammation à la sortie du mode veille.

CONNECTEUR B - CARTE À MÉMOIRE

Connexions entre la carte MPEG et la carte châssis/fond de panier ou le lecteur de carte.
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL204 MPEG 12 voies à angle droit SMT - Molex type 52207-1290
E210 Lecteur de carte 12 voies droit câblé - JST type 12FMN-BTRK

Fonction	Nb de broches de connexion	Numéros de broche
CARD_C8	1	1
CARD_C4	1	2
CARD_I/O	1	3
CARD_CLK	1	5
CARD_RESET	1	7
CARD_VCC	1	8
SC-Detect_0	1	10
CARD_3V3	1	11
CARD_5V	1	12
GNDD	3	4, 6, 9
Nombre total de broches requises	12	

CONNECTEUR C1 - VIDÉO

Connexions entre la carte MPEG et le châssis/fond de panier.
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL501 MPEG 10 voies à angle droit SMT - Molex type 52207-1090
E5206 fond de panier 10 voies droit câblé - JST type 10FMN-BTRK

Fonction	Nom Réseau	De/A	Nb de broches de connexion	Numéros de broche
Vidéo composite (75R) (PAL/NTSC)/Luma	CVBS/Y_DIG	Module au châssis/fond de panier	1	3
Composant rouge/chroma	R/C_DIG	Module au châssis/fond de panier	1	9
Composant G (Luma)	G/Y_DIG	Module au châssis/fond de panier	1	7
Composant B/(vidéo composant)	B/CVBS_DIG	Module au châssis/fond de panier	1	5
Alimentation sortie 9V	9V-MPEG	Châssis/fond de panier à module	1	1
MASSE	GNDA		5	2, 4, 6, 8, 10
Nombre total de broches requises			10	

CONNECTEUR C2 - AUDIO

Connexions entre la carte MPEG et le châssis/fond de panier
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL500 MPEG 5 voies à angle droit SMT - Molex type 52207-0590
E5207 fond de panier 5 voies droit câblé - JST type 05FMN-BTRK

Fonction	De/A	Nb de broches de connexion	Numéros de broche
Audio gauche	Module au châssis/fond de panier	1	1
Audio droite	Module au châssis/fond de panier	1	3
GNDA	Masse analogique	2	2, 4
Activation broche 8	Module au châssis/fond de panier	1	5
Nombre total de broches requises		5	

CONNECTEUR D - SIGNAUX DE COMMANDE

Connexions entre la carte MPEG et le châssis/fond de panier
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL203 MPEG 4 voies à angle droit SMT - Molex type 52207-0490
E5280 fond de panier 4 voies droit câblé - JST type 04FMN-BTRK

Fonction	De	A	Nb de connexion	Numéros de broche
USER_RESET	TV	MPEG	1 (prévue)	1
USER_TO_MPEG_IPL	TV	MPEG	1	3
MPEG_TO_USER_IPL	MPEG	TV	1	4
GNDD			1	2
Nombre total de broches requises			4	

CONNECTEUR E - COMMANDE

Connexions et liaisons RS232 entre carte MPEG et carte frontale (à l'intérieur du module)
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL200 MPEG 16 voies droit câblé - JST type 16FMN-BMT-TF
PL809 frontal 16 voies droit câblé - JST type 16FMN-BMT-TF

Nom du signal	Fonction	Nb de broches de connexion	Numéros de broche
MODEM_DTR	Modem signaux 'AT' DTR	1 (prévue)	2
NVM_WP#	Protection d'écriture NVM	1	3
MODEM_CTS	Modem signaux 'AT' CTS	1	4
MODEM_DSR	Modem signaux 'AT' DSR	1 (prévue)	5
/OFFHOOK	Signal décroché du modem	1	6
MODEM_to_CPU	Modem signaux 'AT' Tx	1	7
CPU_to_MODEM	Modem signaux 'AT' Rx	1	8
MODEM_RTS	Modem signaux 'AT' RTS	1	9
RS232_RX	RS232 Rx	1	10
RS232_TX	RS232 Tx	1	11
RS232_RTS	RS232 RTS	1	12
RS232_CTS	RS232 CTS	1	13
22KHZ_EN	Activation/modulation LNB 22kHz, voir note 5	1	15
MASSE		3	1, 14, 16
Nombre total de broches requises			16

Note 5 : Une seule fonction de porte NAND discrète est requise pour faire passer le signal 22kHz à l'alimentation. Elle peut être utilisée de deux façons :

- Simplement pour activer/désactiver le signal - mode de fonctionnement normal
- Pour effectuer la modulation DiSEqC en utilisant la fonction activation/désactivation - seulement lors de la sélection de programme et seulement si la capacité DiSEqC est activée.

L'UC MPEG assurera la fonction activation/désactivation et la modulation DiSEqC du signal 22kHz par une sortie de port. Voir aussi notes 2 et 3 associées au connecteur A2.

CONNECTEUR F - TRAIN NUMÉRIQUE

Connexions entre la carte frontale et la carte MPEG (à l'intérieur du module)
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL400 MPEG 14 voies droit câblé - JST type 14FMN-BMT-TF
PL804 frontal 14 voies droit câblé - JST type 14FMN-BMT-TF

Fonction	Courant estimé	Nb de broches de connexion	Numéro de broche
CD0		1	2
CD1		1	3
CD2		1	4
CD3		1	5
CD4		1	6
CD5		1	7
CD6		1	8
CD7		1	9
BCLKOUT		1	11
DVALIDOUT		1	13
FSTARTOUT/notERROROUT		1	14
MASSE		3	1, 10, 12
Nombre total de broches requises		14	

CONNECTEUR G - LIAISON D'ALIMENTATION INTERNE

Connexions de la carte frontale à la carte MPEG (à l'intérieur du module)
Un câble et connecteur FFC de 1 mm a été utilisé.
Connecteur : PL202 MPEG 18 voies droit SMT - JST type 18FMN-BMT-TF
PL803 frontal 18 voies droit SMT - JST type 18FMN-BMT-TF

TensionDescription de la broche	Courant	Nb de broches de connexion	Numéro de broche	
5V_MPEG			2	1, 2
3.3V_MPEG			3	6, 7, 8
12V_MPEG			1	10
MASSE			5	3, 4, 9, 13, 17, 18
SDA	Bus I2C		1	11
SCL	Bus I2C		1	12
RESET#	Remise à zéro UC MPEG principale		1	14
18M_CLK_RESET	Remise à zéro COFDM 18-54MHz		1	15
TUNER_RESET	Remise à zéro tuner seulement		1	16
5-PLD-MPEG	5V Veille		1	5
Nombre total de broches requises			18	

CONNECTEUR H - FOND DE PANIER À PANNEAU DE COMMANDE AVANT

Connexions entre le châssis/fond de panier et le panneau de commande avant. C'est un connecteur en ligne captif au pas de 2 mm sur le font de panier et sur le panneau avant.
Connecteur : Fond de panier E5281 Connecteur type JST 13DS - 8E
Panneau avant E1 Connecteur type JST 13DS - 8E

Fonction	Nb de connexions connections	Numéro de broche
Echantillon 1 / LED Veille	1	1
Echantillon 2 / LED Alimentation	1	2
Echantillon 3 / LED Commandes IR reçues	1	3
Echantillon 4 / LED En ligne	1	4
Analyse clé 0 - entrée	1	5
Analyse clé 1 - entrée	1	6
Analyse clé 2 - entrée	1	7
Détection IR	1	9
Analyse clé 4 - sortie	1	10
Analyse clé 5 - sortie	1	11
Analyse clé 6 - sortie	1	12
5V	1	13
MASSE	1	8
Nombre total de broches	13	

CONNECTEUR J - FOND DE PANIER À PANNEAU DE COMMANDE AVANT

Voir note 9
Connexions entre le châssis/fond de panier et le panneau de commande avant. C'est un connecteur en ligne au pas de 2,0mm sur le font de panier (voir note 7) et captif sur le panneau avant lorsqu'utilisé.
Connecteur : E5283 (DSTB)

Fonction	Nb de connexions connexions	Numéro de broche
MASSE	2	1, 6
ANALYSE CLE 3, note 8	1	2
Libre	1	3
SDA	1	4
SCL	1	5
Libre	1	7
Libre	1	8
Nombre total de broches	8	

Note 8 : Pas utilisée actuellement, ces lignes permettent l'expansion jusqu'à 12 clés si nécessaire sans changement de matériel sur le fond de panier.
Note 9 : Pas utilisée actuellement.

CONNECTEUR K - CONNEXION DE PROGRAMMATION EN CIRCUIT

Connexion entre le châssis/fond de panier et le module de programmation. C'est un connecteur en ligne au pas de 2,5 mm sur le fond de panier.
Connecteur : E5284 (DSTB)

Fonction	Nb de connexions connexions	Numéro de broche
Test, voir note 8	1	8
+5V	1	7
TXDATA	1	6
RXDATA	1	5
+12V	1	4
RESET#, voir note 9	1	3
VPP (tension programmation), voir note 8	1	2
Liaison de commande port 6.0	1	10
MASSE, voir note 8	2	1, 9
Nombre total de broches		10

Note 10 : Ceci permet l'installation de blocs de liaison entre les broches 1 et 2, et 8 et 9, lorsque le mode programmation n'est pas actif.
Note 11 : Cette entrée de remise à zéro doit être activement mise au niveau bas (<0,5V) pour remettre le processeur à zéro.

CONNECTEUR L - FOND DE PANIER À PANNEAU DE COMMANDE AVANT

Connexions entre le châssis/fond de panier et le panneau de commande avant. C'est un connecteur en ligne captif au pas de 2 mm sur le font de panier et sur le panneau avant.
Connecteur : Fond de panier E5285 Connecteur type JST 12DS - 8E
Panneau avant E2 Connecteur type JST 12DS - 8E

Fonction	Nb de connexions connexions	Numéro de broche
7SEGA	1	1
7SEGB	1	2
7SEGC	1	3
7SEGD	1	4
MASSE	2	5, 11
7SEGE	1	6
7SEGF	1	7
7SEGG	1	8
7SEGDP	1	9
+5V	1	10
MAILLED	1	12
Nombre total de broches		12

CONNECTEUR M - FOND DE PANIER À PANNEAU DE COMMANDE AVANT

Voir note 15
C'est un connecteur en ligne au pas de 2,0mm sur le fond de panier.
Connecteur : E5282 (DSTB)

Fonction	Nb de connexions	Numéro de broche
Libre	1	1
Libre	1	2
Libre	1	3
Libre	1	4
MASSE	1	5
Nombre total de broches		5

Note 14 : Pas installé actuellement. Etait utilisée à l'origine dans les connexions du panneau avant, elle n'est plus utilisée mais son emplacement est encore sur le fond de panier DSTB.

CONNECTEUR N - CONNECTEUR DE PORT JTAG

Voir note 16

Connecteur utilisé pour le téléchargement JTAG. Ce connecteur est à 14 voies du type Molex Picoflex.

Connecteur : PL205 (MPEG),

Fonction	Nb de connexions	Numéro de broche
TDI_CPU	1	1
TDO_CPU	1	2
TMS_CPU	1	3
TDI_CI_LLC	1	4
TMS_CI_LLC	1	5
TRST-CPU	1	6
TCK_CPU	1	7
TDO_CI_LLC	1	8
TCK_CI_LLC	1	9
MASSE	1	10, 12, 14
TRST_LLC	1	11
R/NW	1	13
Nombre total de broches		14

Note 16 : C'est le port normalement utilisé en production pour programmer la section de 'lancement' des puces flash utilisant JTAG comme protocole de liaison.

CONNECTEUR O - CONNECTEUR DE CIRCUIT EPROM

Voir note 17

Ce connecteur est utilisé pour connecter une carte EPROM au bus de données/adresse de l'UC sur la carte MPEG. C'est un connecteur haute densité à 50 voies qui se branche sur le connecteur équivalent de la carte EPROM. Il est du type C&CD No. 1555 (PL206) sur le module MPEG et C&CD No. 1554 (PL901) sur le module EPROM.

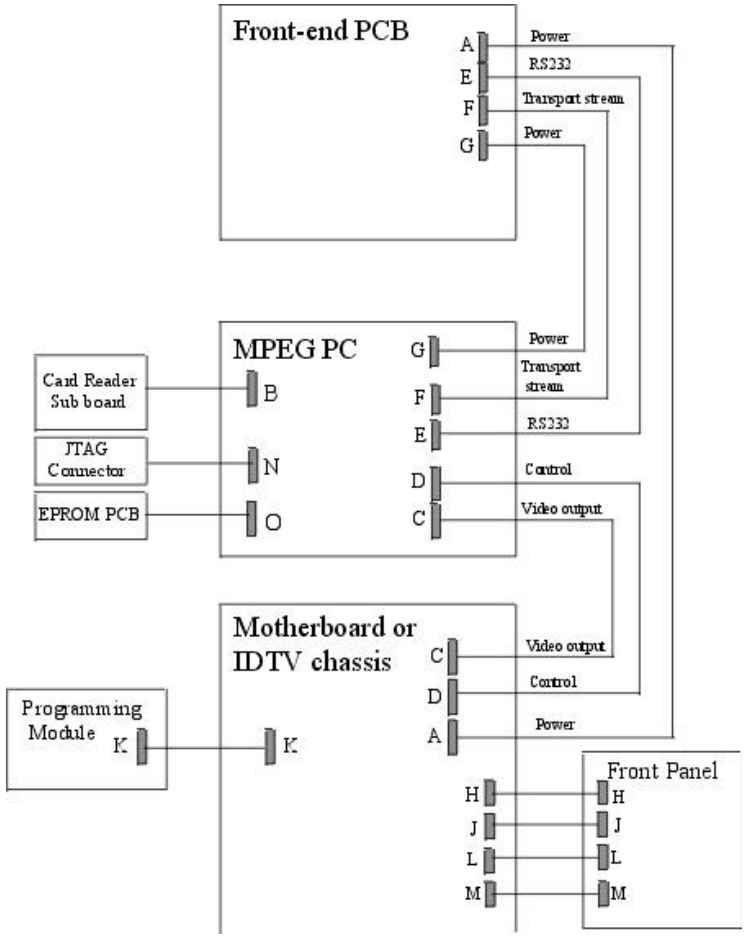
Connecteurs : PL206 (carte MPEG)

PL901 (Carte EPROM)

Fonction	Nb de connexions	Numéro de broche
5V_MPEG	1	1
CPU_A0	1	2
CPU_A1	1	4
CPU_D0	1	5
CPU_A2	1	6
CPU_D1	1	7
CPU_A3	1	8
CPU_D2	1	9
CPU_A4	1	10
CPU_D3	1	11
CPU_A5	1	12
CPU_D4	1	13
CPU_A6	1	14
CPU_D5	1	15
CPU_A7	1	16
CPU_D6	1	17
CPU_A8	1	18
CPU_D7	1	19
CPU_A9	1	20
CPU_D8	1	21
CPU_A10	1	22
CPU_D9	1	23
CPU_A11	1	24
CPU_D10	1	25
CPU_A12	1	26
CPU_D11	1	27
CPU_A13	1	28
CPU_D12	1	29
CPU_A14	1	30
CPU_D13	1	31
CPU_A15	1	32
CPU_D14	1	33
CPU_A16	1	34
CPU_D15	1	35
CPU_A17	1	36
EPROM_OE#	1	37
CPU_A18	1	38
EPROM_CE#	1	39
CPU_A19	1	40
CPU_A20	1	42
CPU_A21	1	44
CPU_A22	1	46
3V3_MPEG	1	47
CPU_A23	1	48
MASSE	3	3, 49, 50
Libre	3	41, 43, 45
Nombre total de broches		50

Note 16 : Ceci n'est pas installé.

SCHÉMA FONCTIONNEL D'INTERCONNEXION



ALIMENTATION A8/D8

A la mise sous tension, la tension C.A. est redressée par le pont D900 qui produit environ 300 V sur C918. Cette tension est alors appliquée au collecteur de Q903 via l'enroulement primaire de T900. Initialement, la tension sur la broche 7 de I900 s'élève à environ 16 V via R901, D929 et Q905. Ceci permet aux circuits internes de IC900 de générer une onde en dent de scie sur la broche 4, à partir de laquelle une sortie d'onde carrée est obtenue sur la broche 6. Cette sortie est appliquée à la porte de Q901 qui passe alternativement en et hors service, ce qui modifie la tension de l'émetteur de Q903 causant sa mise en et hors service, et produisant les sorties dans les enroulements secondaires de T900.

A la suite de la mise en tension initiale de I900, la broche 7 est alimentée par l'enroulement de polarisation (broche 18) de T900 via D911 pour un fonctionnement continu. La tension de l'enroulement de polarisation est aussi redressée par D922, puis est transmise à la base de Q905 bas via R908/Q906/R924 qui arrête Q905 ; ceci est prévu pour réduire la puissance dissipée par R901 une fois que l'alimentation fonctionne.

Un circuit de détection de courant constitué de R910, R939, R922 et R980 renvoie une tension à la broche 3 de I900 ; cette tension est égale à environ 0,8 V. Au cas où la tension appliquée dépasserait la référence, la largeur d'impulsion est limitée par la broche de sortie 6. De cette façon, Q903 est protégé contre tout changement du courant primaire.

R909 et C914 jouent le rôle d'un circuit de démarrage en douceur, qui limite la sortie de largeur d'impulsion de la broche 6 pendant la période initiale du démarrage, permettant ainsi une augmentation progressive jusqu'à la pleine puissance.

Q909, R918 et les circuits connexes sont destinés à réduire la fréquence de l'alimentation lorsque le poste est en mode de veille.

Une tension de détection redressée par D922 consistant de R905 et R906, est transmise à la broche 2 de I900 puis comparée à une tension de référence interne. Si elle dépasse la référence interne, la sortie de la broche 6 est limitée par l'amplificateur d'erreur interne. Z907 se met en court-circuit si +B dépasse 180 V.

La tension secondaire induite dans l'enroulement 7/9 de T900 est redressée par D950, produisant la haute tension qui est lissée par C977. En mode de veille la HT augmente légèrement.

L'enroulement 5/10 produit environ 10 V via D951 et cette tension est lissée par C957. Elle est alors appliquée à deux convertisseurs CC-CC (sortie +8 V, +5 V). Une rampe de contrôle se trouve sur la broche 2/6 de I900. Cette rampe est formée par R944/C935, et terminée par le réseau Z913, D902, R934. La fréquence de la rampe est bloquée sur la fréquence principale de l'unité d'alimentation par l'enroulement sur la broche 5 de T900. Cette rampe est comparée au niveau de retour de I902 (+5) I904 (+8). Le dispositif de référence contrôle la sortie et les variations du niveau CC sur la broche 5. La rampe traverse le niveau de retour cc, et la sortie des broches 1/7 devient basse. La sortie des broches 1/7 commence haute au début de la rampe, puis devient basse au niveau de traversée de la rampe. Cette action contrôle, via Q910, Q911, la largeur d'impulsion et donc la régulation des rails +8 / +5. La largeur d'impulsion de sortie change en fonction de la charge pour maintenir la tension de régulation correcte.

Les sorties des broches 1, 7 de I910 sont tamponnées pour améliorer les pertes de commutation à l'aide d'un réseau de transistors push-pull Q929, Q917 (pour +5 V). Ce réseau de transistors assure la commutation rapide de Q912 (+5) et Q911 (+8V). La protection de surintensité est assurée par la résistance de détection de courant RP03. Le réseau Q956 RP04/C966 fait passer la broche 10 de I903 au niveau haut si un courant de charge élevé passe dans RP03.
L'enroulement 2/11 produit environ 16 V via D952, cette tension est lissée par C955 puis appliquée à Q921 par l'intermédiaire de R974, qui est utilisé comme détecteur de courant. La sortie de Q921 fournit 16 V pour l'amplificateur audio I401.
La régulation H.T. est contrôlée par l'étage Q954. La base de Q954 est réglée à un niveau prédéterminé par le réseau de résistances R950, R982 et R953. L'émetteur de Q954 est maintenu à environ 6V2 par Z950. Si la H.T. augmente, la tension de la base devient plus positive que l'émetteur, et cette différence est amplifiée par le transistor et appliquée à l'optocoupleur I901. La sortie de I901 est alors appliquée à la broche 1 de I900 qui régule la H.T. en altérant le rapport cyclique de la sortie du signal de la broche 6 de I900.

COMMUTATION DE VEILLE

Les alimentations basse tension sont arrêtées en mode de veille ; ceci est contrôlé par le microprocesseur qui produit un signal haut en veille, et un signal bas lorsque le poste n'est pas en veille. Ce signal est alors appliqué aux résistances R923 et R940/R977. Ce signal "haut" est aussi appliqué à la base de Q915, Q916, Q910 qui à leur tour arrêtent le fonctionnement des convertisseurs CC-CC +8, +5, et mettent la porte de Q921 au niveau bas pour commuter l'alimentation audio +16V à l'état bas. En mode de veille, la tension +B augmente légèrement pour maintenir la tension de l'enroulement de polarisation à la broche 7 de I900. Pour annuler le mode de veille du poste, la ligne marche/arrêt est commutée au niveau haut par le microprocesseur, et Q916, Q915, Q910 sont désactivés, ce qui remet les rails +8, +5, +16 V en fonctionnement normal.

ALIMENTATION CORRECTE ET PROTECTION

I903 est constitué de 4 comparateurs, la ligne d'alimentation correcte utilise le comparateur 2. La broche 5 est utilisée comme référence qui est maintenue à 2,5 V par I905 alimenté par la résistance de charge R968. La broche 4 utilise R961/R962 et R955/R959 comme un diviseur de tension qui est connecté entre +10V et l'enroulement T900 par l'intermédiaire de D959 qui est en mode de convertisseur avant. En fonctionnement, ceci signifie que la broche 4 est maintenue en dessous du niveau de référence de la broche 5 jusqu'à ce que l'alimentation soit interrompue ou lorsque le poste est arrêté ; à ce moment-là, la broche 4 monte en dessus de la broche 5 et la sortie de la broche 2 est forcée au niveau bas. Ce signal bas est détecté par le microprocesseur. En fonctionnement normal, la broche 2 est maintenue au niveau haut par la résistance de charge R990 à partir de l'alimentation 5 V.
Dans des conditions de fonctionnement normal, la ligne de protection (broche 14) est maintenue au niveau haut par R971 à partir de l'alimentation 5 V ; ce signal haut est appliqué à la ligne de protection par le microprocesseur. Lorsque la ligne de protection est mise au niveau bas, le poste passe au mode de veille. Le poste peut être remis en marche par les méthodes habituelles de mise hors veille, mais il revient à l'état de veille tant que la cause du déclenchement du circuit de protection n'est pas éliminée.
La surintensité de l'alimentation audio 16 V utilise le comparateur 1, une tension de référence est produite sur la broche 6 par les résistance R967 et R964. La tension à comparer est alimentée à la broche 7 en utilisant le diviseur de tension R968 et R966 qui est alimenté par le côté sortie de la résistance de détection de courant R974. Si la tension sur la broche 7 tombe en dessous de la broche 6, la broche 1 est mise au niveau bas, mettant ainsi la ligne de protection au niveau bas via D958, ce qui met le poste en mode de veille.
Le comparateur 3 est utilisé pour la protection contre un court-circuit de couche dans le F.B.T., et assure aussi la protection contre un court-circuit des sorties secondaires du F.B.T. I903 est alimenté à 16 V environ via la broche 3 de D960 ; à partir de cette alimentation, une tension de référence est alimentée à la broche 9 à l'aide du diviseur de tension R972/R969, alimenté via l'alimentation Z948. La broche 8 est alimentée par un autre diviseur de tension, qui est cette fois constitué de trois résistances R973/R970 et R760 qui échantillonnent le courant passant dans Q752. Si ce courant augmente, la chute de tension sur R760 augmente ainsi que la tension de la broche 8 ; lorsqu'elle dépasse la broche 9 et la broche 14 elle est mise au niveau bas et le poste passe en mode de veille.
Le comparateur 4 est utilisé pour la protection EHT/surtension, comme toutes les tensions secondaires du F.B.T. sont proportionnelles, l'alimentation 200 V de la base de l'écran cathodique est utilisée pour produire la tension utilisée pour la comparaison ; ceci est effectué en utilisant un diviseur de tension constitué de R718, R749 et R719. Z708 contrôle la tension à la jonction de R718 et R749, et si elle dépasse 36 V, la diode Zener conduit et applique un signal haut à la broche 10 de I903, qui est comparé à la tension de référence de la broche 11 qui utilise également les 2,5 V produits par I905. Lorsque la broche 10 passe au-dessus de 2,5V, la broche 13 est mise au niveau bas ce qui à son tour met la ligne de protection au niveau bas via D957, mettant le poste en mode de veille.
Les lignes B.T. sont protégées à l'aide des diodes D931, D932 et D930 qui sont connectées en polarisation inversée à la ligne de détection de protection aux alimentations 8 V et 5 V. La liaison de veille +5 V est protégée par D986 qui met la référence Z950 au niveau bas si un court-circuit est détecté sur la sortie de I952. La sortie phono 16 V comporte une diode en retour à la broche 5 de I903 en cas de court-circuit.
Si les lignes +B ou audio sont mises en court-circuit à la masse avant la protection du secondaire de l'alimentation, la protection de surintensité du primaire (broche 3 I900) fonctionne et coupe la sortie de commande de la broche 6 de I900. Un circuit de verrouillage Q955/R998/RP01/C964 fonctionne pour faire passer l'alimentation électrique dans le mode de veille (en présence d'une anomalie) si un défaut logiciel agit sur le niveau bas de la broche 14 de I903. La temporisation avant verrouillage est réglée par C964/R994. +B bénéficie d'une protection contre la surtension par le biais de Z907 ; Z907 passe en court-circuit si la tension +B dépasse 180 V C.C.

ALIMENTATION DTI

DESCRIPTION DU CIRCUIT

L'alimentation secteur est commutée par { TV on }. A ce point, l'alimentation C.A. est redressée par D8, D10, 11, 12 qui produisent environ 340 V CC sur C58. Cette tension est alors appliquée au drain de Q4 via l'enroulement primaire de T1. Initialement, la tension sur la broche 7 de IC10 s'élève à environ 16 V via R15, D24 et C54. Ceci permet aux circuits internes de IC10 de produire une onde en dent de scie sur la broche 4, à partir de laquelle une sortie d'onde carrée est obtenue sur la broche 6. Cette sortie est

appliquée à la porte de Q4, mettant le transistor à effet de champ MOS en et hors service, générant ainsi les sorties dans les enroulements secondaires de T1.
Après la mise sous tension initiale, la broche 7 de IC10 est alimentée par la broche 4 de l'enroulement de polarisation de T1 via D31 pour une fonctionnement continu, et R15 est incapable de fournir la demande en courant de fonctionnement pour IC10 [20 mA].
Un circuit de détection de courant constitué de R74, R75 et R79 renvoie une tension à la broche 3 de IC10, cette tension est égale à environ 0,8 V. Au cas où la tension appliquée dépasserait la référence, la largeur d'impulsion est limitée par la broche de sortie 6 [puce en mode surintensité]. De cette façon, Q4 est protégé contre tout changement du courant primaire. La protection de surtension du secondaire est aussi assurée par R77 ; si le retour est désactivé la tension du secondaire est limitée à des niveaux sûrs, la sortie de la broche 6 est limitée par l'amplificateur d'erreur interne et la référence interne.
R21 et C31 jouent le rôle d'un circuit de démarrage en douceur, qui limite la sortie de largeur d'impulsion de la broche 6 pendant la période initiale du démarrage, permettant ainsi une augmentation progressive jusqu'à la pleine puissance. ZD3 & 4 se mettent en court-circuit si Q4 se met en court-circuit, protégeant ainsi IC10.
La tension secondaire induite dans l'enroulement 11/4 de T1 est redressée par D15, produisant 38 V ; cette tension est lissée par C40. Cette tension est ensuite réduite pour fournir 30 V à 20 mA via R96, et est bloquée par ZD21.
L'enroulement 10/14 produit 5 V à 1,5 A lorsque la tension redressée par D17 et lissée par C37 & 38. Ce rail de tension, qui est le rail d'intensité la plus élevée, est utilisé pour la régulation via IC8 et assure le retour via IC4 à la broche 1 de IC10. A partir du rail de 5 V, un rail de 3V3 est extrait à 2,7 A. La sortie de courant est contrôlée par un circuit de modulation d'impulsions en largeur constitué d'un transistor à effet de champ MOS Q9, la commande de la porte est assurée par Q10, et les broches 1 et 2 de IC6 sont alimentées par un circuit de génération d'ondes en dents de scie constitué de D20, ZD9, R32, C44, D19, C43 et R30. La broche 3 est alimentée par des signaux CC variables via IC7 et R31. Le rail de tension 3V3 est régulé par IC7. Consultez la section consacrée au convertisseur +5/+8 V C.C.-C.C. de l'étage principal.
L'enroulement 8/14 fournit 12 V depuis D16, C35 et le condensateur de lissage C39, en outre un rail de 9 V est fourni par le régulateur IC6.
PROTECTION DU SECONDAIRE : assurée via broche 7 de IC6. La broche 6 de IC6 est réglée à une tension constante d'environ 3 V, la broche 5 est utilisée comme point de détection de surtension, D18, 25 et 33 sont utilisés pour réduire la broche 5 en dessous de la broche 6 pendant une surintensité ; dans cet état la broche 7 est à un niveau bas ce qui désactive le point de retour broche 1 de IC10 et coupe l'alimentation.

FONCTIONNEMENT DE LA RÉACTION

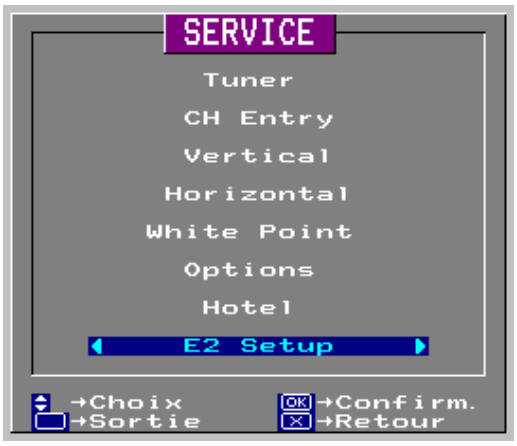
L'augmentation de la demande de charge des rails du secondaires résulte en un retour de tension plus élevé sur la cathode de IC8, qui à son tour augmente la tension sur la broche 1 de IC10. Cette tension est comparée à la dent de scie produite sur la broche 4 via R76 & C95. Ceci produit l'impulsion carrée de commande de porte avec un temps hors service plus long et par conséquent plus la demande est importante et plus le rapport cyclique est important, et vice versa.

Entretien courant

SERVICE.

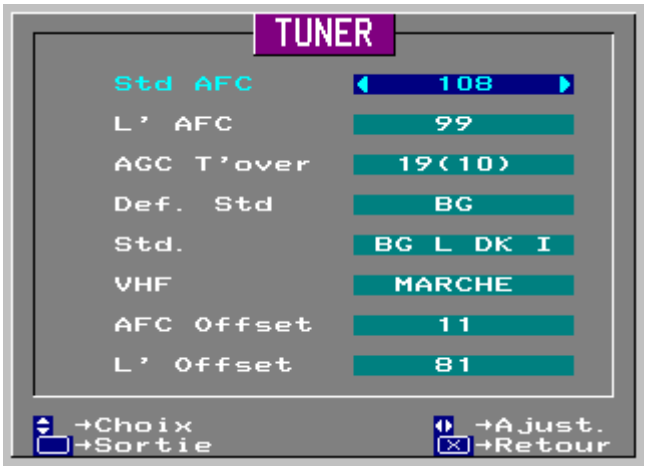
MODE SERVICE

Pour entrer dans le mode Service à partir du menu principal, maintenez la pression sur les touches "Volume +" et "Volume -" du panneau avant du téléviseur jusqu'à ce que les options "Service" et "Sortie service" apparaissent au pied de l'écran du menu principal.
L'option Service permet alors d'accéder aux menus de service. Le téléviseur reste dans le mode Service tant que l'option "Sortie service" n'est pas utilisée pour quitter ce mode. L'option Installation s'affiche toujours dans ce mode. Lorsque le téléviseur est dans le mode Service, les informations usine apparaissent à l'écran lorsque le téléviseur n'est pas dans le mode Menu ou dans le mode Télétexte. Les information affichées sont la version logicielle, le numéro de modèle et des informations implicites mémorisées (voir ci-dessous).



MENU SERVICE

Ce menu vient s'afficher lorsque l'option Service est sélectionnée sur le menu principal. Chaque élément affiche le sous-menu Service approprié. Chaque sous-menu Service est décrit en détail ci-dessous.



MENU SERVICE REGLAGE TUNER

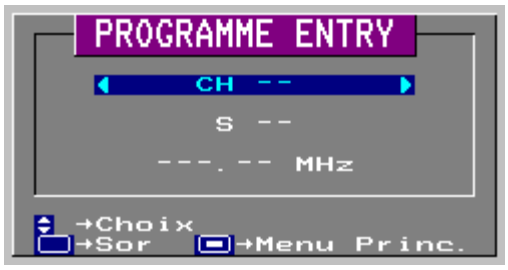
Les options que propose ce menu sont les suivantes :

- Std IF AFC. L'ajustement de ce paramètre lance l'alignement automatique AFC en fonction des normes BG/I/DK. Consultez la procédure d'alignement pour de plus amples renseignements.
- L' IF AFC. L'ajustement de ce paramètre déclenche l'alignement automatique AFC en fonction de la norme L. Consultez la procédure d'alignement pour de plus amples renseignements.
- AGC T'over. Ce paramètre permet d'ajuster la prise en main du contrôle automatique de gain (AGC). Consultez la procédure pour de plus amples renseignements.
- Def. Std. Ce paramètre fixe la norme implicite des appareils qui ont une détermination automatique de norme.
- Standards. Ce paramètre énumère la liste des normes qui peuvent être exploitées sur des appareils qui ont l'option de détermination automatique de normes.

REMARQUE : les appareils qui n'ont pas l'option de détermination automatique de normes ont une option BG Marche/Arrêt et une option standard qui permet de sélectionner une norme. Les options Def. Std et Standards ne sont pas disponibles sur ces appareils.

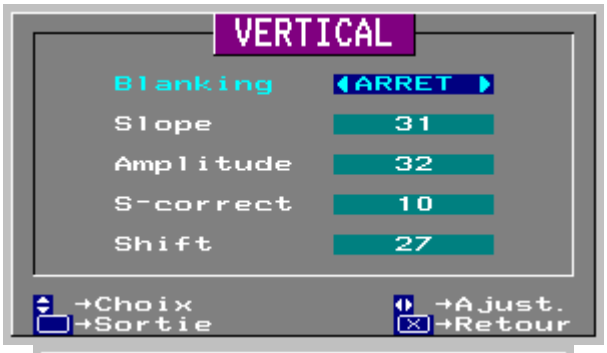
- VHF. Cette option permet d'activer le réglage en VHF des appareils qui sont équipés d'un tuner VHF (exportation).

Décalage AFC, décalage L'. Il ne faut pas ajuster ces paramètres qui sont en fait réglés en usine.



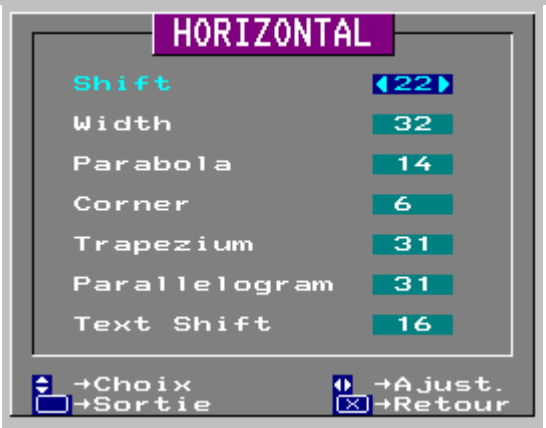
MENU SERVICE ENTREE PROGRAMME

Il est identique au menu accessible à l'aide de la touche CH sur les appareils numériques non intégrés.



MENU DE SERVICE AJUSTEMENT VERTICAL

Il permet d'ajuster les paramètres de déflexion verticale.

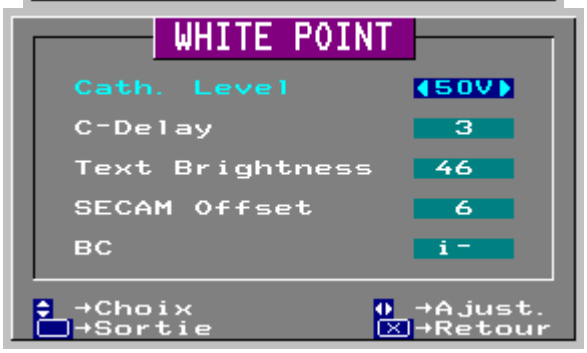


MENU SERVICE AJUSTEMENT HORIZONTAL

Il permet d'ajuster les paramètres de déflexion horizontale. Le paramètre de décalage RGB (rouge/vert/bleu) permet de régler le décalage horizontal lors de l'utilisation d'une source RGB. Lors de l'ajustement du décalage de texte, une mire d'essai de forme Télétexte apparaît à l'écran pour faciliter cet ajustement.

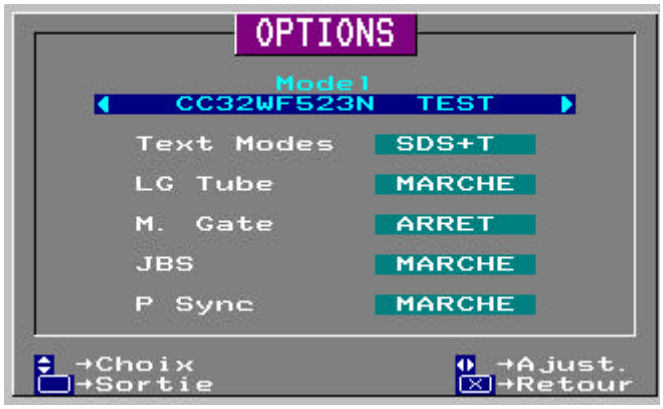
MENU SERVICE AJUSTEMENT POINT BLANC

Consultez la procédure d'alignement pour obtenir des renseignements détaillés sur la procédure de réglage de ces paramètres. Utilisez l'option Plus… pour afficher le menu Point blanc (Plus).



MENU SERVICE REGLAGE POINT BLANC (PLUS)

Consultez la procédure d'alignement qui fournit des renseignements détaillés sur le réglage de ces paramètres. Une mire d'essai à texte vient s'afficher lors du réglage de la luminosité du texte. L'option "Courant noir" n'est pas réglable et sert d'indication lors du réglage du potentiomètre écran sur le FPT.



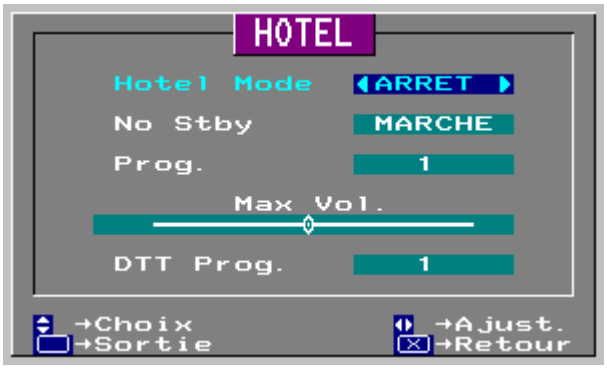
MENU SERVICE OPTIONS

Les options suivantes sont proposées :

- Nom Modèle. Cette option permet de sélectionner le nom du modèle. Une pression sur la touche OK permet de modifier ce nom.
- Modes Texte. Cette option permet de programmer les modes texte. Ces options sont les suivantes : SGL qui veut dire simple uniquement, S/D qui veut dire page simple et page double ou SDS qui veut dire page simple, page double et division (texte et image, modèle W35 uniquement).

REMARQUE : lorsque +T apparaît dans l'option Modes texte, cela signifie que le texte TOP est activé. Certains appareils ont une option distincte pour activer un texte TOP.

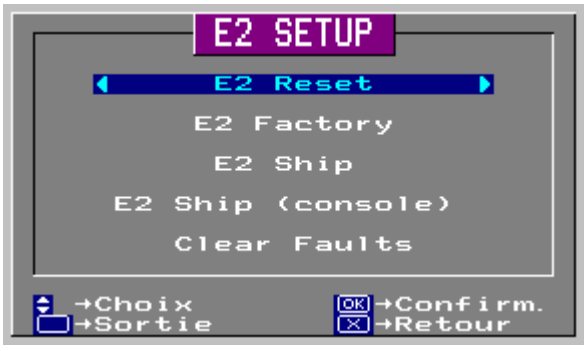
- Type tube. Il ne faut rien mettre pour cette option ou la programmer sur LG lorsque cet appareil est équipé d'un tube LG.
- Porte M. Il faut programmer cette option sur MARCHE lorsque la carte PW et la porte Macrovision équipent cet appareil.
- Processeur. Cette option est programmée pour indiquer si le processeur qui équipe ce téléviseur est de type JBS ou JBL. (Cette indication figure sur le corps d'I001 de la carte principale).
- Sync. pos. : il faut programmer cette option sur MARCHE pour les modèles W30 et W35. Cela n'a aucun effet sur les appareils en 50 Hz.



MENU SERVICE OPTIONS HOTEL

Ce menu programme les paramètres du mode Hôtel. Les options suivantes sont proposées :

- Mode Hôtel. Cela programme le mode Hôtel sur Marche ou sur Arrêt. Aucune des autres options n'a un effet tant que le mode Hôtel n'est pas sur Marche. Il convient de noter que les menus Image et Installation ne sont pas mis à la disposition de l'utilisateur lorsque ce téléviseur est dans le mode Hôtel et pas dans le mode Service.
- Pas de veille. Lorsque cette option est programmée sur MARCHE, le téléviseur sort du mode de veille chaque fois qu'il est mis sous tension dans le mode Hôtel. (Normalement, cet appareil reste dans le mode Veille s'il était dans le mode de veille avant d'avoir coupé le courant).
- Programme. Cette option permet de régler le programme, qui est sélectionné chaque fois que le téléviseur sort du mode de veille, dans le mode Hôtel.
- Volume maxi. Cette option règle le volume maxi dans le mode Hôtel.
- Programme DTT. Sur des appareils numériques intégrés, cela règle le programme initial du module décodeur numérique dans le mode Hôtel. Cette option vient s'afficher lorsque la fonction Programme est réglée sur "DTT".



MENU SERVICE PROGRAMMATION E2

- Sélectionnez l'option E2 usine lorsqu'il faut programmer automatiquement les valeurs E2, en général après avoir changé l'I005.
- Sélectionnez l'un des réglage de l'option E2 Envoi pour choisir les conditions préférentielles d'envoi dans l'E2.

AVERTISSEMENT La sélection d'une des options susmentionnées provoque des changements au niveau des ajustements et il faudra procéder à un réalignement. Consultez la procédure d'alignement qui vous donne les réglages requis pour chaque modèle.

- Sélectionnez l'option Effacer anomalies pour réinitialiser les informations mémorisées d'anomalies (voir ci-dessous).

AUTO-DIAGNOSTIC.

Ce téléviseur a un mode de détection, d'enregistrement et de signalisation de renseignements détaillés sur les anomalies auto-détectées, afin de faciliter le diagnostic, en particulier en présence de défauts intermittents.
Chaque anomalie enregistrée reçoit un numéro de code d'anomalie et une valeur de statut. Cette valeur indique si l'anomalie est présente, indique quand ce problème s'est produit la dernière fois et combien de fois cette anomalie s'est produite. Ces informations sont conservées dans la mémoire EEPROM et y restent tant qu'elles ne sont pas effacées par le menu Service ou par l'interface de diagnostic. Chaque fois qu'une anomalie se produit, l'indication actuelle de cette défaillance est programmée et un compteur indique le nombre de fois que l'anomalie s'est produite. Ce compteur peut aller jusqu'à 9.
En outre, lorsque des anomalies à numéro codé inférieur à 0100 se produisent, la DEL de statut d'alimentation électrique clignote pour indiquer le numéro de l'anomalie qui s'est produite. Par exemple, pour indiquer le code d'anomalie 3, la DEL clignote à 3 reprises puis effectue une pause et cette séquence recommence.
Les codes supportés à l'heure actuelle d'anomalies sont les suivants :

Code d'anomalie	Description
0000	Le microprocesseur a été réinitialisé sous le contrôle du chien de garde (watchdog) du microprocesseur. Cela se produit surtout à la suite d'une perturbation électrique, mais peut également se produire du fait d'une anomalie d'I001, d'I002 ou d'I003 (le cas échéant).
0001	La ligne bonne d'alimentation électrique a été activée (mise à la masse) pendant la mise en marche de l'appareil.
0002	La ligne de protection a été activée (mise à la masse) pendant la mise sous tension de l'appareil.
0003	Défaillance de la déflexion horizontale. Ce code d'anomalie est programmé lorsque l'impulsion de synchronisation OSD horizontale de la broche 49 d'I001 est absente lors de la mise sous tension de l'appareil.
0004	Défaillance de la déflexion verticale. Ce code d'anomalie est programmé lorsque l'impulsion de synchronisation OSD verticale de la broche 48 d'I001 manque lors de la mise sous tension de l'appareil.
0005	Compte-à-rebours à zéro de la stabilisation à courant noir lors de la mise sous tension de l'appareil. Cela se produit à la suite d'une défaillance des circuits RGB (rouge/vert/bleu) entre le TDA9330 (IE02 broches 40-42), le P302, la carte PWB de base de tube cathodique et le signal de réaction de P302 à destination de la broche 44 d'IE02.
0006	Panne de communication du microprocesseur sur la barre bus I2C du fait de la présence d'un court-circuit à la masse ou d'une tension de +5 V sur un des signaux SDA/SCL ou sur ces deux signaux.
0007	L'appareil n'as pas réussi à se mettre en marche après 3 tentatives. La raison de cette anomalie devient évidente lorsqu'on examine les autres codes d'anomalies.
0008	Le microprocesseur a effectué une réinitialisation de mise en marche, en général à la suite d'une panne de l'alimentation de 5 V ou d'un arrêt de l'alimentation électrique principale (du fait d'une protection contre les courants excessifs), lors de la mise en marche de l'appareil. Le numéro donné à cette anomalie augmente d'une unité lorsque le microprocesseur est réinitialisé et est effacée lorsque le téléviseur arrive à se mettre en marche.
0009	Détection de surtension EHT (protection contre les rayons X). Ce défaut se produit lorsqu'une tension supérieure à 4 V est présente au niveau de l'entrée de compensation ? (broche 4) d'IE02.
000a	Détection de claquage. Ce défaut se produit lorsqu'une tension supérieure à 2 V est présente au niveau de la broche 5 d'IE02 (TDA9330).
000b	Le microprocesseur n'a pas réussi à communiquer avec la mémoire EEPROM (I005) du fait d'une défaillance de ce dispositif ou du fait de mauvaises connexions avec la barre bus I2C.
000c	La ligne de détection de panneau de ventilateur DTTa été activée (mise à la masse) pendant 10 secondes lors de la mise en marche du module DTT (modèles numériques uniquement). Ce défaut est détecté sur la broche 32 d'I001.
000d	Le téléviseur n'a pas reçu de signaux depuis 10 minutes alors qu'il était dans le mode numérique (le cas échéant) ou RF. Cela peut être dû à un problème au niveau de l'antenne ou à une anomalie dans le module tuner ou dans les circuits à proximité d'I200.
000e	(Appareils numériques Dolby uniquement) Défaillance interne du module décodeur Dolby Digital.
Les codes 01xx indiquent une anomalie de contrôle I2C d'un dispositif ; les xx identifient le dispositif concerné. Les codes supportés sont les suivants.	
0184	Le microprocesseur n'a pas réussi à contrôler le processeur de son MSP3410 (I400).
018a	Le microprocesseur n'a pas réussi à contrôler le processeur d'entrée TDA9320 (I200).
018c	Le microprocesseur n'a pas réussi à contrôler le processeur de sortie TDA9330 (IE02).
Les codes 02xx indiquent une réinitialisation interne d'un dispositif contrôlé par I2C ; les xx identifient le dispositif	

Code d'anomalie	Description
concerné. Les codes de ces dispositifs sont les mêmes que pour les codes 01xx correspondants. Les codes supportés sont les suivants.	
0284	Une réinitialisation avec mise sous tension du processeur de son MSP3410 (I400) a été détectée.
028a	Une réinitialisation avec mise sous tension du processeur d'entrée TDA9320 (I200) a été détectée.
028c	Une réinitialisation avec mise sous tension du processeur de sortie TDA9330 (IE02) a été détectée.
Les codes 0300 sont liés au module DTT. Ils s'appliquent uniquement aux postes IDTV.	
0300	Le microprocesseur TV n'a pas réussi à communiquer avec le module DTT par le biais de la liaison RS232. Cela peut être dû à une défaillance de l'alimentation électrique du DTT, à des branchements incorrectes des câbles entre le téléviseur et les modules DTT ou à une anomalie interne du module DTT.
0301	Le module DTT a signalé une anomalie de la mémoire AV.
0302	Le module DTT a signalé une anomalie de la mémoire rémanente.
0304	Le module DTT a signalé une anomalie du codeur PAL.
0305	Le module DTT a signalé une anomalie du démodulateur avant.
0306	Le module DTT a signalé une anomalie du FEC avant.
0307	Le module DTT a signalé une anomalie du tuner AFE.
0308	Le module DTT a signalé une anomalie du dispositif Altera (IC400).
0309	Le module DTT a signalé une anomalie du modem.
030a	Le module DTT a signalé une anomalie de l'interface smartcard (carte intelligente).
030b	Le module DTT a signalé une défaillance signal/image.

Comme indiqué ci-dessus, une valeur de statut est mémorisée avec chaque anomalie. Les valeurs de statut fournissent les informations suivantes :

- Le nombre de fois qu'une anomalie a été détectée. Ce compte peut aller jusqu'à 9 avant de s'arrêter. Ce nombre augmente d'une unité qu'après chaque mise en marche du téléviseur.
- Quand s'est produite cette anomalie pour la dernière fois. La valeur 7 indique l'anomalie est la plus récente alors que la valeur 0 indique l'anomalie la moins récente.
- Indication signalant ou non la présence actuelle de l'anomalie. Sauf indication contraire ci-dessus, cette indication est programmée sur Faux lorsque le téléviseur sort du mode de veille et est programmée sur Vrai lorsque cette anomalie est détectée.

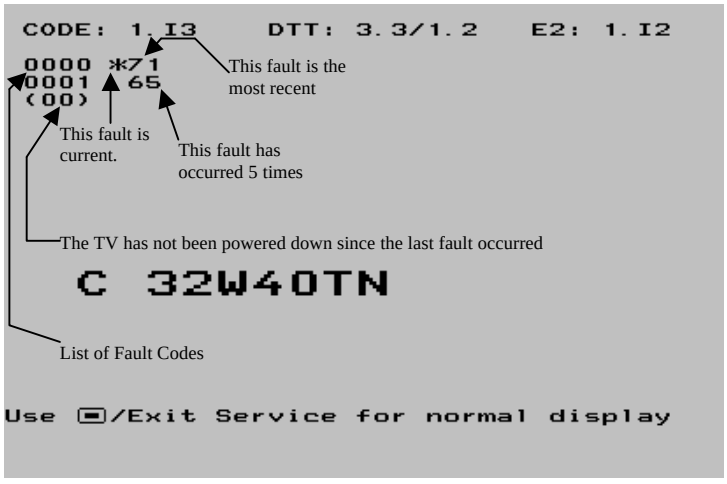
L'illustration suivante indique le mode de présentation de ces informations à l'écran.

COMPTEUR DE CYCLES DE MISES SOUS TENSION.

Ce compteur indique le nombre de mises sous tension du téléviseur. Ce nombre est conservé dans la mémoire EEPROM. Ce nombre augmente d'une unité chaque fois que le téléviseur est mis sous tension et est ramené à zéro lorsqu'une anomalie se produit. Par conséquent, il faut une indication sur le temps qui s'est écoulé depuis la dernière anomalie. Lorsque la valeur de ce compte atteint 30 (nombre décimal), toutes les valeurs de statut d'anomalies sont automatiquement remises à zéro, étant donné que l'on considère alors que ces anomalies ne sont plus importantes.

AFFICHAGE D'INFORMATIONS MÉMORISÉES D'ANOMALIES.

L'illustration suivante montre un affichage typique d'informations d'anomalies qui peuvent apparaître sur un téléviseur dans le mode Service. Le code d'anomalie 0000 (chien de garde du microprocesseur) est présent et le code d'anomalie 1 (bonne ligne d'alimentation électrique) s'est produit à 5 reprises.


CODE: 1.I3 DTT: 3.3/1.2 E2: 1.I2
0000 *71
0001 65
(00)
This fault is the most recent
This fault is current.
This fault has occurred 5 times
The TV has not been powered down since the last fault occurred
C 32W40TN
List of Fault Codes
Use ▣/Exit Service for normal display

INTERFACE DE DIAGNOSTIC.

Le logiciel de ce téléviseur permet de brancher un ordinateur personnel PC pour effectuer certaines fonctions de diagnostic. Cette connexion opère à l'aide des broches 10 et 12 de la prise PERITEL 2 (AV2). Cette interface de diagnostic est toujours activée lorsque le téléviseur est dans le mode Service. En outre, lorsqu'une anomalie présente empêche toute entrée normale dans le mode Service, la mise sous tension du téléviseur en utilisant les deux boutons de volume (VOL + et VOl -), qui se trouvent à l'avant de l'appareil, entraîne également l'activation de cette interface.
Veuillez contacter Hitachi Home Electronics (Europe) pour obtenir des renseignements détaillés sur le logiciel PC et les câbles de diagnostic qui ont pour but de faciliter l'activité de diagnostic utilisant cette interface.

DEUTSCH

SICHERHEIT

SICHERHEITSVORKEHRUNGEN

WARNUNG: Die folgenden Vorkehrungen müssen eingehalten werden.

ALLE PRODUKTE

1. Bevor die Grundplatte gewartet wird, sollte ein Trenntrafo zwischen die Netzleitung und das Produkt eingebracht werden.
2. Wenn die Grundplatte in das Gehäuse zurückgestellt wird, stellen Sie sicher, dass alle Schutzvorrichtungen wieder an ihrem Ort sind.
3. Wenn Wartung erforderlich ist, halten Sie die originale Verdrahtungsart ein. Besondere Vorsicht ist nötig, um die korrekte Verdrahtungsart in jedem Hochspannungsstromkreis zu gewährleisten.
4. Viele elektrische und mechanische Teile von HITACHI Produkten haben besondere sicherheitsbezogene Eigenschaften. Diese Eigenschaften fallen oft nicht ins Auge, aber der durch sie gewährte Schutz kann nicht unbedingt erreicht werden, wenn man Ersatzteile benutzt, die für höhere Spannung, Leistung usw. ausgelegt sind. Ersatzteile, die diese besonderen Sicherheitsmerkmale haben, sind in den Prinzipskizzen und Ersatzteillisten an einem ⚠ zu erkennen.
   Der Gebrauch von Ersatzteilen, die nicht dieselben Sicherheitsmerkmale haben wie die empfohlenen HITACHI Ersatzteile, wie sie in der Ersatzteilliste aufgeführt sind, kann zu elektrischem Schlag, Feuer, Röntgenstrahlung und anderen Gefahren führen.
5. Immer die originalen Abstandsstücke ersetzen und die Leitungslängen beibehalten. Wo ein Kurzschluss passiert ist, die Teile ersetzen, bei denen Überhitzung nachzuweisen ist.
6. Der Isolierwert sollte bei 500 V Gleichstrom zwischen den Hauptpolen und allen zugänglichen Metallteilen nicht unter 2M Ohm liegen.
7. Bei der Prüfung auf Durchschlagsfestigkeit sollte kein Überschlag oder Durchschlag vorkommen, wenn zwei Sekunden lang 3 kV Wechselstrom oder 4,25 kV Gleichstrom zwischen den Hauptpolen und allen zugänglichen Metallteilen angelegt wird.
8. Bevor das gewartete Produkt dem Kunden zurückgegeben wird, muss der Wartungstechniker das Gerät gründlich prüfen, um sicherzustellen, dass es betriebssicher ist ohne das Risiko eines elektrischen Schlages. Der Wartungstechniker muss sicherstellen, dass keine vom Hersteller im Gerät eingebaute Schutzvorkehrung schadhaft geworden ist oder bei der Wartung unabsichtlich beschädigt wurde.

CE KENNZEICHEN

1. HITACHI Produkte enthalten eventuell das CE Kennzeichen auf dem Leistungsschild, welches angibt, dass das Produkt Teile enthält, die eigens zugelassen sind, um bis zu einem spezifizierten Niveau elektromagnetische Störfreiheit zu bewirken.
2. Wenn Sie irgendein Teil in diesem Produkt ersetzen, benutzen Sie bitte nur das korrekte Teil, das in der Ersatzteilliste aufgeführt ist, um sicherzustellen, dass dieser Standard eingehalten wird, und geben Sie acht, die Verdrahtungsart in ihren ursprünglichen Zustand zurück zu versetzen, weil das einen Einfluss auf die elektromagnetische Abstrahlung/Störsicherheit haben kann.

BILDRÖHRE

5. Die Leitungsausgangsstufe kann Spannungen von mehr als 25 kV entwickeln; wenn die Höchstspannungskappe entfernt werden muss, entladen Sie die Anode zum Gehäuse über einen hochohmigen Widerstand, bevor Sie sie aus der Bildröhre entfernen.
6. Hochspannung sollte immer auf den festgelegten Wert des Gehäuses beschränkt bleiben und nicht mehr. Betrieb bei höherer Spannung kann zum Versagen der Bildröhre oder zu hoher Spannungszufuhr führen und kann unter Umständen auch Röntgenstrahlung hervorbringen, die leicht über dem Konstruktionsniveau liegt. Die Hochspannung darf auf keinen Fall 29 kV am Gehäuse überschreiten (außer bei Projektionsfernsehern).
7. Die Hauptquelle der Röntgenstrahlung im Produkt ist die Bildröhre. Die Bildröhre, die für die oben erwähnte Funktion in diesem Gehäuse benutzt wird, ist eine Spezialkonstruktion zur Begrenzung der Röntgenstrahlung. Um den Schutz vor der Röntgenstrahlung zu behalten, ersetzen Sie bitte die Röhre durch denselben Typ wie den ursprünglichen von HITACHI zugelassenen.
8. Halten Sie die Bildröhre bei der Handhabung vom Körper weg. Sie dürfen die Bildröhre nur dann installieren, entfernen oder handhaben, wenn Sie eine nicht splitternde Schutzbrille tragen. Personen ohne derartigen Schutz sollten ferngehalten werden, solange Bildröhren gehandhabt werden.

LASER

Wenn das Produkt einen Laser enthält, setzen Sie sich keinesfalls direkt dem Strahl aus, wenn die Abdeckung geöffnet ist oder wenn die Verriegelung versagt.

Schaltungsbeschreibung

D8/A8 VERFAHREN ZUM GRUNDPLATTENABGLEICH

ANWENDUNGEN

DIESE SPEZIFIKATION SOLLTE AUF ALLE GB UND EXPORT ,A8 EMPFÄNGER ANGEWENDET WERDEN

P.W.B MONTAGE-JUSTIERUNG

FÜR SIGNAL

VORBEREITUNGS-JUSTIERUNG

- +B adj. VR982.....Mitte
- Bildschirm VR (FBT).....Voll im Gegenuhrzeigersinn
- Gerät einschalten. +B auf ca. 152V justieren. (Nur Vorjustierung - Endjustierung in +B Abschnitt für SPANNUNGS-JUSTIERUNG)
- Bei Elektronenstreuung L501 justieren, bis ein sauberes Signal am Oszilloskop-Videoausgangs-Port zu sehen ist.

Für Modelle mit Einblendungsaggregat sicherstellen, dass die Wartungs-Information lautet **FLASH: x.x** anstatt **Code: x.x** für die Software-Version.

STANDARD ABGLEICH DER AUTOMATISCHEN SCHARFABSTIMMUNG (AFC)

- Um den Einfluss des Schaltkreistemperaturverzuges zu verringern, lassen Sie den Fernseher warm werden, indem Sie ihn mehr als zwei Minuten normal laufen lassen.
- Empfangen Sie ein 'PAL I' Signal, indem Sie **Programm 3** mit der Fernbedienung auswählen.
- Empfangen Sie einen Signalpegel von +60 dBuV bei 623,25MHz (CH40) durch **direkte Frequenzeingabe** mit der CH Auswahlmöglichkeit.
- Stellen Sie AFC versetzt (in Betrieb - Auswahlmöglichkeiten) auf die Mittelposition.
- Wählen Sie im Tunermenü Standard I.F AFC und drücken Sie '<' oder '>' auf der Fernbedienung, um das automatische AFC Einstellungs-Verfahren zu aktivieren.
- Wenn der Anzeigestrich zu einer Seite geht und dann zurück zur Mitte, justieren Sie L201 mit einer Umdrehung und gehen zurück zu Schritt 3, machen Sie das so lange, bis der Anzeigestrich nicht mehr zur Mitte zurückspringt.

L' AFC ABGLEICH (NUR FÜR EXPORTMODELLE).

- Um den Einfluss des Schaltkreistemperaturverzuges zu verringern, lassen Sie den Fernseher warm werden, indem Sie ihn mehr als zwei Minuten normal laufen lassen.
- Empfangen Sie ein L' Signal, indem Sie **Programm 14** mit der Fernbedienung auswählen.
- Empfangen Sie einen Signalpegel von +60 dBuV bei 63,75MHz (CH4) durch **direkte Frequenzeingabe** mit der CH Auswahlmöglichkeit.
- Wählen Sie im Tunermenü L' I.F AFC und drücken Sie '<' oder '>' auf der Fernbedienung.
- Wenn der Anzeigestrich zu einer Seite geht und dann zurück zur Mitte, justieren Sie L201 mit einer Umdrehung und gehen Sie zurück zu Schritt 3, machen Sie das so lange, bis der Anzeigestrich nicht mehr zur Mitte zurückspringt.

Weil die Einstellungsverfahren interaktiv sind, muss man alle Verfahren von STANDARD AFC ABGLEICH. wiederholen, bis keine Justierung von L201 mehr nötig ist.

ABGLEICH DER AUTOMATISCHEN LAUTSTÄRKEREGELUNG (AGC)

- Um den Einfluss des Schaltkreistemperaturverzuges zu verringern, lassen Sie den Fernseher warm werden, indem Sie ihn mehr als zwei Minuten normal laufen lassen.
- Verbinden Sie ein Voltmeter mit mindestens 100K Innenwiderstand mit dem A.G.C. Anschluss des Tuners.
- Empfangen Sie Kanal 40 (623,25mhz) bei +60dBuV.
- Justieren Sie die A.G.C. mit der A.G.C Übernahme-Möglichkeit im Tuner-Untermenü, bis die A.G.C. Spannung bei 2,8V +/- 0,1V liegt.

STROM UND ABLENKUNGS-JUSTIERUNG

+B SPANNUNGS-JUSTIERUNG

- Wechselstrom-Eingangs-Spannung = 230V ± 5V/50 Hz
- Drehen Sie +B Spannung (R982) zum Mittelpunkt (wenn Vor-Justierung nicht erfolgt).
- Empfangen Sie Philips Schaltkreismuster. Schalten Sie die Grundplatte ein und stellen Sie Helligkeit und Kontrast aufs Maximum ein.
- Machen Sie eine Minute oder länger einen Erwärmungsversuch, dann drehen Sie R982 allmählich und justieren Sie +B (nach 30 Sekunden nachprüfen)

Messpunkt : +B Spannung C958 + Seite
Gnd C958 - Seite

- Stellen Sie den Wert der +B Spannung auf den Wert in der Tabelle unten ein.

MODELL	+B SPANNUNG (V)
Alle D8	151V ± 0,2V
Alle A8	148V ± 0,2V

	Mindestlast	Höchstlast
+8V = 8V ± 5%	0,3A	0,8A
+5V = 5V ± 5%	0,3A	0,8A
+16V = 16V ,+3V – 0,5V	0A	1,6A
+16V(Phono) = +16V, (+ 3V, - 1V)	0A	200mA
+B	0,2A	0,8A

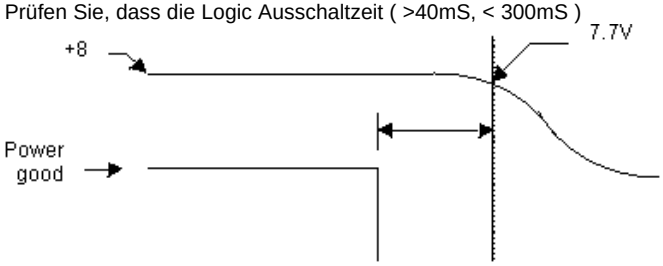
- Prüfen Sie, dass + B Spannung in Bereitschaft > 145V und < 160V.

Kurzschlusstest (alle Schienen). PSU sollte in Bereitschaft /Rückstellung/Sperre gehen (Stromversorgung muss für neuen Start eventuell entfernt werden). Audio-Schiene sollte geprüft werden , Q921 Quelle an 0V.

STROM UND ABLENKUNGS-JUSTIERUNG

MINUSPOL DER STROMVERSORGUNG

- Stellen Sie das Bild zu denselben Bedingungen wie oben ein.
- Messen Sie Stift 2 I903. Sollte HI sein, falls LOW dann unterbrechen Sie R962 (falls montiert). Falls HI, aber keine Ausschaltzeit (siehe unten), dann unterbrechen Sie R955 (falls montiert).
- Prüfen Sie, dass die Logic Ausschaltzeit (>40mS, < 300mS)



- Nachdem Sie den Minuspol der Stromversorgung eingestellt haben, prüfen Sie den Betrieb bei 200V Wechselstrom vom Netz

PRIMÄRE STROMBEGRENZUNG
(Voreinstellung R980 auf Mittelpunkt)

Schiene	Auslöselast	Prüflast	Auslösestrom	Prüfstrom
+B	1,2ADC	1,1A	180W	165W
+16V	2,24ADC	1,65A	36W	26W
+11V (+5, +8)	1,60A	1,60A	18W	18W
TOTAL W			234W	209W

- Wenden Sie volle Last +40% in Bereitschaft an, auf die +B & Audio/+11V Schienen (dynamische Last) wie in der Tabelle oben.
- Justieren Sie R980, bis das Gerät ausschaltet .
- Wenden Sie Prüflast in Bereitschaft an. PSU sollte nicht ausschalten.

PRÜFUNG DES BEREITSCHAFTSBETRIEBS

- Prüfen Sie, dass alle Schienen (außer +B und Bereitschaft +5V) auf 0V gehen.
- Prüfen Sie, dass +B nicht über 160V steigt

ALLGEMEINE SICHERHEITSPRÜFUNG

- BEAB Hochspannungstest, um die Komponenten über die Transformatorisolation zu bestätigen (einschließlich Unter-Schaltplatte).
- Deg Relais-Einsetzungs-Orientierungs-Test (Relais kann invertiert auf PSU Haupt- oder Unter-Konsolen-Gestell montiert werden). + Job Anleitung, um Orientierung des Relais zu zeigen.

UNTER-SCHALTPLATTEN-PSU-PRÜFUNG (DTT/BASS/KONSOLEN-PSU)

- Kurzschlusstest (alle Schienen)
- Ausgangsspannungstest (alle Schienen), siehe Tabelle.
- Bereitschaftsbetrieb. Alle Schienen sollten aus sein. +10V liegt an Stromversorgung, Unter-PSU & opto.
- Vollast-Betriebs-Prüfung.

SCHIENE	DTT	BASS	KONSOLE
38V	/	0,62A	0,62A
32V	/	/	0,92A
9V	400mA	/	/
5,1V	1,5A	Gebraucht für Abschaltung des Lautsprechers	Gebraucht für Abschaltung des Lautsprechers
3V3	2,7A	/	/
30V	10mA	/	/
12V	10mA	/	/

DTT +5V EINSTELLUNG

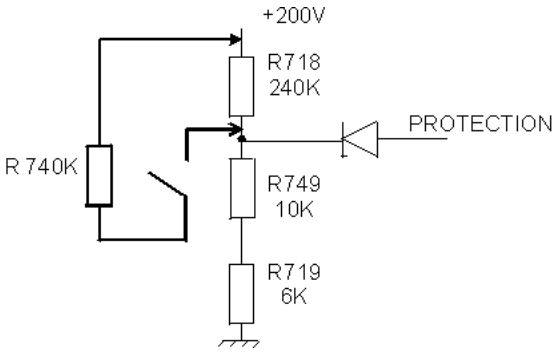
- Stellen Sie VR1 ungefähr auf Mittelposition ein (10kΩ).
- Schalten Sie den Strom ein, indem Sie eine externe Last anwenden, siehe Tabelle.
- Justieren Sie VR1 und stellen Sie sicher, dass die +5,2V Schiene innerhalb von ± 0,05V liegt.

UNTERSCHALT-PLATTE MUSS NACH BEAB STANDARD IN EINEM GERÄT ODER KONSOLENGESTELL GETESTET WERDEN.

SCHALTKREISPRÜFUNG DES HOCHSPANNUNGSBEGRENZERS

- Gedruckte Schaltung im Gerät montieren und normal justieren.
- Empfangen Sie das Kreismustersignal.
- Stellen Sie Kontrast und Helligkeit aufs Maximum ein.
- Fügen Sie R=470K in Parallele mit R718 und R718A hinzu.
- Prüfen Sie, dass Bild und Ton verschwinden, wenn R hinzugefügt werden.

ANMERKUNG:
Schaltkreiskoppelspule des Hochspannungsbegrenzers:



	R719	R749
2		
25",28"	47K	4K7
28" 16/9	47K	4K7
32" 16/9	47K	4K7

FOKUSSIER-ANODEN-KURZSCHLUSS-TEST-SCHUTZ-SCHALTKREIS-PRÜFUNG

- Legen Sie eine Gleichstromspannung an R760, bis das Gerät ausschaltet (Der Gleichstrompegel sollte äquivalent sein mit 1,7 x (+B gegenwärtiger Höchstwert)

0,6 VDC R760 GERÄT **SOLLTE NICHT** AUSSCHALTEN
1,6 VDC R760 GERÄT **SOLLTE** AUSSCHALTEN

PEGELPRÜFUNG DER ANODENENDSPANNUNG.
Bitte prüfen Sie bei allen A8 Modellen, dass die Anodenendspannung nicht die angegebenen Spannungen überschreitet.

28" Breitwand 31kV
32" Breitwand 32kV

Bei der Ausführung dieses Tests sollten Helligkeit und Kontrast aufs Minimum eingestellt sein.

FÜR ZUSATZKASTEN (NUR A8)

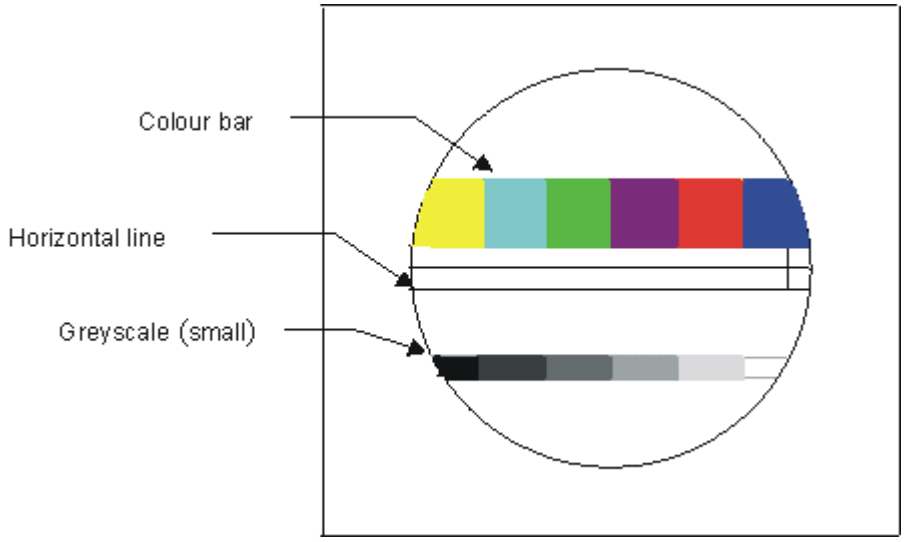
5V & 8V KURZSCHLUSSPRÜFUNG MITTELS ZUSATZKASTENPLATTE

- Messen Sie den Widerstand zwischen 5V (EU11, Stift 1) und GND (EU11, Stift 3) mit dem Vielfachmessgerät. Wenn das Gerät 62,5 ± 4Ω anzeigt, ist der ZUSATZKASTEN OK.
- Messen Sie den Widerstand zwischen 8V (EU11, Stift 6) und GND (EU11, Stift 3 mit dem Vielfachmessgerät. Wenn das Gerät 1,29 ± 0,1kΩ anzeigt, ist der ZUSATZKASTEN OK.

Wenn die Widerstandswerte nicht richtig sind, prüfen Sie bitte die Lötbrücke oder Lotverlust um IU03 (SDA9272).

ZUSATZ-KASTEN-BETRIEBS-PRÜFUNG

- Montieren Sie den ZUSATZKASTEN auf die Hauptplatte.
- Kreismuster empfangen (PAL), Bildqualität prüfen. **Prüfen**: Waagerechte ist stabil (siehe Waagerechte). <----- Nur für 2897,W35 Modelle: Der Farbbalkenteil ist korrekt (siehe Farbbalken). Der weiße Teil des Bildes ist reinweiß (siehe Grauskala).



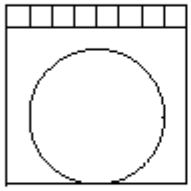
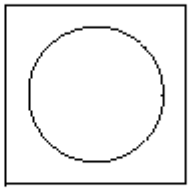
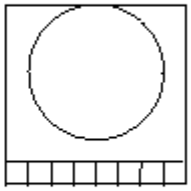
- Prüfen Sie die Zeile-für-Zeile-Abtastung /100 Hz Betrieb mit dem Handapparat (Taste für Abtastung) <----Nur für 2897,W35 Modelle.
- Ändern Sie die Schärfe , CTI , Verdichtung (14:9, 4:3 & Zoom), Rauschminderung (niedrig, mittel & hoch) mit dem Handapparat. Prüfen Sie die Gesamtleistung. Wenn digitale Störungen im Bild erscheinen oder Fehlbetrieb eintritt, weisen Sie den Zusatzkasten zurück.

Empfangen Sie ein NTSC Signal , prüfen Sie dieselben Punkte wie bei PAL.

BILDPOSITION/FORM

HORIZONTALE PHASE
VERTIKALES ZENTRUM
VERTIKALE AMPLITUDE

- Warten Sie wenigstens 5 Minuten nach Einschalten des Netzstroms, bevor Sie justieren.
- Empfangen Sie das Philips Kreismuster.
- Stellen Sie die Helligkeit und den Kontrast aufs Maximum ein.
- Das Gerät sollte nach Norden oder Süden gerichtet sein.
- Die Wechselstrom-Eingangsspannung sollte 230V ± 5V 50Hz sein.
- Justieren Sie die Softwaresteuerung (mit PC / HANDAPPARAT)
- Justieren Sie die Steuerung, bis die Mitte des Bildes so ist wie im Schaubild unten.

	Upper: Extends Lower: Shrinks	Standard	Upper: Shrinks Lower: Extends
Picture Condition			
Size	Adjust until upper part of castillations disappear	Adjust until both sides of castillations disappear.	Adjust until lower parts of castillations disappear.

Anmerkung:
Das Bild sollte übertrieben werden, um ein tonnenartiges Bild an den senkrechten Rändern zu schaffen. Die Kompensation, die für dieses Tonnenbild gebraucht wird, sollte 3 Schritte über die normale Position des senkrechten Randes hinausgehen. Das soll die Kissenverzeichnung ausgleichen, die auf den OSDs sichtbar ist.

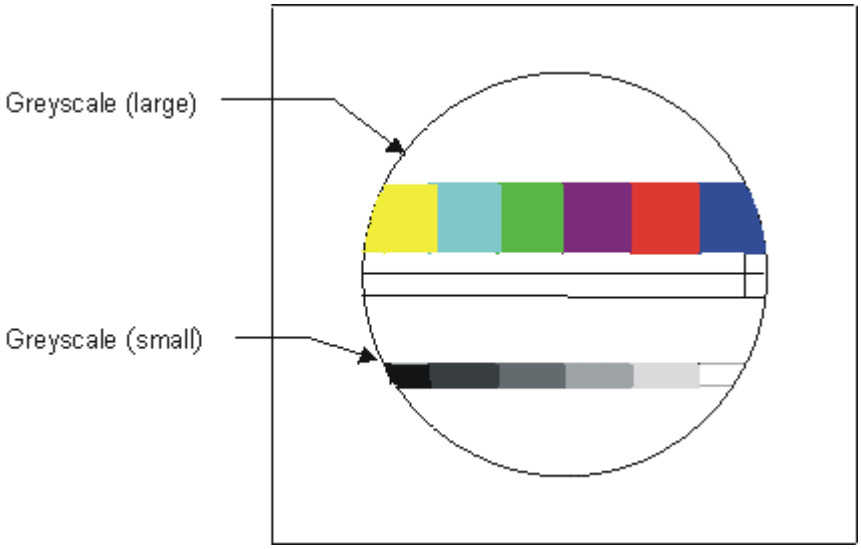
TEILBILDVERZERRUNG
PARABEL
BREITE

- Geben Sie 5 Minuten Einlaufzeit, bevor Sie justieren.
- Empfangen Sie das Philips Kreismuster.
- Stellen Sie die Helligkeit und den Kontrast auf den Nennwert ein.
- Das Gerät sollte nach Norden oder Süden gerichtet sein.
- Die Wechselstrom-Eingangsspannung sollte 230V ± 5V 50Hz sein.
- Justieren Sie die Software, so dass die senkrechten Linien der äußeren Ränder des Bildschirms ungefähr senkrecht eingestellt sind.
- Justieren Sie die Software, so dass die (ungefähr) senkrechten Linien an den Seiten des Bildschirms so senkrecht eingestellt sind wie die Mitte des Bildschirms.
- Justieren Sie die Software, so dass die Rechteckwellen an den Seiten des Bildes nicht ganz sichtbar sind. Verringern Sie Helligkeit und Kontrast, um sich davon zu überzeugen, dass die Bildbreite nicht abgenommen hat, so dass man über die Rechteckwellen hinaus sehen kann. Sie müssen Schritt 6 und 7 eventuell wiederholen.

ANMERKUNG. Bei allen 16:9 Empfängern sollte das Bild die erste Einstellung in der 16:9 Betriebsart sein, dann die Endjustierung für die Parabel, und nur die Eckenberichtigung sollte in der 4:3 Betriebsart ausgeführt werden.

BRENNPUNKTREGELUNG

- Empfangen Sie das Philips Kreismuster.
- Nehmen Sie die Justierung vor, nachdem die Waagerechte/Senkrechte eingeregelt ist.
- Wechseln Sie Ihr Empfangssignal zum Kreuzschraffursignal.



- Drehen Sie den Brennpunkts-Spannungsregler allmählich im Uhrzeigersinn von der Uhrzeigersinn-Position mit vollem Zähler, so dass der Brennpunkt der senkrechten Linie im Mittelteil, am weitesten nach rechts, zum bestmöglichen Ergebnis justiert wird (maximaler Kontrast, normale Helligkeit).

JUSTIERUNG DES WEISSABGLEICHS

- Empfangen Sie ein 100% weißes Signal. (Benutzen Sie keine Werkssignale, sondern einen Messsender über RF, um ein besseres Signal zu erhalten)
- Stellen Sie die Farb-Sättigung für die Mitte ein
- Justieren Sie die Rot- und Blau-Balken mit dem Menü für 'Weißpunkt'. Die Messung muss bei 10 cd durchgeführt werden.

CL Model	7400^{o}K
W30 Modelle	8700^{o}K
C Model	9300^{o}K

Bei allen neuen Modellen ab August 1999 (einschl. W30), sollte die Farbtemperatur auf 8700^{o}K eingestellt werden.

TEXT-HELLIGKEIT

- Stellen Sie das Textmuster auf das White-Box-Test-Muster ein
- Justieren Sie die Helligkeit auf 90Cd/m^{2}

AUSSCHALTUNGS-JUSTIERUNG

- Grob-Justierung.
- Stellen Sie die Video-Betriebsart ohne Signal ein.
- Drehen Sie den Bildschirm-Pot von FBT, bis Zeilen erscheinen.
- Fein-Justierung.
- Wählen Sie die AV Betriebsart ohne Anwendung eines Signals.
- Warten Sie den »» Weißpunkt »» mehr auf der untersten Zeile. Sie können sehen:
  0+ oder **i-** oder **0-**

Dies ist eine Angabe des Schwarzpegel-Status (Ausschaltung). Justieren Sie ihn auf 'i-' mit dem Bildschirm-Pot von FBT.

BILD-SOFTWARE-EINSTELLUNGEN.

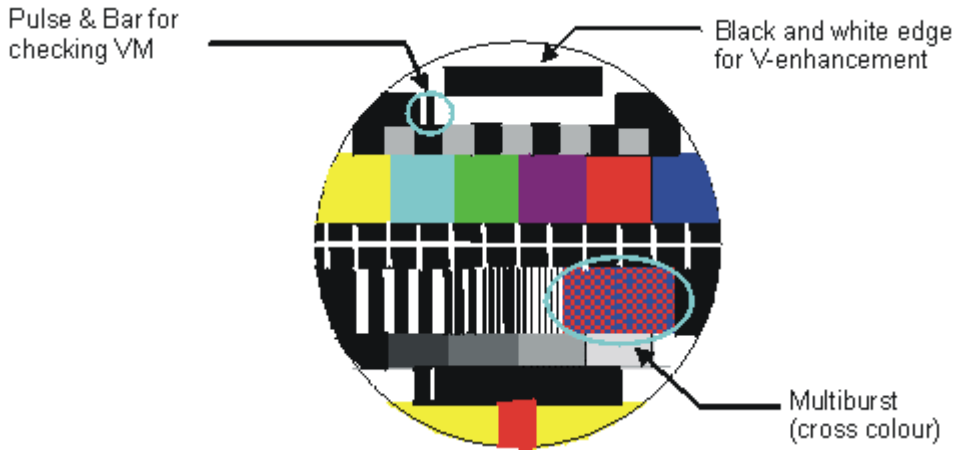
SIEHE VERSAND-SPEZIFIKATIONS-TABELLEN AM ENDE DIESES DOKUMENTS.

RGB VERSCHIEBUNG

- Empfangen Sie ein RGB Signal vom Scart, und warten Sie die »» HORIZONTALE»» RGB VERSCHIEBUNG mit dem Handapparat.
- Justieren Sie die waagerechte Bildposition, indem Sie die RGB VERSCHIEBUNG ändern.

BETRIEBSPRÜFUNG DES KAMMFILTERS

- Empfangen Sie das Philips Kreismuster. BILD»» MEHR»»KAMMFILTER mit dem Handapparat
- Überzeugen Sie sich mit dem Handapparat, dass der Kammfilter EIN geschaltet ist, und beobachten Sie das Multi-Farbsynchron-Signal und stellen Sie sicher, dass es kein 'Farbübersprechen' gibt.



- Prüfen Sie die "VERTIKALE VERSTÄRKUNG", indem Sie den horizontalen Rand von Schwarzweiß beobachten.
- Prüfen Sie die gesamte Bildqualität.

BETRIEBSPRÜFUNG DER GESCHWINDIGKEITSMODULATION (VM)

- Empfangen Sie Philips Kreismuster.

BILD »» MEHR»» VM mit dem Handapparat
Prüfen Sie mit dem Handapparat, dass die Balkenbreite größer wird (siehe oben), wenn VM EIN geschaltet ist.

PRÜFLISTE FÜR DTT MODUL-FUNKTION.

FUNKTION Empfang Unterer Kanal (Kanal 21)	**OK STATUS**
Video Ausgang	Kein Fehler
RGB Ausgang	Kein Fehler, richtige Farbe
Audio Ausgang	L/R aus, Kein Fehler
BER*	unter 7.00E-003
Empfang Mittlerer Kanal (Ka. 41)	
Video Ausgang	Kein Fehler
RGB Ausgang	Kein Fehler, richtige Farbe
Audio Ausgang	L/R aus, Kein Fehler
BER*	Unter 7.00E-003
Modem	
RS232	
Ausgabe vom Module	Laufenden Softwarestatus korrekt angeben
Eingabe ins Module	Befehl kann eingegeben werden
PCMCIA	
Aufrüstung der Software von PC Karte	Aufrüstung möglich
RF Ausgang	Prüfen Sie die Funktion des RF Ausgangsanschlusses nach einer Verstärkung von +2dB/-3dB.
	Reduzieren Sie den Pegel des Digital-Test-Signals auf -65dBm, es sollte keine Blockierung auf dem Bildschirm geben. Bei diesem Test muss die +5V Stromversorgung so justiert werden, dass die Spannung innerhalb der Toleranz aufs Minimum eingestellt ist, d.h. 5,1V - 1% = 5,05 V.

PRÜFUNG DES ÜBERLAST-SCHUTZES.

- Um das Ausschalten während der Höchstlast fürs Bild zu prüfen, stellen Sie einen Messsender auf ein Schwarzweiß-Spannungssprung-Signal ein.

SHIPPING SPEC. TABLES

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	Kontrast	Helligkeit	Farbe	Schärfe	Mehr…	Rausch Minderung	Kamm-Filter	CTI	VM	Weißpunkt	Schwarz Dehnung
1	C28W40TN(A)	100%	50%	50%	50%		Aus	---	Aus	Ein	Normal	Aus
2	C32W30TN(A)	100%	50%	50%	50%		Niedrig	---	Aus	---	Normal	Ein
3	C32W35TN(A)	100%	50%	50%	50%		Aus	Aus	Aus	Aus	Normal	Ein
4	C32W40TN(A)	100%	50%	50%	50%		Aus	---	Aus	Ein	Normal	Aus
5	C32W2000N	100%	50%	50%	50%		Aus	Aus	Aus	Aus	Normal	Ein
6	CL28W30TAN(A)	100%	50%	50%	50%		Niedrig	---	Aus	---	Normal	Ein
7	CL28W35TAN(A)	100%	50%	50%	50%		Niedrig	Aus	Aus	Aus	Normal	Ein
8	CL32W30TAN(A)	100%	50%	50%	50%		Niedrig	---	Aus	---	Normal	Ein
9	CL32W35TAN(A)	100%	50%	50%	50%		Niedrig	Aus	Aus	Aus	Normal	Ein

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	Lautstärke	Laut-heit	mehr	Betriebsart	Graphic Equaliser	Klang-betriebsart	100Hz/ Zeile-für Zeile-Abtastung	Digitale/ Analoge Betriebsart	16:9 Betriebsart
1	C28W40TN(A)	10%	Aus		1	50%	Pro Logic	---	Digital	Auto
2	C32W30TN(A)	10%	Aus		1	50%	---	100Hz	Analog	Auto
3	C32W35TN(A)	10%	Aus		1	50%	Pro Logic	Progressiv	Analog	Auto
4	C32W40TN(A)	10%	Aus		1	50%	Pro Logic	---	Digital	Auto
5	C32W2000N	10%	Aus		1	50%	Pro Logic	Progressiv	Analog	Auto
6	CL28W30TAN(A)	10%	Aus		1	50%	---	100Hz	Analog	Auto
7	CL28W35TAN(A)	10%	Aus		1	50%	Pro Logic	Progressiv	Analog	Auto
8	CL32W30TAN(A)	10%	Aus		1	50%	---	100Hz	Analog	Auto
9	CL32W35TAN(A)	10%	Aus		1	50%	Pro Logic	Progressiv	Analog	Auto

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	Schlaf Zeitschalter	Zoom Standard-einstellung	4:3 Standard-einstellung	Automatische Breiten-erkennung	Sprache	Surround-Einstellung	Sitz-Position	Interne Lautsprecher	Mittel Kanal
1	C28W40TN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	Mitte	Ein	Normal
2	C32W30TN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	---	---	Ein	---
3	C32W35TN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	Mitte	Ein	Normal
4	C32W40TN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	Mitte	Ein	Normal
5	C32W2000N	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	---	Ein	Phantom
6	CL28W30TAN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	---	---	Ein	---
7	CL28W35TAN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	Mitte	Ein	Phantom
8	CL32W30TAN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	---	---	Ein	---
9	CL32W35TAN(A)	Aus	Pano-rama	Pano-rama	Ein	Eng-lisch	100%	Mitte	Ein	Phantom

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	AV1 VCR Betriebs-art	AV1 SAV Betriebs-art	AV2 VCR Betriebs-art	*AV2 Ausgangs- Betriebsart	AV3 VCR Betriebs-art	B/G	Sonstiges	VHF	AFC Verse-Tzung	L' Versetzung	3DS Betriebsart
1	C28W40TN(A)	Ein	Auto	Ein	RF	Aus	Aus	I	Aus	11	76	Aus
2	C32W30TN(A)	Ein	Auto	Aus	RF	Aus	Aus	I	Ein	11	76	---
	C32W35TN(A)	Ein	Auto	Aus	RF	Aus	Aus	I	Aus	11	76	Aus
4	C32W40TN(A)	Ein	Auto	Ein	RF	Aus	Aus	I	Aus	11	76	Aus
5	C32W2000N	Ein	Auto	Ein	RF	Aus	Aus	I	Aus	11	76	Ein
6	CL28W30TAN(A)	Ein	Auto	Aus	RF	Aus	Ein	L/L'	Ein	11	76	---
7	CL28W35TAN(A)	Ein	Auto	Aus	RF	Aus	Ein	L/L'	Ein	11	76	Ein
8	CL32W30TAN(A)	Ein	Auto	Aus	RF	Aus	Ein	L/L'	Ein	11	76	---
9	CL32W35TAN(A)	Ein	Auto	Aus	RF	Aus	Ein	L/L'	Ein	11	76	Ein

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	RGB Verschiebung	Text- Verschiebung	R, G, B	Kalt-Versetzung	Warm-Versetzung	Kathodenniveau	C Verzögerung	Text Helligkeit	SECAM Versetzung	Gegen-wärtige Text-Betriebsart
1	C28W40TN(A)	35	31	32	4	4	83V	3	31	---	Einfach
2	C32W30TN(A)	35	31	32	4	4	71V	3	31	---	Einfach
*	C32W35TN(A) (Old FB/New FB)	35	31	32	4	4	62V/71V	3	31	---	Einfach
4	C32W40TN(A)	35	31	32	4	4	83V	3	31	---	Einfach
5	C32W2000N (Old FB/New FB)	35	31	32	4	4	62V/71V	3	31	---	Einfach
6	CL28W30TAN(A)	35	31	32	4	4	71V	3	31	16	Einfach
7*	CL28W35TAN(A) (Old FB/New FB)	35	31	32	4	4	62V/71V	3	31	6/16	Einfach
8	CL32W30TAN(A)	35	31	32	4	4	71V	3	31	16	Einfach
9*	CL32W35TAN(A) (Old FB/New FB)	35	31	32	4	4	62V/71V	3	31	6/16	Einfach

WARTUNGS-DATEN-EINSTELLUNGEN. Dies sind die Dateneinstellungen im WARTUNGS-Betrieb für diverse Modelle.

	Modell-Nr.	Top-Text	Text-Betriebsart	Prozessor	Röhren Typ	M Tastung	Hotel Betriebsart	Keine Bereitschaft	Prog.	Max. Lautstärke	DTT Prog.	Gerätid-Entifikation
1	C28W40TN(A)	Aus	SGL	JBL		Aus	Aus	Aus	1	50%	1	1
2	C32W30TN(A)	Aus	SGL	JBL		Aus	Aus	Aus	1	50%	---	1
3	C32W35TN(A)	Aus	SDS	JBL		Aus	Aus	Ein	1	50%	---	1
4	C32W40TN(A)	Aus	SGL	JBL		Aus	Aus	Aus	1	50%	1	1
5	C32W2000N	Aus	SDS	JBL		Aus	Aus	Aus	1	50%	---	1
6	CL28W30TAN(A)	Ein	SGL	JBL		Aus	Aus	Ein	1	50%	---	1
7	CL28W35TAN(A)	Ein	SDS	JBL		Aus	Aus	Ein	1	50%	---	1
8	CL32W30TAN(A)	Ein	SGL	JBL		Aus	Aus	Ein	1	50%	---	1
9	CL32W35TAN(A)	Ein	SDS	JBL		Aus	Aus	Ein	1	50%	---	1

DIGITALER KAMMFILTER – TOSHIBA TC9090AF.

Die Funktion eines Kammfilters besteht darin, mit Hilfe digitaler Signalverarbeitungstechnik das Videosignal in Helligkeitsignale zu trennen und das Unterträger-Chrominanzsignal zu rekonstruieren. Der Kammfilter IC, IN01 hat eine zusätzliche Einrichtung zur Verbesserung der senkrechten Ränder.
Die Videosignal-Eingabe (Stift 6 von Stecker E500) und Farbhilfsträger (Stift 8 von E500) werden durch einen 8 bit Analog-Digital-Umsetzer umgewandelt, wo die senkrechte Verbesserung und das digitale Kammfiltern stattfinden. Getrennte Helligkeitssignale und Chrominanz-Ausgabe-Komponenten sind erhältlich über einen 8 bit Digital-Analog-Umsetzer bei Stift 1 bzw. 4.

MODULATION DER ABTAST-GESCHWINDIGKEIT.

Während der Übertragung erleidet das Signal einen Qualitätsverlust, u.a. wegen der Frequenzmerkmale von Fernseherschaltkreisen. Das führt normalerweise zu einem sanften Auf und Ab bei der Luminanzveränderung, wenn Schwarzweißschwarz-Muster empfangen werden.
Die Qualität der Bildschärfe kann daran ermittelt werden, wie steil die Vorderflanke und die Hinterflanke sind. Der Schaltkreis für die Modulation der Abtast-Geschwindigkeit wurde konzipiert, um die Bildqualität zu verbessern, d.h. um die Videosignalflanken steiler zu machen, indem man die waagerechte Abtast-Geschwindigkeit des Elektronenstrahls in der Kathodenstrahlröhre (CRT) steuert.
Der Schaltkreis für Geschwindigkeits-Modulation produziert ein Ausgleichssignal, indem er RGB Komponenten hinzufügt und dann differenziert. Das Ausgleichssignal erhält etwas Stromverstärkung, angewandt auf die Hilfsspule (Stecker E806) am Hals der Kathodenstrahlröhre (CRT).
Der Schaltkreis für Geschwindigkeits-Modulation liegt auf der Grundfläche der Kathodenstrahlröhre (CRT) bei den RGB Endverstärkern. Die RGB Signals kommen von PL803 Stiften 4-6 und gehen in den Emitter von Q861, durch den Differentiator C863, R891 und gelangen zur Basis von Q862 zur Spannungsverstärkung und schließlich zur Leistungsverstärkung.

DIGITALES DOPPELABTASTUNGS-UMWANDLUNGS-AGGREGAT (ZUSATZ-KASTEN).

Der Hauptzusatz dieses Aggregats ist die Doppelabtastungs-Frequenzumwandlung, 100/120 Hz verschachtelt und 50/60 Hz schrittweise Abtastung. Andere Zusätze dieses Aggregats sind CTI (Farbübergangsverbesserung), horizontale Kompression, Rauschverminderung, Schärfe und vertikale Vergrößerung. Diese Funktionen werden vom I^2C Bus gesteuert und werden anderweitig vom Bildverbesserungs-IC, TDA 9178 (IE01), für digitale Modelle ohne 100 Hz/schrittweise Abtastung geleistet.

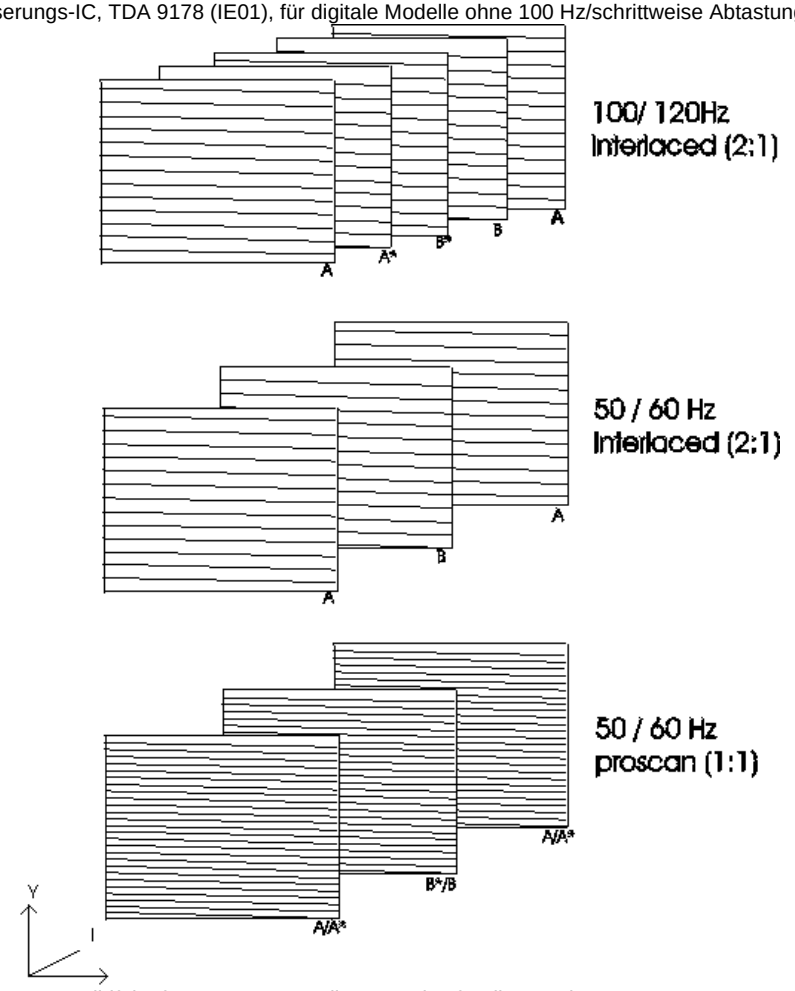


FIG.1 Bildfolgefrequenz-Umwandlungsmodus für die Anzeige

Wie das Diagramm zeigt, sind **A/B** die Ungeraden/Geraden originalen 50 Hz Signalfelder, die zur Schaffung zusätzlicher Bildinformation benutzt werden, während **A*/B*** die vorhergesagte/manipulierte zusätzliche Bildinformation sind, die vom Zusatzkasten geschaffen wird. Abb. 1 zeigt den Unterschied zwischen der 100/120 Hz verschachtelten und der 50/60 Hz schrittweisen Abtastung. Der größte Vorteil bei der schrittweisen Abtastung ist die "unverschachtelte" Abtastung; wobei die Halbbildfrequenz auf 50/60 Hz gehalten wird. D.h. der Zeilenaufbau ist doppelt pro Halbbild, im Vergleich zu 100/120 Hz verschachtelt. Das ergibt ganz feine Abstands-Abtastungszeilen und beseitigt Zeilenflimmern. Der Vorteil bei der Auswahl des 100 Hz Betriebs ist die Verringerung des großflächigen Flimmerns und des Zeilenflimmerns (außer bei A8 W30 100 Hz Modellen).
Dieses Aggregat hat eine +5V und +8V Stromversorgung, die an den Stiften 21, 22 und 26 von E10 anliegt. Die drei 50 Hz Eingangsvideosignale Y, U, V erreichen dieses Aggregat bei den Stiften 8, 10 und 12 von E11. Die Y, U, V Videoausgangssignale (Doppelfrequenzvideo) werden von den Stiften 5, 3 und 1 von E11 genommen. Die horizontalen und vertikalen Synchronisiersignale werden bei 24 von E10 als zusammengesetztes Synchronisiersignal in dieses Aggregat eingegeben, die horizontalen und vertikalen Doppelfrequenz-Synchronisiersignal-Ausgänge sind bei den Stiften 30 und 31 von E10.

EINGABE-PROZESSOR - PHILIPS TDA 9320.

TDA9320 ist ein Multistandard-Eingabe-Prozessor. Zu den Merkmalen gehören:

BILD-AUSGÄNGE /EXTERNE EINGÄNGE.

Der Eingabe-Prozessor ist ausgestattet mit drei CVBS Eingängen (1 interner & 2 externe) und 2 Y/C Eingängen. Die externen CVBS Eingänge werden für die Scart-Buchsen benutzt. Die Y/C Eingänge werden für S-VHS und einen dritten CVBS Eingang benutzt. Der Schaltkreis kann erkennen, ob der AV3 Eingang ein CVBS oder ein Y/C Signal erhält. Der integrierte Schaltkreis hat 2 RGB Eingänge mit schneller Schaltung. Das Schalten der verschiedenen Quellen wird von I2C gesteuert, und ein Kammfilter kann entdeckt werden.

SYNCHRONISIERUNG.

Dem Impulstrenner geht ein gesteuerter Verstärker voraus, der die Amplitude des Synchronisierimpulses auf einen festen Pegel einstellt. Diese Impulse werden zur Doppelbegrenzungsstufe geleitet, die bei 50% der Amplitude wirksam ist. Die Synchronisierimpulse werden zum Phasendetektor und zum Koinzidenzdetektor geleitet. Dieser Koinzidenzdetektor wird benutzt, um zu erkennen, ob der Zeilenoszillator synchronisiert ist, und für die Transmitteridentifikation. Die PLL hat eine sehr hohe statische Steilheit, so dass die Bildphase von der Zeilenfrequenz unabhängig ist.
Beim horizontalen Ausgabe-Impuls sind zwei Bedingungen möglich:
Ein HA Impuls, dessen Phase und Breite mit dem ankommenden horizontalen Synchronisierimpuls identisch sind.
Ein Clamp-Impuls CLP, dessen Phase und Breite mit dem Clamp-Impuls im Sandburg-Impuls identisch sind.
Das HA/CLP Signal wird mit Hilfe eines Oszillators erzeugt, der mit einer Frequenz von 440 x FH läuft. Seine Frequenz wird durch 440 geteilt, um die erste Schleife auf das ankommende Signal aufzuschalten . Die frei laufende Frequenz des Oszillators wird von einem digitalen Steuerschaltkreis bestimmt, der auf das Bezugssignal des Farbdecoders aufgeschaltet ist. Wenn der Koinzidenzdetektor angibt, dass die Aufschaltung versagt, wird das Kalibrierverfahren wiederholt.
Der vertikale Impuls wird über einen vertikalen Countdown-Schaltkreis erhalten. Der Countdown-Schaltkreis hat verschiedene Auftastimpulskreise je nach dem ankommenden Signal (50/60Hz).

BILD-ZWISCHENFREQUENZ-VERSTÄRKER.

Das Bildsignal wird durch einen PLL-Träger-Rückkopplungsverstärker demoduliert. Dieser Schaltkreis enthält einen Frequenzdetektor und einen Phasendetektor. Während der Erfassung stellt der Frequenzdetektor den spannungsgesteuerten Oszillator (VCO) auf die richtige Frequenz ein. Nach der Synchronisierung steuert der Phasendetektor den VCO, so dass eine stabile Phasenbeziehung zwischen dem VCO und dem Eingangssignal erreicht wird. Der VCO läuft mit der doppelten Zwischenfrequenz, wobei das Bezugssignal für den Demodulator mit Hilfe eines Frequenzteilerschaltkreises erhalten wird.
Die Ausgabe für die automatische Schärfenabstimmung wird erhalten, indem die VCO Steuerspannung der PLL benutzt wird, und kann über den I2C Bus angezeigt werden. Der Detektor für automatische Lautstärkeregelung (AGC) ist auf dem Top-Synchronisierungs- und dem Top-Weiß-Pegel wirksam. Die Zeitkonstante im AGC System während positiver Modulation ist lange, um sichtbare Schwankungen der Signalamplitude zu vermeiden. Um die Geschwindigkeit des AGC Systems zu verbessern, wurde ein Schaltkreis eingefügt, der erkennt, ob der AGC Detektor bei jeder Bildfolge aktiviert wird. Wenn in 3 Bildfolgen keine Tätigkeit erkannt wird, wird die Geschwindigkeit des Systems erhöht. Bei Signalen ohne Weißspitzeninformation schaltet das System automatisch auf eine ausgeblendete Schwarzpegel-AGC. Weil für diese Betriebsart ein Schwarzpegel-Nulltastimpuls erforderlich ist, schaltet der Schaltkreis nur in der internen Betriebsart auf Schwarzpegel-AGC.
Der Schaltkreis enthält einen Bildidentifikationsschaltkreis, der vom Synchronisierschaltkreis unabhängig ist. Suchabstimmung ist demnach möglich, wenn das Schirmbild des Empfängers als Monitor benutzt wird.

CHROMINANZ- & LUMINANZ-VERARBEITUNG.

Der integrierte Schaltkreis enthält einen Chrominanz-Bandpassfilter, die SECAM Cloche- und Chrominanz-Traps. Die Filter werden mit der Abstimmfrequenz und der Kristallfrequenz des Farbdecoders kalibriert. Das Luminanzausgabesignal, das vom ankommenden CVBS oder Y/C Signal abgeleitet wird, kann mit Hilfe einer separaten Verstärkungssteuerung in der Amplitude variiert werden.

FARB-DECODIERUNG.

Der Farbdecoder kann PAL, NTSC und SECAM Signal dekodieren. Der PAL / NTSC Decoder enthält einen abgleich-freien Quarzschwinger mit 4 separaten Stiften, eine Farbkillerschaltung und zwei Farbdifferenzdemodulatoren. Die 90o Phasenverschiebung für das Bezugssignal erfolgt intern. Da es möglich ist, 4 verschiedene Kristalle mit dem Farbdecoder zu verbinden, können alle Farbstandards ohne externe Schaltkreise decodiert werden. Nicht benutzte Kristalle müssen offen bleiben.
Der horizontale Oszillator wird mit der Kristallfrequenz der PLL kalibriert.

Der integrierte Schaltkreis enthält einen automatischen farbbegrenzenden Schaltkreis, der schaltbar ist, was Übersättigung verhindert, wenn Signale mit einem hohen Chrominanz-zu-Farbsynchronsignal-Verhältnis empfangen werden. Der acl Schaltkreis ist so konzipiert, dass er nur das Chrominanzsignal vermindert und nicht das Farbsynchronsignal. Dies bietet den Vorteil, dass die Farbempfindlichkeit nicht von dieser Funktion betroffen wird.
Der SECAM Decoder enthält einen selbstkalibrierenden PLL Demodulator, der zwei Bezüge hat, die 4,43MHz Zwischenträgerfrequenz, die vom Quarzschwinger erhalten wird, welcher benutzt wird, um die PLL auf die gewünschte frei laufende Frequenz abzustimmen, und den Bandabstands-Bezug, um den korrekten absoluten Wert des Ausgangssignals zu erhalten. Der spannungsgesteuerte Oszillator (VCO) der PLL wird bei jeder vertikalen Schwarztastungsperiode kalibriert, wenn der integrierte Schaltkreis in der Such- oder SECAM-Betriebsart ist. Die Grundbandbreiten-Laufzeitkette ist in das Paket integriert.

BILDVERBESSERUNG - PHILIPS TDA 9178.

Der integrierte Schaltkreis (IC) für Bildverbesserung ist ein Analog-Video-Prozessor mit drei hauptsächlichen Verarbeitungsfunktionen; Luminanzvektor, Farbvektor und Spektralverarbeitung. Gegenwärtig werden die folgenden Einrichtungen umgesetzt; Luminanz-Spannungsspitzen-Verbesserung (LTI), Farb-Spannungsspitzen-Verbesserung (CTI), variable Gamma-Regelung und bildabhängige nichtlineare Y und U, V Verarbeitung durch Luminanz-Histogramm-Analyse.
Der Spektralprozessor bietet Luminanz-Spannungsspitzen-Verbesserung, Luminanz-Detail-Verbesserung durch intelligentes Peaking und Farbstufenverbesserung. Die Steuerung für Zeilenbreite kann vom Benutzer definiert werden. Der Luminanzvektor-Prozessor, die Transferfunktion werden nichtlinear gesteuert durch eine Histogramm-Analyse gemessener Luminanzwerte, die in einem Bild gemessen werden. Infolgedessen wird das Kontrastverhältnis der wichtigsten Teile der Szene verbessert. Eine variable Gammafunktion nach der Umwandlung bietet die Möglichkeit für alternative Helligkeitsregelung oder Werkseinstellung der Bildröhre.
Bei digitalen Modellen liefert der integrierte Schaltkreis für Bildverbesserung die Funktionen Schärfe, Rauschminderung und Farb-Spannungsspitzen-Verbesserung, während die 100Hz/Zeilenfolgeverfahren-Modelle diese Funktionen im Doppelabtastungsmodul liefern. Alle beschriebenen Funktionen können über die Auswahlmöglichkeiten im Wartungsmenü durch die I^2C Steuerung geschaltet/geregelt werden.
Y, U und V Signale werden von den I200 Stiften 49, 50 & 51 genommen und gehen direkt in Y_{in} U_{in} und V_{in} (Stifte 6, 8 und 9 von IE01). Die verstärkten Y, U & V Ausgaben kommen von IE01 (Stift 19 bzw. 17 bzw. 16) und gehen zu IE02 (Stift 28 bzw. 27 bzw. 26).

TUNER.

Der Tuner U100 ist ein Frequenz-Synthese-Typ mit einer unsymmetrischen Eingabe und der Stromversorgung von der +5V Schiene, während die Abstimmspannung von der +33V Schiene kommt, geliefert vom Schaltkreis für waagerechte Ablenkung. Direkter Frequenzzugang, Kanalwahl, automatische Lautstärkeregelung (AGC) und automatische Scharfabstimmung (AFC) werden über den I^2C Bus gesteuert. Die Steuerung für AGC, AFC und Versetzung kann gewählt werden, indem man in das Wartungsmenü geht und 'Tuner' auswählt.
Stift 1, AGC wird von Stift 62 von TDA 9320 genommen. Die symmetrische Zwischenfrequenz-Ausgabe wird von den Stiften 10 & 11 genommen, die zur Eingabe der Bild- und Ton- SAW Filter (Stifte 1 & 2) gelangen. Die Ausgaben von X200 und X202 (Stift 4 bzw. 5) passieren durch Stifte 2 & 3 und Stifte 63 & 64 von I200, wo sie demoduliert werden.

RGB PROZESSOR - TDA 9330.

VERTIKALE ABLENKUNG & GEOMETRIE-STEUERUNG.

Der Ansteuerungsschaltkreis für die vertikalen und Ost-West-Ablenkungs-Schaltkreise wird durch einen Vertikal-Frequenz-Teiler erzeugt, der seinen Taktgeber vom Zeilenoszillator bekommt. Der Frequenz-Teiler wird durch den ankommenden Vertikalimpuls synchronisiert, der vom Eingabeprozessor oder vom Zusatzkasten erzeugt wird.
Die vertikale Ansteuerung wird durch einen differentiellen Ausgangsstrom verwirklicht. Die Ausgaben müssen direkt an die vertikale Ausgangsstufe angekoppelt werden. Die vertikale Geometrie kann durch I2C Steuerung über das Wartungsmenü justiert werden.

HORIZONTALE SYNCHRONISIERUNG & ANSTEUERUNGS-SCHALTKREIS.

Das Signal für horizontale Ansteuerung wird von einem internen, spannungsgesteuerten Oszillator erhalten, der mit einer Frequenz von 13,75 MHz läuft. Dieser Oszillator wird durch einen Resonanz-Oszillator 12 MHz auf diese Frequenz stabilisiert. Der interne, spannungsgesteuerte Oszillator wird durch einen PLL-Kreis mit interner Zeitkonstante auf den ankommenden horizontalen Hd Impuls synchronisiert. Das Signal für horizontale Ansteuerung wird durch einen zweiten Regelkreis erzeugt, der die Phase des Bezugssignals vom internen, spannungsgesteuerten Oszillator mit dem Rücklaufimpuls vergleicht. Der Zeitkonstantenkreis ist intern. Der integrierte Schaltkreis hat eine dynamische horizontale Phasenkorrektureingabe, die dazu benutzt werden kann, Phasenverschiebungen zu kompensieren, die durch Strahlstromschwankungen verursacht werden. Zusätzliche Einstellungen der horizontalen Ablenkung, die über den zweiten Kreis erreicht werden, sind die Horizontalregelung und die Parallelogrammkorrektur.
Das Signal für horizontale Ansteuerung wird mit Hilfe des Verfahrens für weichen Start/weichen Stop ein- und ausgeschaltet. Diese Funktion wird verwirklicht durch eine Veränderung von Ton vom Impuls für horizontale Ansteuerung. Bei Höchstspannungsimpulsgeneratoren ohne Spannungsteiler, kann der integrierte Schaltkreis in einer Betriebsart für festen Strahlstrom eingestellt werden. Dann wird die Bildröhrenkapazitanz mit einem Strom von ca. 1mA entladen, was durch den Schwarzpegel-Rückkopplungskreis bestimmt wird. Wenn die Möglichkeit für festen Strahlstrom ausgewählt ist, ist es immer noch möglich, beim Ausschalten einen schwarzen Bildschirm zu haben. Das kann erreicht werden, indem man die vertikale Ablenkung in eine Überabtastungsposition bringt.
Eine zusätzliche Funktion des integrierten Schaltkreises ist das Einschalten mit Niederleistung. Diese Betriebsart wird aktiviert, wenn eine Speisespannung von 5V an den Einschalt-Stift gelegt wird. Der für diese Funktion erforderliche Strom ist typischerweise 3mA. Unter dieser Bedingung hat das Signal für horizontale Ansteuerung das normale Toff und Ton steigt allmählich von Null auf ca. 30% des Normalwerts. Das führt zu einer Zeilenfrequenz von ca. 50kHz oder 25kHz. Das Ausgangssignal bleibt unverändert, bis die Netzspannung eingeschaltet wird. Dann geht das Signal für horizontale Ansteuerung allmählich mit Hilfe des Verfahrens für weichen Start zur normalen Frequenz und zum Arbeitszyklus über.

Der integrierte Schaltkreis hat einen bus-gesteuerten Vielzweck-Digital-Analog-Umsetzer-Ausgang mit einer Wiedergabeschärfe von 6 bits und einem Endspannungsbereich zwischen 0,2 und 4V.

EINGANGS-SIGNALE.

Der RGB Steuerschaltkreis von TDA 9330 enthält drei Reihen von Eingangssignalen.
Y, U, V, Eingangssignale, die vom Eingabeprozessor oder vom Zusatzkasten geliefert werden. The Eingangstestsignale für u und V sind 1,33 VSpitze-Spitze bzw. 1,05VSpitze-Spitze. Diese Eingangssignale werden durch Helligkeit, Kontrast und Sättigung gesteuert.
Zwei RGB Quellen sollen vom Scart benutzt werden, während der zweite für OSD und Teletext benutzt wird. Das erforderliche Eingangssignal hat eine Amplitude von 0,7VSpitze-Spitze. Das Schalten zwischen dem internen Signal und dem OSD Signal kann durch schnelles Ausblenden erfolgen . Diese Eingabe wird nur durch Helligkeit gesteuert.
Das Schalten zwischen verschiedenen Quellen kann über den I2C Bus und schnelle Zwischenschalter erfolgen. Der Schaltkreis enthält schaltbare Matrizenschaltungen für das Farbdifferenzsignal, so dass die Farbwiedergabe für PAL/SCAM und NTSC angepasst werden kann.

ENDVERSTÄRKER.

Das Ausgangssignal hat eine Amplitude von ca. 2V Schwarzweiß bei der Nenneinstellung. Die erforderliche Weißpunkteinstellung der Bildröhre wird durch 3 separate Verstärkungseinstellungen für die RGB Kanäle erreicht.
Um eine genaue Vorspannung der Röhre zu erhalten, wird eine stetige Kathodenkalibrierungsschaltung mit Hilfe eines Zwei-Punkt-Schwarzpegel-Stabilisierungs-Kreises errichtet. Durch Einführen von 2 Testniveaus für jedes Strahlsystem und Vergleichen der entstehenden Kathodenströme mit zwei verschiedenen Vergleichsströmen kann der Einfluss von Bildröhrenparametern wie z.B. der Streubreite der Einsatzspannung eliminiert werden.

BESCHREIBUNG DES SIGNALWEGS.

Das Zwischenfrequenzsignal wird von den SAW Filtern X200 (Bild) und X202 (Ton) Stift 4 & 5 erhalten und in die Stifte 2 & 3 Bild und 63 & 64 Ton von I200 gespeist. Ein Bildaustast-Synchronsignal ist erhältlich bei Stift 10 vom Bild-Demodulator.
Zwischenfrequenz-Ton kommt aus Stift 6. Das Bild wird von Stift 10 über C304 zu Stift 12 gebracht und kommt bei Stift 13 heraus. Dies ist die auswählbare Gruppenlaufzeit über Software-Ein-/Ausgabe. Das Bildaustast-Synchronsignal durchläuft Trenn- und Filterstufen, wo das gewünschte Bild bei Stift 14 zu I200 zurückkommt.
Die AV Koppelmatrix unterstützt zwei Scart-Buchsen, Phono CVBS und S-VHS Eingänge. Scart CVBS Eingaben sind bei Stift 20 (AV1 E301) und 16 (AV2 E302), CVBS Ausgaben an Scart-Stift 19 vom Emitter von Q301 (AV1) und vom Emitter von Q303 (AV2).
Die RGB Eingabe (Digitale Modelle) an I200 vom Digitalen Terrestrischen Tuner (DTT) kommt an Stift 36-38 von P301 Stift 9, 7 und 5. S-VHS Eingabe erfolgt über E300 an Stift 23 & 24 von IE02, die Erkennung von CVBS Eingabe erfolgt innerhalb von IE02. Bei Modellen mit Zeilenfolgeverfahren wurde die Merkmalserkennung für einen Kammfilter über Y/C Eingabe-Stift 28 & 29 montiert. Die Farbhilfsträger-Ausgabe für den Kammfilter kommt von Stift 30.
Y, U und V werden von I200 Stift 49, 50 & 51 genommen und gehen direkt in Y_{in} U_{in} und V_{in} (Stift 6, 8 und 9 von IE01) für 50Hz Betrieb, während die Y, U, V Signale für 100Hz Betrieb zu Stift 9, 10 & 12 des Doppelabtastungsmoduls (UQ01) geleitet werden. Ein sonstiger Stift wie der Rechteck-Stift 59 ist unabhängig vom Rechteck-Impuls, der von IE02 erzeugt wird, sie treiben einander nicht an. Die von I200 erzeugten vertikalen und horizontalen Ausgabe-Impulse treiben das Doppelabtastungsmodul, Stift 18 bzw. 19 (100Hz Betrieb) oder IE02 (50Hz Betrieb) Stift 23 & 24. I^2C Steuerungsleitungen sind Stift 46 & 47, und die Steuerspannung für die automatische Lautstärkeregelung des Tuners liegt bei Stift 62 vor.
Wie oben beschrieben, werden die Y, U, V Signale in den Betriebsarten 50Hz / 100Hz / Zeile-für-Zeile-Abtastung zu den Stiften 26-28 von TDA 9330 (IE02) geschickt. Sobald sie im RGB Prozessor sind, können Geometrie- und Synchronisierungs-Merkmale umgesetzt werden, bevor sie zur CRT Basis (Stift 40-42 von IE02 & 3-5 von P302) geschickt werden zur Endverstärkung des Bildes und zum Schaltkreis für Geschwindigkeitsmodulation.
Die Ausgabe für vertikale Ansteuerung wird von Stift 1 & 2 von IE02 direkt an I601 gegeben, integrierter Schaltkreis für vertikale Ausgabe (Stift 11 & 12). Die horizontale Ausgabe kommt von Stift 8 von IE02 und speist die Basis von Q701 Bipolar (50Hz), Q701B MOSFET (100Hz). Die Ausgabe für Ost-West-Ansteuerung wird bei Stift 3 erhalten und treibt das Gate von Ost-West MOSFET Q700.
I^2C liegt bei Stift 10 & 11 (IE02) und bei Stift 7 & 17 der +8V Stromversorgungsschienen vor. Es sind zwei Reihen von RGB Eingängen verfügbar, nur eine wird für OSD, Stift 35-37 benutzt, die andere ist für eine VGA-Karte, die nicht montiert ist.

AUDIO-SCHALTKREIS

Die Ausgabe von Tuner T1 läuft durch eine Verstärkungs- und Trenn-Stufe, bestehend aus Q200 und Q201 zum SAW Filter X202. Der SAW Filter hat zwei separate Merkmale, je nach dem, auf welchen der beiden Eingänge (Stift 1 und 2 vom SAW Filter) das Signal angewandt wird. Die Auswahl erfolgt durch die Kombination von Q204 und Q203. Bei den meisten Standards wird Stift 1 ausgewählt. Wurde aber ein L' Signal ausgewählt, befiehlt der Mikroprozessor (I001) dem I200 über einen I2C Befehl, Stift 19 hoch zu nehmen. Wenn das passiert, nimmt Q204 Stift 1 tief und schaltet Q203 und D203 aus. D.h. der Kollektor von Q203 geht hoch und erlaubt D202, leitend zu werden, wodurch das Signal auf Stift 2 angewandt wird. Um zu anderen Übertragungsstandards zurückzukehren, wird Stift 19 von I200 offensichtlich in die tiefe Einstellung zurückgebracht.
Die Ausgabe vom SAW wird auf Stift 63 und 64 von I200 angewandt. Hier wird das Signal von der 1. Zwischenfrequenz (30 – 40 MHz je nach Übertragungsstandard) zur Ton-Zwischenfrequenz (5,5 – 6,5 MHz je nach Übertragungsstandard) transformiert.
I200 leistet auch AM Demodulation für L' und L Standards. Das demodulierte Signal erscheint überlagert auf der Ton-Zwischenfrequenz auf Stift 5 von I200.
Dieses Signal geht dann zwei Wege. Der erste bringt es durch einen Tiefpassfilter, bestehend aus R426 und C427 und Koppelkondensator C426. Das wird dann auf Stift 55 von I400 angewandt und bildet die Eingabe für den AM Ton. Der zweite Weg führt das Signal durch Verstärkungs- und Trenn-Stufe, bestehend aus Q400 und Q401.
Nach diesen Stufen erfolgt einiges Hochpassfiltern durch C464 und R477, bevor die Ton-Zwischenfrequenz über C431 auf Stift 60 von I400 angewandt wird.

I400 ist der MSP3410D. Dieser integrierte Schaltkreis liefert Nicam , FM Mono und FM Stereo Demodulation und das Matrizieren der Scart- / Digitalempfänger-Signale (falls montiert).
Die AV1 Eingabe wird auf Stift 52 und 53 angewandt, die AV2 Eingabe auf Stift 49 und 50, die AV3 Eingabe auf Stift 46 und 47. Die digitale Eingabe (DTT) wird auf Stift 43 und 44 (falls montiert) angewandt. In jedem Fall wird ein 100R Widerstand und ein 330n Kondensator benutzt.
Die Scart-Ausgänge auf I400 benutzen die folgende Leistungsprozedur.

Scart-Ausgang	Ausgangs-Signal	
	Nicht-Digitale Modelle	Digitale Modelle
AV1	RF	Digital
AV2	Wählbar oder Automatisch*	Wählbar oder Automatisch*

*Wenn in den Bildschirmmenüs automatisch gewählt wird, folgt AV2 dem Ton dessen, was gesehen wird. Das Aggregat ist I2C, gesteuert über Stift 10 und 11 und erhält eine Netz Ein-Grundstellung vom Mikroprozessor auf Stift 24. Der Taktgeber wird gestellt von X406 auf Stift 62 und 63. Das Gerät hat drei Stromversorgungsschienen, 5V Digital (Stift 18), 5v Analog (Stift 57) und 8v Analog (Stift 39).

AUDIO-AUSGABE

Die Signale für links, rechts, Mitte und Surround werden von den Stiften 29, 28 26 und 25 von MSP3410D (I400) ausgegeben und dann auf den Op Amp (IF03) bei den Stiften 5, 10, 12 und 3 angewandt. Das fügt 3dB an Verstärkung hinzu.
Die Ausgaben von IF03 für links und rechts (Stift 7 und 8) werden über die Dämpfungsnetzwerke R443 / R439 & R446 / R447 an den Audioverstärker (I401) weitergegeben und über die Dämpfungstransistoren QF02 und QF01 an die Phonoausgaben.
Die Ausgaben für Mitte und Surround von IF03 (Stift 14 und 1) werden über die Dämpfungstransistoren QF22 und QF21 nur an die Phonoausgaben weitergegeben.
Die Ausgangsstufe für links und rechts besteht aus einem TDA7297 (I401), was ein Reflexverstäker ist, der in diesem Fall getrieben wird, 12W pro Kanal @ 10% tausend zu geben. Der Stromausgang ist durch die Vcc Versorgung auf Stift 3 & 13 begrenzt.
Die Signale für rechts und links werden in die Stifte 4 & 6 eingegeben und die von Stift 1& 2 und 14 & 15 erhaltenen Ausgaben.

> Warnung. Keiner der Ausgänge für jeden Kanal ist mit der Grundplatten-Masse verbunden, daher ist Vorsicht geboten, wenn ein Oszilloskop und andere Geräte mit Netzbetrieb mit einer gemeinsamen Erde während der Prüfung der Audio-Ausgänge benutzt werden sollen.

TDA7297 hat zwei Steuerleitungen auf Stift 6 & 7. Diese Steuereingaben sind hoch, wenn die Ausgaben aktiv sind, und tief, wenn gedämpft.
Die Ausgänge von Stift 2 und 14 von I401 sind direkt verbunden mit Stift 2 und 3 von P400. Die Ausgänge von Stift 1 und 15 sind über die Kopfhörer-Buchse J400 mit Stift 1 und 4 von P400 verbunden. Wenn Kopfhörer angeschlossen werden, werden die Verbindungen zwischen I401 und P400 unterbrochen. Die Ausgänge für rechts und links von Stift 1 und 15 von I401 sind geerdet über C438 / R438 & die linke Kopfhörer-Spule und C437 / R437 & die rechte Kopfhörer-Spule. Diese Methode wurde benutzt, um den in den Kopfhörern verstreuten Strom zu begrenzen.
J400 enthält auch einen Schalter für die 16V Stromversorgung, die bei der hinteren einfachen Phonobuchse erscheint. Wenn ein geeigneter Stecker in die Kopfhörer-Buchse eingeführt wird, wird die Verbindung zwischen Stift 8 und 9 von J400 unterbrochen und die 16V werden von Stift 8 entfernt. Stift 19 von I001 (Mikroprozessor) nimmt dies über Spannungsteiler R473 und R474 wahr, und dies veranlasst I001, das Audiomenü zur Kopfhörerversion zu wechseln (nur Dolby Modelle).
Die 16V werden auch von der hinteren Phonobuchse entfernt, dies schaltet den Infrarottransmitter für Surroundlautprecher oder die Stromkonsole ab (falls montiert – nicht bei allen Modellen erhältlich).
Bei Nicht-Dolby-Modellen sind die Lautsprecherleitungen direkt mit P400 verbunden. Bei Dolby-Modellen sind die internen Lautsprecher von P400 über eine hinten am Grundplattenrahmen festgeschraubte Unterkonsole verbunden. Dort sind zwei DIN Lautsprecherbuchsen mit internen Schaltern. Die Schalter unterbrechen die internen Lautsprecher links und rechts, wenn ein Stecker eingeführt wird, was es ermöglicht, externe Lautsprecher links und rechts anzuschließen.

DOLBY DECODER.

Die Dolby Dekodierung wird von IF01 (YSS241) ausgeführt. Die Signale, die von I400 im I2S Format zu diesem Aggregat gesandt werden, sind:-
SD0 (Stift von I400) – die Daten für den linken und rechten Kanal (vor der Dolby Dekodierung)
SCK (Stift von I400) – der System- oder Bit-Taktgeber
WS (Stift von I400) – die Wort-Auswahl-Leitung, wählt aus unter den Links- und Rechts-Proben auf der SDO Leitung.
IFO1 hat einen 18,432 MHz Taktgeber über Stift 1 von I400 (SYSCLK), eine Rückstellungs-Leitung von Stift 4 und wird durch I2C gesteuert. Die Pro-Logic-Signale, die das Aggregat dekodiert, werden in I2S Form bei Stift 40 und 41 (DACS1 und DALR) bereitgestellt. Diese Signale sind im Format von 32 bit pro Kanal (MSP4310D benutzt 16 bit) und müssen deshalb einen integrierten Umwandlung-Schaltkreis IF02 passieren. Dieser integrierte Schaltkreis nimmt auch einen Bit-Taktgeber, DABC von Stift 36 von IF01. IF02 stellt dann die 16 bit Pro-Logic I2S Kanäle als SDI1 und SDI2 an Stift 14 und 20 von I400 bereit.
I400 schickt diese Signale durch Digital-Analog-Umsetzer (DAC), so dass die Signale für Links, Rechts, Mitte und Surround bei den Stiften 29, 28,26 und 25 als Pre-L, Pre-R, Pre-C und Pre-S erscheinen. Diese werden dann vom Op Amp IF03 um 3 dB verstärkt, und sie werden zu AmpL, AmpR, Centre und Surround. Diese passieren dann durch ein Netzwerk von Puffern und Filtern zum Vierweg-Phonostecker JF01. Die AmpL und AmpR Signale werden vor den Puffern über die Teilwiderstände R443/R439 und R446/R447 zum Verstärker I401 abgezweigt und durch C443 und C445 entkoppelt. Der Betrieb des Verstärkers wird an anderer Stelle in diesem Handbuch erklärt.

ABLENKUNG

100 HZ HORIZONTALE ABLENKUNGS-STUFE (A8)

Die 2H Ausgabe von UQ01 (Zusatzkasten) von Stift 30 wird über K66 und RH03 in Stift 24 von IE02 TDA9330, "HOP", gespeist.

Die horizontale Ansteuerung wird dann von Stift 8 ausgegeben und passiert durch eine Emitter-Folger-Stufe (Q705) zum Gate von Q701B. Ein MOS-FET wird benutzt, um die Schaltränder zu schärfen und die Temperatur des Leistungstransistors Q751 zu verringern. Der Drain von Q701B wird gespeist von +B über R701 und die Primärseite des Ansteuerungs-Transformators T702. Die Sekundärseite des Transformators treibt die Basis des Leistungstransistors Q751, dessen Kollektor von +B über R751, L700 und die Primärseite von FBT T701 versorgt wird. Der Emitter ist geerdet über R760, einen 1 Ohm 10W Widerstand (R760 sollte von der Kühlplatte Q751 ferngehalten werden, um die Wärmeübertragung zu vermindern), der ein Programm-Widerstand für den Schutzschaltkreis ist.
Das kapazitive Frequenzteiler-Netzwerk C717 und C708 produziert einen Horizontalimpuls, der von Z704 abgetastet und von D713 und D714 synchronisiert und dann an Stift 13 von IE02 zurückgegeben wird.

50HZ HORIZONTALE ABLENKUNGS-STUFE (D8)

HA OUT von Stift 60 von I200 TDA9320,"HIP", wird über K66 und RH03 in Stift 24 von IE02 TDA9330, "HOP", gespeist.
Die horizontale Ansteuerung wird dann von Stift 8 ausgegeben und geht zur Basis von Q701. Der Kollektor von Q701 wird gespeist von +B über R701 und die Primärseite des Ansteuerungs-Transformators T702. Die Sekundärseite des Transformators treibt die Basis des Leistungstransistors Q751. Der Kollektor von Q751 wird versorgt von +B über R751, L700 und die Primärseite von FBT T701. Der Emitter ist geerdet über R760, der ein Programm-Widerstand für den Schutzschaltkreis ist.
Das kapazitive Frequenzteiler-Netzwerk C717 und C708 produziert einen Horizontalimpuls, der von Z704 abgetastet und von D713 und D714 synchronisiert und dann an Stift 13 von IE02 zurückgegeben wird.

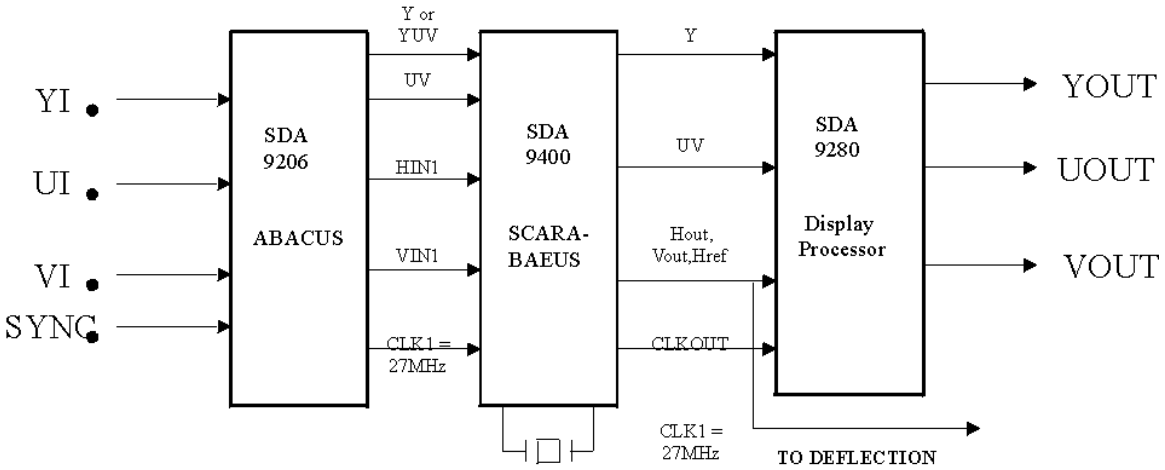
VERTIKALE ABLENKUNG

Beim 50Hz D8 kommt der vertikale Ansteuerungs-Impuls von Stift 61 (VA AUS) von I200 und beim 100Hz A8 kommt er von Stift 31 von UQ01. Dies wird über K65 und RV02 in Stift 23 von IE02 gespeist. Die vertikalen Sägezahnschwingungen werden von Stift 1 und 2 von IE02 ausgegeben und über RV04 und RV03 in die Stifte 11 und 12 von I601 gespeist. I601 (TDA8354) ist der vertikale Endverstärker, er braucht 2 Speisespannungen, ca. 14V an die Stifte 4 und 10, um den integrierten Schaltkreis zu betreiben, und ca. 48V an Stift 7 für den Rücklaufimpuls-Generator. Die Ausgaben kommen von Stift 2 und 9, wobei die die Verstärkung einstellenden Rückkopplungs-Widerstände R602 und R603 mit Stift 5 verbunden sind.
Stift 1 ist der vertikale Schutz, der mit Stift 9 von IE02 verbunden ist, falls ein vertikaler Fehler erkannt wird, wird der vertikale Teil des Rechteck-Impulses entfernt, und IE02 blendet das Bild aus, um die Röhre vor Schaden zu bewahren. Z615 tastet den Rücklaufimpuls ab, der dann von Z606 synchronisiert wird, dies generiert den Bildimpuls, den der Mikroprozessor I001 benutzt.

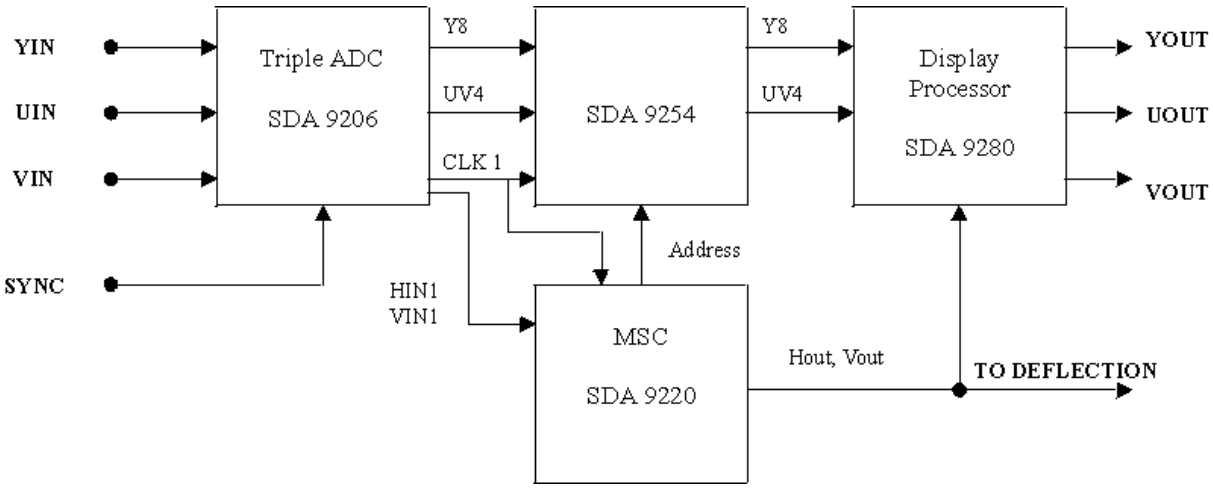
OST-WEST-KORREKTUR

Die Ost-West-Parabel wird von Stift 3 von IE02 ausgegeben und über RH04 zum Gate von Q700 weitergespeist. Der Drain von Q700 ist über die Ost-West-Injektionsspule L751 mit der Mitte des Diodenmodulators D706 und D707 verbunden.

„HÖHERE“ FEATURE BOX



„NIEDRIGE“ FEATURE BOX



MIKROCONTROLLER-ABSCHNITT AUF DER A8/D8 GRUNDPLATTE

EINLEITUNG:

Der Haupt-Mikrocontroller auf der A8/D8 Grundplatte befindet sich auf I001 (ST92R195B). Dies ist ein 80-Stifte Vierfach-Flachgehäuse (QFP) mit Oberflächenmontage. Dieses äußerst komplexe Gerät steuert viele der anderen integrierten Schaltkreise über festgeschaltete Ein-/Ausgangs-Leitungen oder den I2C Bus. Dieses Gerät erzeugt auch die RGB Signale für Menüs auf dem Bildschirm und für Teletext. Das Gerät kann Teletext erfassen, dekodieren und anzeigen, ohne eine separaten integrierten Schaltkreis zu benötigen. Dieser Mikrocontroller ist ohne ROM, weshalb ein separates Speicher-Gerät benötigt wird, um den Programmcode für die Bedienung des Fernsehers zu speichern. Dieses Speicher-Gerät befindet sich auf I002 und ist mehrfach programmierbar (MTP). Damit kann das Gerät neu programmiert werden, und in Zukunft kann es sogar in der Schaltplatte neu programmiert werden, ohne das Hintergehäuse des Fernsehers zu entfernen. Der Fernseher speichert alle notwendigen Benutzerprioritäten und Betriebseinstellungen in einem EEPROM (E2) auf der Schaltplatte. Dieses Gerät kann 2Kb Information halten zum Speichern von Programm-Information (Frequenz, Name, AV-Einstellung usw.), werksseitigen Abgleichseinstellungen (Geometrie, Weißabgleich, automatische Scharfabstimmung/automatische Lautstärkeregelung des Tuners usw.), Wartungsdiagnosefehlern und Benutzer-Steuerungseinstellungen (Lautstärke, Helligkeit, Kontrast usw.). Dieses Gerät kommuniziert mit dem Haupt-Mikrocontroller über den I2C Bus, sogar in der Bereitschafts-Betriebsart.

HAUPT-MIKROCONTROLLER (I001)

EINLEITUNG

Der ST92R195B ist ein verbesserter Mikrocontroller auf der Grundlage des ST9+ Befehlsvorrats von STMicroelectronics. Er kann Menüs und Teletext für 50Hz und 100Hz Fernseher anzeigen. Dies Gerät kann Seiten von Teletext-Information in der FLOF- (FastText) und der TOP- (nur in Deutschland/der Schweiz/Österreich) Betriebsart erfassen/dekodieren und anzeigen. Das Gerät wird von einem einzelnen 4MHz Kristall und einer +5V Versorgung betrieben. Dank festgeschalteter Adressen-/Daten-Leitungen kann er auf 4MBytes Adressraum zugreifen, obwohl er in diesem Fernseher auf 128KBytes (1Mbit) zugreift. Diese Adressen-/Daten-Leitungen sind mit dem EPROM/MTP Gerät verbunden, das die Anweisungen enthält, die für die Steuerung des Fernsehers nötig sind.

BESCHREIBUNG

MMU ADRESSEN-LEITUNGEN FÜR EXTERNE SPEICHER-SCHNITTSTELLE

- **Stifte 1** (MMU0), **15** (MMU1) und **16** (MMU2) werden benutzt, um auf Adressen über 64Kbytes zuzugreifen. Normalerweise werden Stifte 15 und 16 nicht benutzt, wenn ein 128KByte EPROM/MTP Gerät (MX26C1000APC) in Position I002 benutzt wird.
- **Stift 2** (MMU3) wird benutzt, um zu wählen zwischen dem EPROM/MTP in Position I002 oder einem zukünftigen Gerät, das in Position I003 montiert werden kann. Wenn diese Leitung tief ist, ist das MX26C1000APC Gerät in Position I002 freigegeben (Chip-Freigabe).
- **Stift 17** (MMU4) wird als Ausgangs-Anschluss benutzt, um ein Taktgeber-Signal abzuleiten, das für die Verschiebung der Daten in das 74HC595 Verschieberegister (I006) benötigt wird.
- **Stift 18** (MMU5) wird nicht benutzt.

STEUERUNGS-LEITUNGEN FÜR EXTERNE SPEICHER-SCHNITTSTELLE

- **Stift 4** ist die Daten-Impuls-Leitung, die mit dem Eingang für Ausgang-Freigabe des EPROM/MTP (I002) verbunden ist. Wenn Daten vom EPROM/MTP gelesen werden, ist diese Leitung zeitweilig tief.
- **Stift 8** ist die Lese-/Schreib-Leitung für I003. Normalerweise wird diese Leitung nicht benutzt (HOCH), aber wenn ein SRAM in dieser Position montiert wäre, könnte die Leitung tief sein, wenn sie Daten an den SRAM schriebe.

ADRESSEN-LEITUNGEN FÜR EXTERNE SPEICHER-SCHNITTSTELLE

- **Stifte 3, 5, 6, 7, 13, 14** und **71 to 80** sind die Adressen-Leitungen, die benötigt werden, um anzugeben, auf welche Speicherstelle in einer 64KByte Seite der EPROM/MTP (I002) zugreifen muss. Diese Leitungen sind auch mit I003 verbunden, falls in Zukunft ein SRAM montiert werden soll. Normalerweise ändern diese Leitungen ihren Zustand (0V bis ca. +5V). Durch Anbringen eines Oszilloskops an Stift 12 des EPROM/MTP (I002) kann man bestätigen, dass der Mikrocontroller erfolgreich funktioniert. In diesem Fall sollte diese Leitung ihren Zustand sehr oft ändern.

DATEN-LEITUNGEN FÜR EXTERNE SPEICHER-SCHNITTSTELLE

- **Stifte 63** to **70** sind die 8 Daten-Leitungen, die benötigt werden, um Daten vom EPROM/MTP (I002) zu erhalten. Falls ein SRAM in Position I003 montiert werden sollte, würden diese Leitungen dazu benutzt, Daten vom Mikrocontroller zum SRAM zu übertragen. Unter normalen Bedingungen würden diese Leitungen von TIEF (0V) auf HOCH (ca. +5V) wechseln.

ERDLEITUNGEN

- **Stift 9** (GNDM) ist die Erdleitung (0V) für die externe Speicher-Schnittstelle. Sie sollte rauschfrei sein, um eine erfolgreiche Kommunikation zwischen dem Mikrocontroller und dem EPROM/MTP (oder SRAM) zu ermöglichen.
- **Stift 35** (GND) ist die digitale Erdleitung (0V) für den Normalbetrieb des Geräts.
- **Stift 62** (GNDA) ist die analoge Erdleitung für den Digital-Analog-Umsetzer und die PLLs.

VERSORGUNGS-VERBINDUNGEN

- **Stift 10** (VDDM) ist die +5V Versorgung für die externe Speicher-Schnittstelle. Ohne diese Versorgung kann der Mikrocontroller nicht mit dem EPROM/MTP (oder SRAM) kommunizieren.
- **Stift 34** (VDD) ist die hauptsächliche digitale Speisespannung für den integrierten Schaltkreis (5V 10% Toleranz).

- **Stift 52** (VDDA) ist die analoge Speisespannung für die Digital-Analog-Umsetzer und PLLs (+5V). Diese Verbindungen sind alle zusammen mit der +5V Bereitschafts-Schiene des Fernsehers verbunden, was sicherstellt, dass der Mikrocontroller selbst im Bereitschafts-Zustand funktioniert.

QUARZSCHWINGER-VERBINDUNGEN

- **Stift 11** ist der 4MHz Quarzschwinger-Eingang (OSCIN).
- **Stift 12** ist der 4MHz Quarzschwinger-Ausgang (OSCOUT). Wenn man einen x100 Oszilloskop-Messfühler an Stift 11 legt, kann man sehen, ob am Oszillator-Eingang des Mikrocontrollers eine 4MHz Sinuswelle vorhanden ist.

RÜCKSTELLUNGS-VERBINDUNG

- **Stift 54** ist der aktive tiefe RÜCKSTELLUNGS-Eingang des Mikrocontrollers. Dieser Eingang ist normalerweise hoch (ca. +5V) unter Betriebsbedingungen, verändert aber seinen Zustand, wenn die +5V Bereitschafts-Strom-Versorgung typischerweise unter +4,5V liegt. Unter diesen Umständen stellt der integrierte Schaltkreis für Rückstellung (I021) Stift 54 tief, bis seine Eingabe über +4,5V liegt. Die Diode (D001) stellt sicher, dass sich der Kondensator (C015) schnell entlädt, wenn die Bereitschafts-Strom-Versorgung fällt, damit die Rückstellung schnell erfolgt. Der Kondensator (C015) lädt sich langsam auf, wenn die +5V Bereitschafts-Strom-Versorgung wiederhergestellt ist, und stellt eine gewisse Hysterese sicher.

EINGANG FÜR DEN INFRAROT-EMPFÄNGER

- **Stift 25** ist der gefilterte Ausgang des Infrarot-Empfängers. Diese Eingabe vom Infrarot-Empfänger besteht aus PWM Impulsen zwischen 0V und +5V, die vom Mikrocontroller in nützliche Befehle vom Handapparat dekodiert werden. Wenn ein gültiger Befehl dekodiert wurde, blinkt die LED vorne am Fernseher kurz auf.

VERBINDUNGEN FÜR HORIZONTALE UND VERTIKALE SYNCHRONISIERUNG

- **Stift 48** ist der vertikale Synchronisierungs-Eingang von der Ablenkungs-Stufe. Dieser Eingang wird benutzt, um sicherzustellen, dass die Bildschirmanzeige in stabiler vertikaler Position ist. Wenn der Fernseher im Bereitschafts-Zustand ist, ist dieser Eingang normalerweise tief. Die vertikale Eingabe wird auf der steigenden Flanke (positive Polarität) ausgelöst.
- **Stift 9** ist der horizontale Synchronisierungs-Eingang von der Ablenkungs-Stufe. Dieser Eingang stellt sicher, dass die Bildschirmanzeige in stabiler horizontaler Position ist. Wenn der Fernseher im Bereitschafts-Zustand ist, ist dieser Eingang normalerweise tief. Diese Eingabe wird von der steigenden Flanke ausgelöst (positive Polarität).

ALLGEMEINE EINGANGS-VERBINDUNGEN

KOPFHÖRER-EINGANG

- **Stift 19** wird benutzt, um zu erkennen, ob der Kopfhörer in seine Buchse eingeführt wurde. Dieser Eingang ist normalerweise HOCH (+5V), es sei denn, der Kopfhörer wurde eingeführt, dann liegt er bei 0V. Wenn der Kopfhörer eingeführt ist, steht die Möglichkeit der Kopfhörer-Betriebsart im "Ton-Betriebsarts"-Menü zur Verfügung, und die Lautsprecher (und ggf. interne Sub-Woofer) im Fernseher werden abgeschaltet.

SCHUTZ-EINGANG

- **Stift 26** wird benutzt, um festzustellen, ob sich ein Schutz-Fehler auf der Grundplatte ereignet hat. Diese Leitung ist mit den Komparatorausgängen 1, 13 und 14 von I903 in der Stromversorgung verbunden. Diese Leitung ist normalerweise hoch (ca. +5V), es sei denn, ein Fehler hat sich ereignet, dann liegt sie bei der Erdspannung (0V).
- Komparator-Ausgang 1 überwacht die +16V Audio-Versorgung-Schiene nach Überlaststrom. Falls die Schiene kurzschließt oder zu viel Strom verbraucht, dann ändert der Komparator-Ausgang (Stift 1 von I903) seinen Zustand auf 0V.
- Komparator-Ausgang 13 überwacht die Höchstspannung, die FBT im Ablenkungs-Schaltkreis erzeugt hat. Fall die Spannung zu hoch ist, dann ist dieser Ausgang tief, um anzugeben, dass es ein Problem mit der Ablenkung gibt.
- Komparator-Ausgang 14 ist mit der Sekundärseite des Eingangsübertragers für die Ablenkungsleitung verbunden . Er wird hauptsächlich benutzt, um anzugeben, ob der Eingangsübertrager für die Leitung und FBT zu viel Strom verbrauchen.

EINGANG FÜR MINUSPOL DER STROMVERSORGUNG

- **Stift 27** wird benutzt, um anzugeben, ob der Strom vom Fernseher entfernt wurde oder ob eine statische Entladung stattgefunden hat. Dieser Eingang ist unterbrechungsgesteuert, um sofort auf eine fallende Flanke (+5V -> 0V) zu reagieren. Unter dieser Bedingung werden die Audio-Strom-Verstärker abgeschaltet, und der Fernseher schaltet sich auf Bereitschaft herunter. Diese Eingabe wird vom Komparator-Ausgang (Stift 2 von I903) in der Strom-Versorgung abgeleitet. Dieser Komparator liefert eine "Frühwarnung", dass die Primärstromversorgung entfernt wurde oder dass eine statische Entladung stattgefunden hat. Bei einer statischen Entladung geht der Fernseher vorübergehend in den Bereitschafts-Zustand, bevor er sich ein par Sekunden später wieder einschaltet.

DTT EINGANG FÜR GEBLÄSESTÖRUNG

- **Stift 32** wird nur auf einer D8 Grundplatte benutzt, die mit einem DTT Modul versehen ist. Er wird benutzt, um anzugeben, ob ein Fehler beim Gebläse auf der DTT Einheit aufgetreten ist (z.B. Gebläse klemmt). Dieser Eingang ist normalerweise HOCH (ca. +5V), es sei denn, ein Fehlerzustand wurde erkannt (0V).

FRONTPLATTEN-KNÖPFE UND SAV3 BUCHSEN-EINGÄNGE

- **Stifte 36** und **38** sind 2 der 4 Analog-Digitalwandler-Eingänge des Mikrocontrollers.
- **Stift 36** ist mit den Lautstärke +/- Knöpfen und der SAV3 (Hi-8) Buchse auf der Frontplatte des Fernsehers verbunden. Wenn die Spannung an diesem Stift zu einem Wert in einem bestimmten Fenster wechselt, interpretiert der

Mikrocontroller das als Lautstärke +, Lautstärke -, Lautstärke +/- Befehl, und/oder dass ein SVHS Hi-8 Stecker in die Hi-8 Buchse eingeführt wurde.

- **Stift 38** ist mit den Programm +/- und Menü-Knöpfen auf der Frontplatte des Fernsehers verbunden. Wenn die Spannung an diesem Stift zu einem Wert in einem bestimmten Fenster wechselt, interpretiert der Mikrocontroller das als Programmwechsel oder dass der Menü-Knopf gedrückt wurde.

ALLGEMEINE AUSGANGS-VERBINDUNGEN

74HC595 VERSCHIEBEREGISTER-AUSGÄNGE

TAKTGEBER-AUSGANG DES SPEICHER-REGISTERS (RCLK)

- **Stift 20** des Mikrocontrollers ist mit dem (positiv ausgelösten) Eingang (Stift 12) von I006 mit der steigenden Flanke verbunden. Diese Leitung ist normalerweise tief, wenn sie nicht mit dem Gerät kommuniziert oder Daten in das Gerät verschiebt. Sobald die vollen 8-Bits hineinverschoben sind, steigt die RCLK Leitung, um die Daten an die Ausgänge des Geräts einzurasten.

TAKTGEBER-AUSGANG DES VERSCHIEBUNGS-REGISTERS (SCLK)

- **Stift 17** des Mikrocontrollers (MMU4) wird benutzt, um Daten in die 8-Stufen Verschiebungs-Register auf der steigenden Flanke des SCLK zu übertragen. 8 Taktgeber-Impulse werden benötigt, um 8 Bits an Daten in das Verschieberegister zu übertragen.

DATEN-AUSGANG DES VERSCHIEBUNGS-REGISTERS (SI)

- **Stift 21** des Mikrocontrollers wird als Daten-Leitungs-Eingang in Stift 14 vom Verschieberegister benutzt. Wenn diese Leitung HOCH ist und der SCLK von tief auf hoch wechselt, wird das erste Bit an Daten (Logikpegel 1) ins Register verschoben. Wenn der Eingang tief ist, steht das erste Bit an Daten auf '0' auf der steigenden Flanke des SCLK.

EEPROM SCHREIB-FREIGABE-AUSGANG

- **Stift 22** ist die E2 Schreib-Freigabe-Ausgangs-Leitung, die mit Stift 7 des EEPROM (E2) verbunden ist. Wenn dieser Ausgang HOCH ist (ca. +5V), kann nichts in E2 geschrieben werden (Schreib-Sperre), aber Daten vom Gerät können gelesen werden. Wenn dieser Ausgang tief ist (0V), können Daten in E2 geschrieben werden. Diese Hardware-Leitung schützt E2 vor versehentlichen Schreibtätigkeiten, die unter ungewöhnlichen Umständen passieren könnten.

EIN/AUS-AUSGANG

- **Stift 28** ist die Ein/Aus-Leitung, die die Sekundär-Strom-Versorgung (+B, +16V Audio-Schiene, +8V und +5V) Ein- (TIEF) /Aus- (HOCH) schaltet. Die +5V und +10V Bereitschafts-Schienen werden nicht betroffen, wenn dieser Ausgang HOCH ist (Fernseher im Bereitschafts-Zustand). Unter normalen Betriebsbedingungen ist dieser Ausgang tief, wenn der Fernseher NICHT im Bereitschafts-Zustand ist.

EIN/AUS 2-AUSGANG

- **Stift 29** ist die Ein/Aus 2-Leitung, die die DTT/ASW Unter-Strom-Versorgung Ein- (TIEF) / Aus- (HOCH) schaltet.

DTT RÜCKSTELLUNGS-AUSGANG

- **Stift 31** ist die DTT Rückstellungs-Leitung, die beim Einschalten und beim Ausschalten des DTT Moduls als HOCH (+5V) erklärt wird. Unter normalen Betriebsbedingungen, wenn der Fernseher eingeschaltet ist, ist die Leitung tief.

I2C SPERR-AUSGANG

- **Stift 33** ist der I2C Sperr-Ausgang, der verhindert, dass der Haupt-Grundplatten I2C Bus mit dem I2C Bus des Mikrocontrollers (I001) und E2 (I002) verbunden wird. Diese Leitung ist normalerweise HOCH, wenn der Fernseher im Bereitschafts-Zustand ist. Dieser Ausgang wird mit dem 74HC04 integrierten hexadezimalen Wechselrichter-Schaltkreis (I004) gewendet und mit den Stiften 5 und 6 von I007 verbunden. Im Bereitschafts-Zustand sind die Stifte 5 und 6 von I007 (74HC4066) tief, und die M.SDA und M.SCL (Mikrocontroller) Leitungen sind von den SDA und SCL (Haupt-Grundplatten) I2C Leitungen getrennt. Beim Schreiben in E2 wird der I2C Sperr-Ausgang auch hoch gezogen, um sicherzustellen, dass das Schreiben der Daten erfolgreich war (z.B. um eine Fehler-Diagnose zu protokollieren, wenn der Fernseher nicht einschaltet und der Haupt-Grundplatten I2C Bus tief ist).

SCART SPERR-AUSGANG

- **Stift 39** wird benutzt, um die RS232 Sende- und Empfangs-Leitungen von den Stiften 10 (Rx) und 12 (Tx) von Scartbuchse 2 zu sperren. Das ist notwendig, wenn der Fernseher normal funktioniert. Wenn der Fernseher aber in der Wartungs- oder Diagnose-Betriebsart ist, ist dieser Ausgang tief, um die Verbindung der RS232 Leitungen des Mikrocontrollers mit der Scartbuchse freizugeben.

AUSGANG FÜR LAUTSPRECHER-ABSCHALTUNG

- **Stift 40** ist der Ausgang zum Abschalten der Audio-Verstärker auf der Schaltplatte. Dieser Ausgang ist HOCH, wenn die Verstärker abgeschaltet sind (z.B. Bereitschaft). Wenn der Benutzer die internen Lautsprecher benutzen möchte, dann ist dieser Ausgang unter normalen Betriebsbedingungen TIEF. Beim Ausschalten steigt dieser Ausgang schnell an, um die Lautsprecher abzuschalten und unerwünschte 'Pop'-Geräusche zu verhindern.

AUSGANG FÜR GRÜNE LED

- **Stift 41** ist der grüne LED Ausgang, der nur auf der D8 Grundplatte benutzt wird, die mit einem DTT Modul ausgestattet ist. Dieser Ausgang ist hoch, wenn die grüne LED eingeschaltet ist. Wenn das DTT Modul im teilweisen Bereitschafts-Zustand ist oder ein digitales terrestrisches Programm aufnimmt, dann ist diese eingeschaltet und wird mit der roten LED gemischt, um Orange hervorzubringen. Wenn das DTT Modul über die Telefonleitung verbunden ist und Post erhält, dann blinkt diese LED periodisch, um diesen Zustand anzuzeigen.
- Wenn zuerst Strom in den Fernseher eingespeist wird, dann ist die grüne LED eingeschaltet. Bald danach sollte diese LED aber ausgehen, um anzugeben, dass der Fernseher richtig funktioniert. ANMERKUNG: Dies ist eine der einfachsten Weisen, um zu prüfen, ob der Mikrocontroller den Programmcode korrekt im EPROM/MTP ablaufen lässt. Wenn die grüne LED eingeschaltet bleibt, dann hat der Mikrocontroller oder EPROM/MTP einen Fehler, der verhindert, dass der Code korrekt ausgeführt wird.

AUSGANG FÜR ROTE LED

- **Stift 42** ist der rote LED Ausgang, der benutzt wird, um den Bereitschafts-Zustand anzuzeigen und, ob ein IR Befehl erfolgreich empfangen und dekodiert wurde. Wenn der Fernseher im Bereitschafts-Zustand ist, ist dieser Ausgang HOCH, um sicherzustellen, dass die rote LED hell leuchtet. Wenn der Fernseher nicht in Bereitschaft ist, dann ist dieser Ausgang tief, aber die rote LED bleibt schwach erleuchtet durch Widerstand R081. Wenn ein IR Befehl erfolgreich empfangen wurde, dann blinkt die LED kurz, um dem Benutzer mitzuteilen, dass der Knopf auf dem Handapparat richtig gedrückt wurde.

I2C VERBINDUNGEN

- **Stift 23** ist der I2C Bus Daten-Ein-/Ausgang zur Übertragung von Daten zwischen anderen I2C Anschlussgeräten/Geräten. Diese Leitung ist nur mit dem EEPROM (I005) verbunden, wenn sie im Bereitschafts-Zustand ist oder in den EEPROM schreibt. Diese Leitung ist immer aktiv, wenn der Fernseher eingeschaltet ist, und wechselt normalerweise ihren Zustand zwischen (+5V und 0V).
- **Stift 24** ist der I2C Bus Taktgeber-Ausgang, um die Daten an andere I2C Anschlussgeräte/Geräte zu takten. Die Taktgeber-Leitung ist auch von der Haupt-Grundplatte getrennt, wenn sie im Bereitschafts-Zustand ist oder in den EEPROM schreibt. Diese Leitung schwingt mit einer Frequenz um 90KHz

RS232 VERBINDUNGEN

- **Stift 30** ist die RS232 Übertragungsleitung vom Mikrocontroller. Sie kann zu Stift 12 der Scartbuchse und zu Stift 3 von Stecker P001 für das DTT Modul geleitet werden (nur auf der D8 Grundplatte). Diese Leitung hat einen Gemeinschaftsbetrieb zwischen der Kommunikation mit der DTT Einheit und der Scartbuchse (für Diagnose). Wenn die DTT Sperr-Leitung TIEF ist, wird die Leitung von Stift 1 zu Stift 2 von I008 (74HC4066) geleitet. Wenn der Scart-Sperr-Ausgang des Mikrocontrollers (Stift 39) tief ist, dann kann TXD von Stift 1 zu Stift 2 von I007 (74HC4066) geleitet werden. Es gibt niemals eine Situation, wo beide Sperrausgänge tief wären (und sowohl DTT als auch SCART RS232 die Kommunikation freigäben).
- **Stift 37** ist die RS232 Empfangs-Leitung für den Mikrocontroller. Sie kann von Scart 2 RXD (Stift 10) und von Stift 4 von Stecker P001 für die DTT Einheit geleitet werden (nur auf der D8 Grundplatte). Wenn die DTT Sperr-Leitung tief ist, kann DTT an Stift 10 von I008 übertragen und wird dann an Stift 37 des Mikrocontrollers weitergeleitet. Wenn die Scart-Sperr-Leitung tief ist, dann können die Daten von Stift 10 von Scart 2 an Stift 10 von I007 und dann weiter an Stift 37 des Mikrocontrollers geleitet werden. Es gibt niemals eine Situation, wo beide RS232 Freigabe-Leitungen HOCH wären (Sperrausgänge TIEF).

RGB VERBINDUNGEN

- **Stift 44** ist das OSD/Teletext RGB Austastsignal, das für die Einfügung von Bildschirmanzeige (OSD) /Teletext ins Bild erforderlich ist. Wenn dieser Ausgang hoch ist (ca. +5v), dann wird das RGB Signal dem gegenwärtigen Bild überlagert.
- **Stift 45** ist das OSD blaue Signal, das zur Anzeige BLAUER Farben für Bildschirmanzeige (OSD) und Teletext erforderlich ist.
- **Stift 46** ist das OSD grüne Signal, das zur Anzeige GRÜNER Farben für Bildschirmanzeige (OSD) und Teletext erforderlich ist.
- **Stift 47** ist das OSD rote Signal, das zur Anzeige ROTER Farben für Bildschirmanzeige (OSD) und Teletext erforderlich ist.

CVBS VERBINDUNGEN

- **Stift 60** ist der Bildaustast-Synchronsignal-Eingang für VPS und WSS Doppelbegrenzung. Er ist normalerweise wechselstrom-gekoppelt und intern geklemmt, um einen zuverlässigen Betrieb zu gewährleisten. VPS (Video-Programmier-System) ist erforderlich für die automatische Programmsortierung in Deutschland/Österreich/der Schweiz. WSS (Breitwand-Signalgebung) wird benutzt, um das Bildformat des ankommenden Signals anzugeben. Der Fernseher benutzt diese Information, um das Bild im richtigen Format anzuzeigen.
- **Stift 61** ist der Bildaustast-Synchronsignal-Eingang für Teletext-Erfassung und Dekodierung und auch für Synchronisierungs-Extraktion, die erforderlich ist, um die korrekte Zeilensteuerung für die Doppelbegrenzung von Teletext-Information und VPS/WSS Information zu erhalten.

EPROM/MTP (I002)

EINLEITUNG

Das Gerät befindet sich in Position I002 und wird benutzt, um den Programmcode zu speichern, den der Mikrocontroller braucht, um den Fernseher korrekt zu betreiben. Dieses 32 Stifte-Gerät ist ein mehrfach programmierbarer Speicher (MTP), der aus der Grundplatte umprogrammiert werden kann, ohne dass man ihn mit konventionellen UV EPROM Löscheinrichtungen löschen müsste. Das gegenwärtig auf der A8/D8 Grundplatte benutzte Gerät ist der MX26C1000APC, der 128KBytes Information (1Mbit) halten kann. Dieses Gerät hält auch alle Initialisierungs-Daten, die zu einem EEPROM hinuntergeladen werden sollen. Wenn ein leerer EEPROM montiert ist, werden die Initialisierungs-Daten automatisch zu ihm hinuntergeladen, wenn Strom in die Grundplatte gespeist wird.

DISKUSSION

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 32** und **16** sind die +5V Versorgungs- bzw. Erdleitungen. Die Speisespannung von +5V ist immer vorhanden, auch wenn der Fernseher im Bereitschafts-Zustand ist.

ADRESSEN-VERBINDUNGEN

- **Stifte 2** bis **12, 23** und **25** bis **29** sind die 17 Adressen-Leitungen, die benötigt werden, um auf die vollen 128KBytes von 8-Bit Daten im Gerät zuzugreifen. Diese Leitungen sind direkt mit dem Mikrocontroller verbunden, so dass er beim Betrieb Daten vom MTP anfordern kann. Mit einem Oszilloskop kann man Stift 12 des MTP prüfen, um zu sehen, ob der Mikrocontroller korrekt läuft, und um auf den MTP zuzugreifen. Dieser Stift sollte mit einer Frequenz von ca. 2MHz schwingen und ist eine nichtperiodische Rechteckwelle.

DATEN-VERBINDUNGEN

- **Stifte 13** bis **15** und **17** bis **21** sind die 8 Daten-Leitungen, die benötigt werden, um ein Byte zur Zeit an den Mikrocontroller zu übermitteln. Diese Ausgänge haben normalerweise Dreistufen-Logik und sind hochohmig, wenn der Ausgangs-Freigabe- Stift 24 des MTP HOCH ist. Wenn der Ausgangs-Freigabe-Stift tief ist, werden die Daten von der erforderlichen Adresse an diese Stifte ausgegeben.

AUSGANGS-FREIGABE-VERBINDUNG

- **Stift 24** ist der aktive tiefe Eingang für Ausgangs-Freigabe, mit dem der logische Zustand der Daten-Leitungen gesteuert wird. Wenn der Stift HOCH ist, sind die Daten-Leitungen im hochohmigen Zustand und keine Daten sind auf diesen Stiften vorhanden. Wenn der Ausgangs-Freigabe-Eingang TIEF ist, sind die Daten-Leitungen aktiv und geben die adressierten Daten aus. Diese Leitung ist mit dem Daten-Impuls-Ausgang des Mikrocontrollers verbunden, um korrekten Betrieb/Steuerung sicherzustellen.

CHIP-FREIGABE-VERBINDUNG

- **Stift 22** ist der aktive tiefe Eingang für Chip-Freigabe, mit dem das Gerät gewählt wird. Normalerweise ist dieser Eingang tief, um das Gerät freizugeben. Doch das Gerät kann in einen Bereitschafts-Zustand versetzt werden, wenn man auf einen zukünftigen SRAM in Position I003 zugreift. Die MMU3 Leitung des Mikrocontrollers wird benutzt, um entweder den SRAM oder den MTP auszuwählen. Wenn kein SRAM montiert ist, ist der Chip-Freigabe-Stift immer tief.

VERSCHIEDENES

- **Stift 1** (VPP) ist der Programmier-Spannungs-Eingangs-Stift (+12.75V erforderlich), mit dem das Gerät umprogrammiert wird, wenn es in ein spezielles Programmiergerät gestellt wird. Dieser Stift ist immer an die +5V Bereitschafts-Stromversorgung gebunden, damit das Gerät niemals innerhalb der Fernseher-Grundplatte umprogrammiert werden kann.
- **Stift 30** wird in diesem Gerät nicht benutzt. Er ist aber noch mit der MMU1 Leitung des Mikrocontrollers verbunden, um mit größeren MTPs/EPROMs verwendet zu werden. Mit dieser Leitung kann man auf weitere 128 KBytes zugreifen, falls so ein Gerät montiert wäre.
- **Stift 31** ist der aktive tiefe Stift für Programmierfreigabe, mit dem das Gerät umprogrammiert und gelöscht wird. Dieser Stift ist immer mit der +5V Bereitschafts-Stromversorgung verbunden, damit kein versehentliches Schreiben/Löschen auf diesem Gerät stattfindet.

SRAM (I003)

EINLEITUNG

Auf zukünftigen Grundplatten wird auf der Position I003 ein SRAM für Teletext-Seiten-Speicherung und Speicherung sein. Es wird wahrscheinlich ein 128 KByte Gerät sein, mit dem 100 Teletext-Seiten erfasst und gespeichert werden können für sofortigen schnellen Zugriff darauf. Der SRAM ist mit den Adressen-und Daten-Leitungen des Mikrocontrollers verbunden, die mit dem EPROM/MTP in Position I002 geteilt werden.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 32** und **16** sind die +5V Versorgungs- bzw. Erdleitungen. Dieses Gerät ist immer mit +5V verbunden, auch wenn der Fernseher im Bereitschafts-Zustand ist.

ADRESSEN-LEITUNGS-VERBINDUNGEN

- **Stifte 2** bis **12, 23, 31** und **25** bis **28** sind die Adressen-Leitungen, die benötigt werden, damit der Mikrocontroller auf die 128 KByte an Daten zugreifen kann.

DATEN-LEITUNGS-VERBINDUNGEN

- **Stifte 13** bis **15** und **17** bis **21** sind die 8-Bit Daten-Leitungen, die benötigt werden, um ein Byte von Daten zur Zeit an den Mikrocontroller zu übertragen / vom Mikrocontroller zu empfangen.

CHIP-FREIGABE-VERBINDUNGEN

- **Stifte 22** und **30** sind 2 Chip-Freigabe-Eingänge, die TIEF bzw. HOCH sein müssen, damit das 128 KByte Gerät funktioniert. Wenn Stift 22 HOCH ist oder Stift 30 TIEF ist, dann nimmt das Gerät einen Bereitschafts-Zustand an, wo sein Stromverbrauch drastisch reduziert wird (10uW). Der MMU3 Ausgangs-Stift des Mikrocontrollers (Stift 2) wird benutzt, um den SRAM zu wählen, wenn er HOCH ist. Wenn dieser Stift tief ist, dann wird statt dessen der MTP/EPROM in Position I002 gewählt.

SCHREIB-FREIGABE-VERBINDUNGEN

- **Stift 29** ist der aktive tiefe Eingang für Schreib-Freigabe, mit dem die Daten freigegeben werden, die innerhalb des Geräts gespeichert werden sollen. Dieser Stift ist mit der Lese-/Schreib-Leitung des Mikrocontrollers für Synchronisierungs-Zwecke verbunden.

74HC04 HEXADEZIMALER WECHSELRICHTER (I004)

EINLEITUNG

Der 14-Stift-integrierte-Schaltkreis in Position I004 ist ein CMOS hexadezimaler Hochgeschwindigkeits-Wechselrichter zur Inversion digitaler Signale. Das Paket besteht aus 6 Wechselrichtern, aber nur 4 werden in dieser Anwendung benutzt.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 14** und **7** sind die +5V bzw. 0V Versorgungsverbindungen. Dieses Gerät wird immer mit +5V versorgt, selbst wenn der Fernseher im Bereitschafts-Zustand ist. Kondensator C023 ist über den Stromanschluss für Entkopplung verbunden.

CHIP-FREIGABE-VERBINDUNG

- **Stift 1** ist mit dem MMU3 Ausgang des Mikrocontrollers verbunden und wird benutzt, um entweder den MTP oder den SRAM zu wählen. Dieses Signal wird gewendet und von Stift 2 ausgegeben, der dann mit dem aktiven tiefen Eingang für Chip-Freigabe (Stift 22) des SRAM verbunden wird. Auf diese Weise braucht nur eine Chip-Freigabe-Leitung des Mikrocontrollers benutzt zu werden, um den SRAM freizugeben.

DTT SPERR-VERBINDUNG

- **Stift 3** ist der DTT Sperr-Eingang von Stift 7 von I006. Dieser Eingang wird gewendet und bei Stift 4 ausgegeben, bevor er mit den Stiften 12 & 13 des Analogschalters verbunden wird (I008).

I2C SPERR-VERBINDUNG

- **Stift 5** ist der I2C Sperr-Eingang von Stift 33 des Mikrocontrollers. Das Signal wird gewendet und bei Stift 6 an die Stifte 5 & 6 des Analogschalters (I007) ausgegeben. Wenn der Mikrocontroller im Rückstellungs-Zustand ist oder wenn der Fernseher im Bereitschafts-Zustand ist, ist die I2C Sperr-Leitung HOCH. Dieses Signal muss gewendet werden, um den I2C Bus des Mikrocontrollers vom I2C Bus der restlichen Grundplatte zu sperren.

SCART-SPERR-VERBINDUNG

- **Stift 13** ist der RS232 Scart-Sperr-Eingang von Stift 39 des Mikrocontrollers. Dieser Eingang wird gewendet und an Stift 12 ausgegeben, der dann mit den Stiften 12 & 13 des Analogschalters (I007) verbunden wird. Wenn der Mikrocontroller im Rückstellungs-Zustand ist oder wenn der Fernseher NICHT in der Wartungs-/Diagnose-Betriebsart ist, MÜSSEN die RS232 Übertragungs-/Empfangs-Leitungen von den Stiften 10 und 12 von Scartbuchse 2 getrennt werden. Diese Leitung muss dann gewendet werden, um jegliche Verbindung zu verhindern.

EEPROM (I005)

EINLEITUNG

Der ST24C16 EEPROM oder E2, wie er i.a. heißt, ist ein 16Kbit (2KByte) Gerät, das permanente Daten hält, wenn der Strom vom Fernseher entfernt wird. Dieses Gerät kann Information für 100 Programme halten, wie z.B. Namen, Frequenz, Standard, AV-Einstellung, Lautsprechersprachenseinstellung und bevorzugte Teletextseiten. Der EEPROM hält auch Diagnose-Fehler-Codes, mit denen frühere Fehler bei der Grundplatte identifiziert werden können (siehe separaten Abschnitt, der sich ausführlich damit befasst). Der E2 hält auch werksseitig abgeglichene Parameter wie Geometrie, Weißabgleich, automatische Scharfabstimmung/automatische Lautstärkeregelung des Tuners, Modelltyp, Kathodenpegel usw. Der E2 hält auch die bevorzugten Einstellungen des Benutzers, wie z.B. Lautstärke, Balance, Kontrast, Helligkeit, usw. Die Daten werden mit den Standard Philips I2C Leistungprozeduren ins Gerät geschrieben / vom Gerät gelesen.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 8** und **4** sind die +5V Versorgungs- bzw. Erd- (0V) Leitungen. Der EEPROM wird von der +5V Bereitschafts-Schiene versorgt, so dass er immer Strom hat, selbst wenn der Fernseher in Bereitschaft ist.

I2C VERBINDUNGEN

- **Stift 5** ist die I2C Daten-Leitung, die benötigt wird, um serielle Daten zwischen dem Mikrocontroller und sich selbst zu übertragen. Die Daten werden geändert, wenn die Taktgeber-Leitung tief und auf die steigende Flanke des I2C Taktgebers eingerastet ist.
- **Stift 6** ist die I2C Taktgeber-Leitung, die benötigt wird, um den I2C Datentransfer zu synchronisieren. 9 Taktgeber-Impulse werden für die 8-Bit Daten und ein Quittungs-Bit benötigt. Der I2C Haupt-Taktgeber stammt vom Mikrocontroller und arbeitet mit einer Frequenz von ca. 100KHz.

ADRESSEN-VERBINDUNGEN

- **Stifte 1** bis **3** sind die Adressen-Leitungen, mit denen die I2C Nebenadresse des Geräts gewählt wird. Auf dem ST24C16 Gerät, müssen diese Leitungen an Masse anliegen, damit man korrekten Zugang zum Gerät hat.

SCHREIB-SPERR-VERBINDUNG

- **Stift 7** ist der I2C Schreib-Freigabe/Sperr-Eingang. Wenn dieser Eingang HOCH ist (+5V), werden alle I2C Schreibvorgänge ins Gerät verwehrt. Wenn der Stift vom Mikrocontroller (Stift 22 E2RD) tief gezogen ist, können Daten ins Gerät geschrieben werden. Auf diese Weise können versehentliche Schreibvorgänge verhindern, dass die I2C Daten verfälscht werden.

74HC595 VERSCHIEBEREGISTER (I006)

EINLEITUNG

74HC595 ist ein 16-Stifte CMOS 8-Bit Hochgeschwindigkeits-Verschieberegister für zusätzliche Ausgangs-Anschluss-Fähigkeit auf der A8/D8 Grundplatte. 8-Bit Daten werden seriell ins Gerät verschoben und dann ggf. auf die Ausgänge eingerastet. Diese Ausgänge werden nicht benutzt, wenn der Fernseher im Bereitschafts-Zustand ist.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 16** und **8** sind die +5V Versorgungs- bzw. 0V Erdleitungen. Dieses Gerät wird mit +5V versorgt, selbst wenn der Fernseher im Bereitschafts-Zustand ist. Kondensator C024 wird benutzt, um die Versorgung zu entkoppeln.

VM EIN/AUS-AUSGANGS-VERBINDUNG

- **Stift 1** wird benutzt, um den Schaltkreis für Geschwindigkeitsmodulation (VM) mancher High-End-Grundplatten Ein- (TIEF) oder Aus- (HOCH) zuschalten. Dies verbessert den Übergang von schwarzen zu weißen Bildflächen (und umgekehrt), um sie zu schärfen. Das fällt besonders im äußeren Bereich der Kathodenstrahlröhre auf. Dieser Ausgangs-Stift ist mit der +5V Signal-Versorgung verbunden und bleibt nicht geerdet, wenn der Fernseher im Bereitschafts-Zustand ist. Die Diode D008 verhindert, dass Verluststrom von Stift 1 in die VM Schalttechnik fließt, wenn der Fernseher im Bereitschafts-Zustand ist.

LAUTSPRECHERABSCHALTUNG 2 AUSGANGS-VERBINDUNG

- **Stift 2** wird benutzt, um den ASW Verstärker in Bereitschaft (TIEF) oder in Betrieb (HOCH) zu schalten. Dieser Stift wird auch benutzt, um die +16V Versorgung hinten im Fernseher zu erniedrigen, um ein wahlweises Konsolen-/Lautsprecher-System abzuschalten, das mit dem +16V Phono-Stecker verbunden ist, wenn der Strom vom Fernseher entfernt wird.

VERDICHTUNGS-AUSGANGS-VERBINDUNG

- **Stift 3** ist die Steuerung der Freigabe (HOCH) oder Sperrung (TIEF) des Verdichtungs-Relais. Dieser Ausgang ist hoch, wenn ein Breitwand-Fernseher im Bildformat 4:3 ist, und tief in allen anderen Betriebsarten. In der 4:3 Betriebsart befinden sich schwarze Seitenflächen auf beiden Seiten des mittigen Bildes.

EXTERNE AUSGANGSVERBINDUNG FÜRS AUSBLENDEN

- **Stift 4** ist der externe RGB-Ausgang fürs Ausblenden, der benötigt wird, um den externen Eingang fürs Ausblenden (Stift 39) von HIP (TDA9320) in die Betriebsart fürs Ausblenden des ganzen Bildschirms zu schalten. Diese Betriebsart wird aktiviert, wenn der Benutzer "RGB" unter den möglichen AV Betriebsarten auswählt. In diesem Fall ist die Leitung HOCH, was den RGB Signalen auf den Stiften 36 bis 38 von I200 Vorrang vor dem Bild gibt.

MSP RÜCKSTELLUNGS-AUSGANGSVERBINDUNG

- **Stift 5** ist die MSP3410D Rückstellungs-Leitung, die tief ist, wenn der MSP zurückgestellt wird. Diese Leitung ist normalerweise HOCH (+5V) wenn der Fernseher richtig funktioniert. Wenn der Fernseher im Bereitschafts-Zustand ist, ist diese Leitung tief, weil es keine +5V Signal-Strom-Versorgung gibt, die die Leitung durch Widerstand R044 hoch ziehen könnte.

LAUTSPRECHER-ABSCHALTUNG3-AUSGANGSVERBINDUNG

- **Stift 6** ist der Lautsprecher-Abschaltung3-Ausgang, der benötigt wird, um den ASW Verstärker abzuschalten. Wenn diese Leitung HOCH ist, wird der interne Sub-Woofer (wahlweise bei einigen Modellen) abgeschaltet. Das passiert, wenn der Benutzer den internen Lautsprecher vom Lautsprecher-Konfigurations-Menü gesperrt hat, wenn Kopfhörer in den Fernseher eingeführt werden oder wenn der Fernseher ausgeschaltet wird.

DTT SPERR-AUSGANGSVERBINDUNG

- **Stift 7** ist der DTT Sperr-Ausgang, der erforderlich ist, um die Übertragungs-/Empfangs-Kommunikations-Leitungen des DTT RS232 von den Anschlüssen des Mikrocontrollers RS232 zu trennen. Dieser Ausgang geht an Stift 3 des hexadezimalen Wechselrichters (I004), der dann gewendet und an die Stifte 12 & 13 des Analogschalters I008 gespeist wird. Der Analogschalter trennt die RXD und TXD (Empfangs- und Übertragungs-) Leitungen des Mikrocontrollers von denen des DTT, wenn dessen Stifte 12 & 13 TIEF sind.

EINGANG FÜRS LÖSCHEN DES VERSCHIEBEREGISTERS (SCLR)

- **Stift 10** ist ein aktiver tiefer Eingang, der erforderlich ist zum Löschen der Daten des Verschieberegisters beim Einschalten des Geräts.

VERSCHIEBEREGISTER-TAKTGEBER-EINGANG (SCK)

- **Stift 11** ist der Verschieberegister-Taktgeber-Eingang, der erforderlich ist zum Takten der Daten in das Gerät. Jedes Bit an Daten wird auf der ansteigenden Flanke des Taktgebers in das Gerät eingerastet. Dieser Taktgeber stammt von Stift 17 des Mikrocontrollers.

REGISTER TAKTGEBER-EINGANG (RCK)

- **Stift 12** ist der Register-Taktgeber-Eingang, der erforderlich ist, um die Daten an die Ausgangs-Stifte einzurasten. Auf der ansteigenden Flanke dieses Stifts werden alle 8 eingerasteten Bits an die Ausgangs-Stifte übertragen.

AUSGANGS-FREIGABE-EINGANG (G)

- **Stift 13** ist ein aktiver tiefer Eingang, der erforderlich ist zur Freigabe der Ausgangs-Anschlüsse. Dieser Stift ist immer mit der Erde verbunden, um die Ausgänge freizugeben.

DATEN-VERSCHIEBUNGS-EINGANG

- **Stift 14** ist der Daten-Verschiebungs-Eingang, der erforderlich ist zur Übertragung der 8 Daten Bits in das Gerät. Wenn diese Leitung HOCH ist, wird auf der steigenden Flanke des SCK ein Logikpegel '1' in das Gerät eingerastet. Wenn diese Leitung während der steigenden Flanke des SCK tief ist, wird statt dessen ein Logikpegel '0' gespeichert.

74HC4066 ANALOGSCHALTER (I007)

EINLEITUNG

74HC4066 ist ein 14-Stifte CMOS Hochgeschwindigkeits-Vierfach-Bilateralschalter. Er wird hauptsächlich dazu benutzt, Signale zu verbinden/trennen, wenn er nicht im Bereitschafts-Zustand / im Bereitschafts-Zustand ist.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 14** und **7** sind die +5V Versorgungs- bzw. 0V Erdleitungen. Dieses Gerät ist immer eingeschaltet, selbst wenn der Fernseher im Bereitschafts-Zustand ist. Kondensator C025 stellt sicher, dass die Stromversorgungen korrekt entkoppelt sind.

TXD VERBINDUNGEN

- **Stift 1** ist die RS232 Übertragungs-Leitung des Mikrocontrollers (Stift 30), die an Stift 2 von I007 weitergeleitet wird, wenn Stift 13 HOCH ist. Unter normalen Betriebsbedingungen (und wenn der Fernseher NICHT in der Wartungs- oder Diagnose-Betriebsart ist), ist Stift 1 von Stift 2 (und Stift 10 von Scart 2) getrennt. Wenn der Fernseher in der Wartungs-Betriebsart ist, kann man einen PC an Scart 2 anschließen, um die Diagnosefunktionen auf der Grundplatte auszuführen (siehe separaten Abschnitt über Diagnose-Leistungprozeduren für näheres).

RXD VERBINDUNGEN

- **Stift 11** ist die RS232 Empfangs-Leitung des Mikrocontrollers (Stift 37), die an Stift 10 weitergeleitet wird, wenn Stift 12 HOCH ist. Unter normalen Betriebsbedingungen (und wenn der Fernseher NICHT in der Wartungs- oder Diagnose-Betriebsart ist), ist Stift 10 von Stift 12 (und Stift 12 von Scart 2) getrennt. Wenn der Fernseher in der Wartungs-Betriebsart ist, kann man einen PC an Scart 2 anschließen, um die Diagnosefunktionen auf der Grundplatte auszuführen (siehe separaten Abschnitt über Diagnose-Leistungprozeduren für näheres).

I2C VERBINDUNGEN

I2C TAKTGEBER-VERBINDUNG

- **Stift 8** ist der I2C Haupt-Taktgeber-Eingang des Mikrocontrollers (Stift 24). Wenn Stift 6 von I007 HOCH ist, ist diese Leitung mit Stift 9 verbunden, was dem Mikrocontroller ermöglicht, mit anderen I2C Geräten auf der Grundplatte zu kommunizieren. Stift 6 ist normalerweise TIEF, wenn der Fernseher im Bereitschafts-Zustand ist oder wenn zum ersten Mal Strom in die Grundplatte gespeist wird.

I2C DATEN-VERBINDUNG

- **Stift 4** ist der I2C Daten-Eingang des Mikrocontrollers (Stift 23). Wenn Stift 5 von I007 HOCH ist, ist diese Leitung mit Stift 3 verbunden, was dem Mikrocontroller ermöglicht, mit anderen I2C Geräten auf der Grundplatte zu kommunizieren. Stift 5 ist normalerweise TIEF, wenn der Fernseher im Bereitschafts-Zustand ist oder wenn zum ersten Mal Strom in die Grundplatte gespeist wird.

74HC4066 (I008) NUR D8 GRUNDPLATTE

EINLEITUNG

74HC4066 ist ein 14-Stifte CMOS Hochgeschwindigkeits-Vierfach-Bilateralschalter. Er wird hauptsächlich dazu benutzt, Signale zu verbinden/trennen, wenn er nicht im Bereitschafts-Zustand / im Bereitschafts-Zustand ist.

BESCHREIBUNG

VERSORGUNGS-/ERDLEITUNGEN

- **Stifte 14** und **7** sind die +5V Versorgungs- bzw. 0V Erdleitungen Dieses Gerät ist immer eingeschaltet, selbst wenn der Fernseher im Bereitschafts-Zustand ist. Kondensator C026 stellt sicher, dass die Stromversorgungen korrekt entkoppelt sind.

TXD VERBINDUNGEN

- **Stift 1** ist die RS232 Übertragungs-Leitung des Mikrocontrollers (Stift 30), die an Stift 2 (DTT Tx) von I007, weitergeleitet wird, wenn Stift 13 HOCH ist. Stift 2 wird verbunden mit Stift 3 von P001, der seinerseits mit dem DTT Modul verbunden wird. Wenn er mit dem DTT Modul kommuniziert, ist Stift 13 von I008 HOCH. Wenn er aber mit RS232 auf Scart 2 kommuniziert, muss diese Leitung TIEF sein, um gleichzeitige Kommunikation zu verhindern.

RXD VERBINDUNGEN

- **Stift 11** ist die RS232 Empfangs-Leitung des Mikrocontrollers (Stift 37), die an Stift 10 (DTT Rx) weitergeleitet wird, wenn Stift 12 HOCH ist. Stift 10 wird verbunden mit Stift 4 von P001, der seinerseits mit dem DTT Modul verbunden wird. Wenn er mit dem DTT Modul kommuniziert, ist Stift 12 von I008 HOCH. Wenn er aber mit RS232 auf Scart 2 kommuniziert, muss diese Leitung TIEF sein, um gleichzeitige Kommunikation zu verhindern.

DTT RÜCKSTELLUNGS-VERBINDUNG

- **Stift 4** ist die DTT Rückstellungs-Verbindung, die an Stift 3 weitergeleitet wird, wenn Stift 5 HOCH ist. Stift 3 wird dann mit Stift 1 von P001 verbunden, der seinerseits mit dem DTT Modul verbunden wird. Die DTT Rückstellungs-Leitung ist normalerweise HOCH, wenn sie das DTT Modul ein-/ausschaltet, andernfalls ist sie tief.

MIT STROM VERSORGTE KONSOLE

Die mit Strom versorgte Konsole modifiziert die A7 und A8/D8 Modelle in vollständige Dolby Pro Logic Geräte, indem sie die Mittel- und Surround-Kanäle durch einen zusätzlichen Sub-Woofer verstärkt.
Die dafür benutzten Verstärker sind drei TDA7482, die Mono Klasse D sind. In dieser Anwendung hat der Bass-Ausgang (IC2) hat eine Leistung von 20W, und die Kanäle für Mitte (IC3) und Surround (IC1) haben eine Leistung von 12W, wobei die Ausgabe durch die Speisespannung begrenzt wird.
Diese Aggregate brauchen normalerweise zwei Stromversorgungen, eine positive und eine negative, doch in diesem Fall wird für jeden Verstärker eine fiktive Erde geschaffen, indem man ein mit Widerstand behaftetes kapazitives Frequenzteiler-Netzwerk benutzt. Der Bass wird von 38V geliefert und wird von R11 / R12 und C11+ C16 / C17 + C18 geteilt. Mitte und Surround werden von 32V geliefert und von R56 / R57 und C72 + C77 / C78 + C79 (Mitte) und R50 / R51 und C57 + C64 / C65 + C66 (Surround) geteilt.
Das einfache Prinzip hinter der Klasse D ist, dass das Signal mit einer Schnelligkeit in Segmente geteilt wird, die vom internen Oszillator bestimmt wird (die Frequenz wird bestimmt durch die RC-Glieder bei Stift 6, in diesem Fall ca. 110kHz). Dies wird dann verstärkt und von Stift 1 ausgegeben als Rechteckwelle mit modulierter Impulsbreite und einer Amplitude, die der Speisespannung fast gleich ist. Das Induktor/Kondensator-Netzwerk, zu dem der Lautsprecher gehört, filtert das meiste der Grundfrequenz heraus und lässt das verstärkte Audio-Signal übrig.
Die Verstärker vom Typ Klasse D wurden wegen ihrer hohen Effizienz gewählt (geringer Wärmeverlust im Aggregat).
Die Ausgaben für Mitte und Surround werden direkt von den Phonobuchsen über die Kondensatoren 470nF zu Stift 9 der Verstärker geleitet. Der Bass benutzt die Ausgänge für links und rechts vom Fernseher, diese Signale passieren durch einen aktiven Filter bei Verstärker(IC9), dessen Ausgabe über R68 und C2 zu IC2 Stift 9 geleitet wird.
Die einzige Steuerung auf dem integrierten Schaltkreis ist Stift 10, der drei Pegelbereiche hat :-

1. 0 bis 0,7 V über der Stift 7 Bereitschaftsspannung (keinerlei Ausgabe von Stift 1).
2. 1,7 bis 2,5V über der Stift 7 Spannung bei Lautsprecherabschaltung (nur die 110kHz Ausgabe kann bei Stift 1 gesehen werden).
3. 4 bis 5V über der Stift 7 Normalbetriebsspannung.

Weil die Verstärkerstufen für Bass, Mitte und Surround identisch sind, wird nur der Bass beschrieben. Auf der mit Strom versorgten Konsole wird eine schnell fallende 5V Schiene benutzt, um Pops und Quietschen zu verhindern, wenn der Fernseher ausgeschaltet oder in Bereitschaft versetzt wird (was die 5V entfernt), dies wird über R1 auf die Basis von Q2 angewandt, der Kollektor von Q2 hält die Basis von Q3 über R3 tief. Das ermöglicht dem Kollektor von Q3 und Stift 10 von IC2, durch das Hochzieh-Netzwerk zu steigen, bestehend aus R10, auf 5V6 eingeregelt von ZD2, R9 und R8, C7 fügt nur eine Zeitkonstante hinzu.
Ein Reflex-Op-Amp (IC6) wird bei beiden Komparator-Ausgängen benutzt (Stift 1 & 7), die verbunden sind, um die Verstärker zu dämpfen, indem sie die 5V Schiene tief halten.
Beim Einschalten hält Stift 1 von IC6 die 5V Schiene durch D42 tief, bis sich die Hauptstrom-Versorgungschienen beruhigen. Eine Vergleichsspannung, die von der 38V Schiene durch einen Spannungsteiler erzeugt wird, bestehend aus R24 und R30, wird auf Stift 2 von IC6 angewandt, dies wird mit der Spannung verglichen, die von Spannungsteiler R104 und R100 auf Stift 3 angewandt wird, wobei C107 die Zeitkonstante hinzufügt.
Die andere Hälfte des Komparators wird beim Ausschalten benutzt. Stift 6 hat einen Bezugspegel, der von der 38V Schiene von Spannungsteiler R24 und R102 abgeleitet ist. Stift 5 ist mit der Relaisschaltungsspannung verbunden, die vom Fernseher geliefert wird. Wenn der Fernseher in Bereitschaft versetzt oder ausgeschaltet wird, fallen die 16V auf ca. 14V, wodurch Stift 7 sofort tief gesetzt wird, was die Lautsprecher dämpft.
Beim Ausschalten werden die 5V tief gesetzt, was Q2 abschaltet, was der Basis von Q3 ermöglicht zu steigen über den Spannungswiderstand R81 von der Hauptstromversorgung für IC2, dies seinerseits setzt den Kollektor tief, entlädt C7 und entfernt die Spannung von Stift 10 über R105 und D30A, die benutzt werden, um die Ausschaltzeit des Verstärkers zu verkürzen. Mit dem Hochziehen zur Stromversorgung wird sichergestellt, dass der Verstärker in Dämpfung / Bereitschaft bleibt, während sich die Stromversorgungsschiene entlädt.

DIGITALER TEIL

ALLGEMEINE BESCHREIBUNG

Die Hauptfunktion des digitalen Teils des Empfängers ist es, COFDM (**C**oded **O**rthogonal **F**requency **D**ivision **M**ultiplex) kodierte Signale anzunehmen, die auf einen RF-Träger im UHF-Band moduliert werden, und durch Entbündelung der Kanäle, Dekodierung und Formatierung der getragenen Information eine analoge Ausgabe an Ton und Bild herzustellen, die sich für die Darstellung auf einem Fernsehbildschirm eignet.
Er kann in einen Fernsehempfänger (IDTV) eingebaut sein oder ein Zusatzgerät (STB) sein mit einem geeigneten analogen 'Motherboard'.
Die Grafiken, Menüs und Steuerfunktionen für den Digitalempfänger werden auch vom Digitalmodul ausgeführt.
Der digitale Teil des Empfängers besteht aus zwei hauptsächlichen gedruckten Schaltkarten (PCB) und einer weiteren dazugehörigen Schaltkarte:

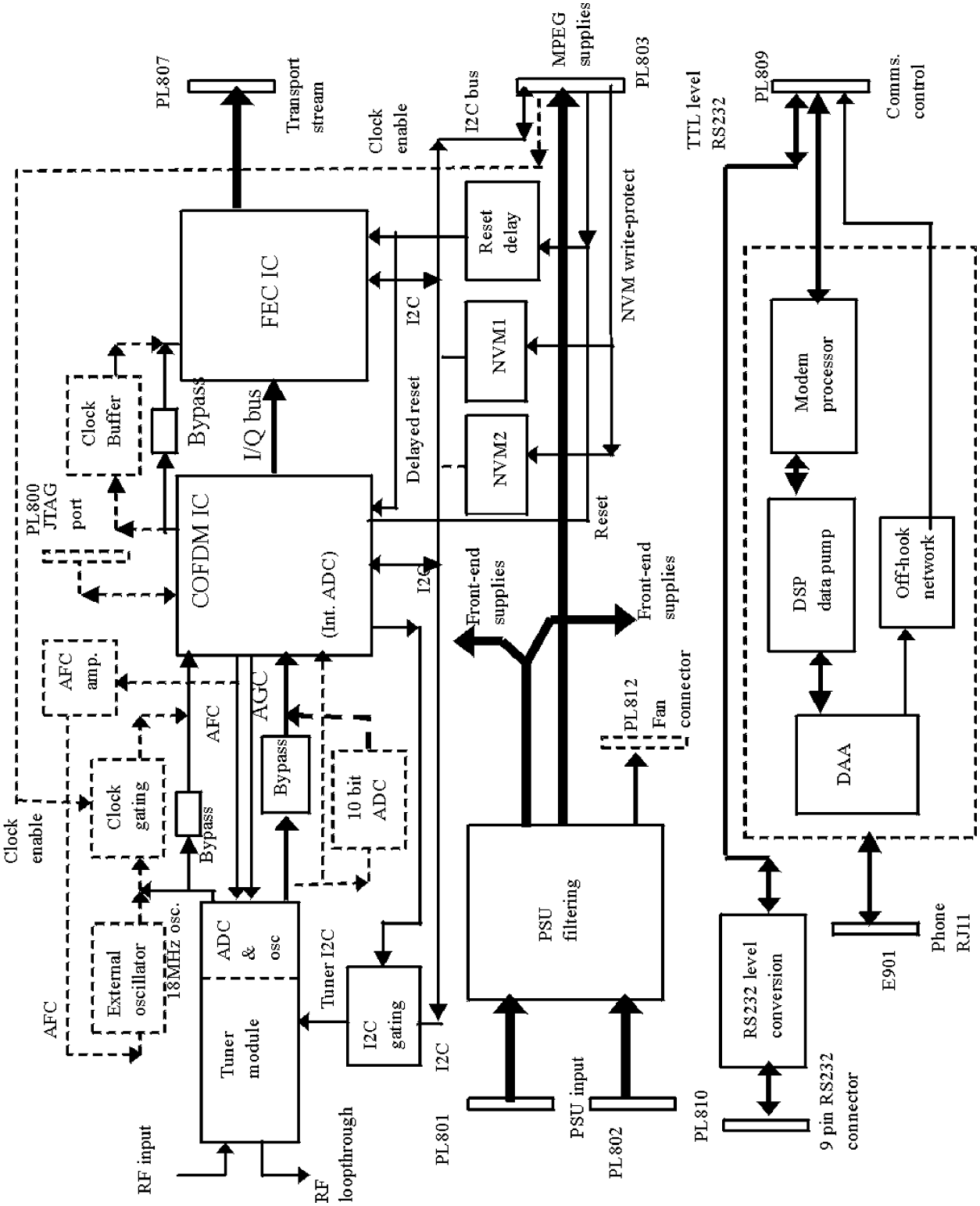
- COFDM Eingangs-Schaltkarte
- Schaltkarte für MPEG Decoder und AV/Grafik
- Schaltkarte für Chipkarten-Schnittstelle

Alle Verbindungen zwischen diesen Schaltkarten sind innerhalb des metallenen Abschirmungsgehäuses und bestehen aus Flachbandverbindungen. Die Verbindungen von den digitalen Schaltkarten zu den analogen Schaltkreisen bestehen aus derselben Art von Flachbandverbindungen, außer beim Netzanschluss. Nähere Angaben in Abschnitt 2.6.
Dies sind die Verbindungen im digitalen Teil, zu denen der Benutzer Zugang hat:

- Tuner RF Eingangsstecker
- Tuner RF Schleifen-Ausgangsstecker
- RS232 9 Stift ‘D Typ’ Stecker
- RJ11 Modemstecker
- Gewöhnliche Schnittstellen-Buchsen

Beim integrierten Fernseher treibt ein Gebläse Luft durch das Gehäuse für das digitale Modul.

BLOCKSCHALTBILD



COFDM EINGANGS-FLACHBAUGRUPPE

Diese Flachbaugruppe trägt:

- Stromversorgungs-Filterung
- Tuner
- COFDM Decoder und FEC Schalttechnik
- RS232 serielle Kommunikations-Schnittstelle
- V22 bis Modem

STROMVERSORGUNGS-FILTERUNG

Dieses Filterfeld soll ankommendes Rauschen aus den Leitungen filtern und verhindern, dass Rausch- und elektromagnetische Störfreiheits-Komponenten vom Modul zum Analog-Abschnitt getragen werden.
Der Strom für das gesamte Digital-Modul wird durch diese Flachbaugruppe verbunden mit Hilfe eines Netzwerkes von Ferritperlen, Drosseln und Kondensatoren. Die Eingangsleistung geht durch PL801 und PL802, und die gefilterten Ausgangsleitungen werden zur MPEG-Flachbaugruppe auf PL803 getragen, zusammen mit einigen Steuersignalen von der MPEG-Flachbaugruppe. Die Eingabe- und gefilterten/Ausgangsleistungs-Leitungen sind:

Eingabe vom Analog-Abschnitt	Gemeinsame Filter-Komponenten	Abschnitt	Benutzt für (Flachbau-gruppe)	Einmalige Filter-Komponenten
5V	FB800, C787, C788	Tuner	COFDM Tuner	L801, C801, C802, C803
		Modem	COFDM Tuner	R899 (Null Ohm Verbindung)
		MPEG, RS232	MPEG *	L805, C785, C786
5V Bereitschaft	L800, C771, C799	Tuner Durchschleife	COFDM Tuner	Keine
		CI Chips	MPEG +	Keine
12V	FB803, C795, C796	MPEG	MPEG	L807, C793, C794
		Gebläse	Extern	Nicht benutzt
3V3	FB802, C791, C792	COFDM / FEC	COFDM Tuner	L804, C781, C782
		MPEG	MPEG *	L806, C789, C790
		Analog-Digital-Umsetzer	COFDM Tuner	L808, C779, C780
9V	Keine	Tuner	COFDM Tuner	L802, C804, C805
30V	Keine	Tuner	COFDM Tuner	R788, R789, R790, C806, C807

'*' Gibt weitere Filterung und Verteilung auf der MPEG-Flachbaugruppe an.
'+' Gibt wahlweise Verbindung (R783 / R784) für gemeinsame Schnittstellen-Stromversorgung an, siehe Text.

TUNER

Im Tuner sind:

- UHF Durchschleife
- Erster Abwärtswandler
- Lokaler Oszillator und Steuerungs-PLL
- Zwischenfrequenz-Filter und zweiter Stromrichter
- Steuerung der automatischen Lautstärkeregelung
- Analog-Digital-Umsetzer
- Spannungsgesteuerter Oszillator (VCXO)

Das ankommende RF Signal macht eine Schleife zurück für eine Verbindung mit einem herkömmlichen VCR, einer separaten Geräte-Box oder dem Analog-TV-Tuner-Eingang. Die Durchschleife ist aktiv und hat einen separaten 5V Versorgungsstift, der in der normalen 'EIN' und Bereitschafts-Betriebsart eingeschaltet ist.
Die anderen Tuner-Abschnitte benutzen 5V und 9V Stromschienen, bei passender lokaler Entkopplung.
Die erste Stromrichter-Stufe wandelt die ankommenden Signale abwärts, so dass der gewählte UHF Kanal frequenz-verschoben wird, so dass er im 8MHz Zwischenfrequenzband, das um 36MHz herum liegt, mittig eingestellt wird.
Der lokale Oszillator wird von der PLL Schalttechnik innerhalb des Tuners gesteuert, und die Frequenzwahl wird mit dem I2C Bus getroffen. Dieser I2C Bus wird nur zum Tuner durchgesteuert für Befehle, die direkt an ihn gerichtet sind. Die Tastung erfolgt durch IC820 und das Steuer-Signal wird durch den hauptsächlichen integrierten COFDM Schaltkreis (IC801) erzeugt unter Gebrauch eines Anschluss-Stifts. Der Betrieb dieses Stifts wird gesteuert durch I2C zum integrierten COFDM Schaltkreis. Die lokalen Mitnehmer für den Tuner I2C sind R786, R787, und die Reihenschutzwiderstände sind innerhalb des Tuners.
Das 36 MHz Zwischenfrequenz-Signal wird gefiltert, um die Außerband-Frequenz-Komponenten zu entfernen, wiederum abwärts frequenz-verschoben auf 4,572MHz und beim vierfachen dieser Frequenz im Analog-Digital-Umsetzer abgetastet.
Die Auflösung des Analog-Digital-Umsetzers innerhalb des Tuners ist 8 Bit, und die Ausgabe vom Tuner ist ein 8 Bit breit getastetes COFDM Signal und der 18,288MHz abtastende Taktgeber, dieser Taktgeber wurde intern gefiltert, um einige der schnelleren Flanken zu entfernen, um die elektromagnetische Störfreiheit zu vermindern. Widerstände R884 – R889, R860 und R869, R799

werden benutzt, um die parallelen Daten-Signal-Eingänge mit dem integrierten COFDM Schaltkreis nur dann zu verbinden, wenn der Analog-Digital-Umsetzer im Tuner benutzt wird. **Dies ist die normale Stromform,** aber sie sollten weggelassen werden, wenn ein Analog-Digital-Umsetzer außerhalb des Tuners benutzt wird.
Mit dem Rückkopplungs-Signal für automatische Scharfabstimmung an das Tuner-Modul steuert der integrierte Schaltkreis des COFDM-Decoders Frequenz und Phase des 18,288MHz Taktgebers.
Die Verstärkung der Zwischenfrequenz-Stufe wird durch das Signal vom integrierten COFDM Schaltkreis gesteuert, wobei der Tuner für den Einspunkt der Sekundäremission verantwortlich ist und für die Erzeugung des RF-Signals für automatische Lautstärkeregelung, das extern mit den RF-Stufen verbunden ist.

EXTERNER 10 BIT ANALOG-DIGITAL-UMSETZER (IC803)

Die Möglichkeit, einen 10 Bit Analog-Digital-Umsetzer außerhalb des Tuners zu benutzen, ist in die Flachbaugruppe eingebaut, **wird aber im Augenblick nicht genutzt**. Das benutzt R781 R823, R824, R825, R826, R827, R828, R831, R832, C824, C825, C826, C827, C828, C830, C831, C832, C834, C835, C836, C837, C840 und IC803. Wenn dieser integrierte Schaltkreis nicht montiert ist, sollten alle anderen hier aufgeführten Komponenten auch aus der Flachbaugruppe weggelassen werden.
Verbindungs-Widerstände R884 – R889, R860 und R869, R799 sollten weggelassen werden, wenn dieser integrierte Schaltkreis montiert ist.

EXTERNER OSZILLATOR-SCHALTKREIS

Es ist eventuell ein zukünftiges Erfordernis, einen Oszillator außerhalb des Tuner-Moduls zu benutzen. Dem wird auf der Flachbaugruppe Rechnung getragen durch den Einsatz von R797, R807 - R809, R811 – R817, R821, R822, C812 – C818, C820, C822, Quarz X800, Kapazitäts-Diode D801 und Q800. Dies wird im Augenblick nicht verwendet.
Der Schaltkreis ist ein diskreter Colpitts Quarzschwinger, der die Rückkopplung vom integrierten COFDM Schaltkreis benutzt, um die Frequenz zu steuern, indem die Kapazitanz der Kapazitäts-Diode D801 variiert wird. C822, R821, R822 werden benutzt, um die erforderliche Ausgabe für den Oszillator-Puffer vorzuspannen (IC800). Siehe folgender Abschnitt.

MÖGLICHKEIT EINES RÜCKKOPPLUNGS-VERSTÄRKERS FÜR AUTOMATISCHE SCHARFABSTIMMUNG (IC816)

Es gab eine Möglichkeit auf der Flachbaugruppe, eine automatische Scharfabstimmungs-Spannung mit einem größeren Bereich zu bieten, um den externen Oszillator ggf. zu steuern. **Dies wird Augenblick nicht benutzt.**
Es besteht aus einem doppelten Op Amp, der so konfiguriert ist, dass er eine zehnfache Verstärkung mit einer Inversion und einen möglichen Ausgangs-Hub von 30V gibt. Eine weitere Stufe wird hinzugefügt, um eine weitere Inversion mit verlustloser Verstärkung zu geben. Es besteht aus R833, R834, R835, R836, R837, R838, R842, C840, IC816
Nebenschluss-Verbindungen über beide Abschnitte werden geliefert von R841 (nur zweiter Abschnitt) und R859 (beide Abschnitte).

TAKTGEBER-PUFFERUNG UND VERKNÜPFUNGSSCHALTUNG (IC800)

Diese Stufe kann auf eine dieser drei Weisen konfiguriert werden:

- Mit dem Oszillator innerhalb des Tuners (**die im Augenblick bestehende Möglichkeit**) wird sie normalerweise nicht benötigt, und Nebenschluss-Widerstände R829, R830 sollten statt dessen montiert werden.
- Um ein Problem auf gewissen früheren Flachbaugruppen zu beheben, wird sie als Taktgeber-Tastungs-Schaltkreis mit der Funktion benutzt, die PLL im integrierten COFDM Schaltkreis unter bestimmten Anlauf-Bedingungen zurückzustellen. Die Steuerung wird automatisch von einer Steuerungs-Leitung direkt vom MPEG CPU geliefert. Bei dieser Auswahlmöglichkeit sollte R830 weggelassen werden.
- Wenn der externe Oszillator benutzt wird, wird sie als Puffer benötigt, um Niederpegel-Analog-Taktgeber auf einen TTL-Pegel umzuwandeln. In diesem Fall ist die PLL-Rückstellungs-Funktion auch verfügbar. Bei dieser Auswahlmöglichkeit sollten R830 und R829 weggelassen und R797 montiert werden.

COFDM DECODER (IC801 / L64780)

Wenn der 18,288MHz Taktgeber benutzt wird, wird das 8 Bit Signal vom LSI Chip (IC801) auf der Flachbaugruppe dekodiert, um einen parallelen Transportstrom herzustellen. Die Taktgeber-Eingabe wird durch einen 47R Widerstand (R810) zum integrierten COFDM Schaltkreis gespeist, dies liefert eine gewisse Formung der Wellenform und Pufferung zwischen dem 5V TTL Treiber und dem 3,3V LSI Silizium.
Der PLL-Rückstellungs-Stift auf dem Chip (TEST0) wird direkt vom MPEG CPU zurückgestellt, während die Haupt-Chip-Rückstellung an die integrierten Schaltungen von COFDM und FEC durch R784, C772 verzögert wird. Dies geschieht, um den integrierten COFDM Schaltkreis zu zwingen, zuverlässig korrekt anzulaufen. Es ist auch ein Kondensator (C770) auf dem JTAG-Rückstellungs-Stift montiert, um sicherzustellen, dass sich der COFDM Chip immer korrekt einschaltet.
Die Steuerung für die automatische Lautstärkeregelung der Zwischenfrequenz wird innerhalb von L64780 als Sigma-Delta-Ausgabe erzeut, die von R868, R795, C811 gefiltert wird. Der COFDM integrierte Schaltkreis liefert auch das Signal für automatische Scharfabstimmung an den VCXO des Tuners, wobei wiederum ein gefiltertes (R796, R847, C842, (C841)) Sigma-Delta-Ausgabe-Format benutzt wird.
Die Steuerung (Initialisierung, Ausgabe von Befehlen und Lesen des Status) erfolgt durch den I2C Bus vom MPEG CPU, der auf PL801 getragen wird. Die Betriebsart für serielle Steuerung wird ausgewählt, indem man den ‘S_P‘ Stift durch R863 hoch zieht, wobei die I2C Daten vom niederwertigsten Bit der Daten-Ein-/Ausgabe-Anschlussstelle getrieben werden, der übrige Teil des Daten-Anschlusses wird zur Einstellung der I2C Adresse benutzt, die während der Initialisierung abgerufen wird. R867, R866 sind die Bus-Mitnehmer, R864, R865 die Reihenwiderstände, und C870 wird der Daten-Leitung hinzugefügt, um die Bus-Steuerung zu korrigieren.
Das Signal zur Aktivierung der Steuerung für den Tuner I2C wird durch einen Anschluss-Stift auf diesem Chip geliefert, es wird durch einen I2C Befehl vor jedem Tuner-Befehl aktiviert und sofort anschließend gesperrt.

L64780 enthält einen 8 Bit Analog-Digital-Umsetzer, der als Alternative zum Analog-Digital-Umsetzer im Tuner-Modul oder zum externen 10 Bit Analog-Digital-Umsetzer benutzt werden kann. Die damit verbundenen Eingangs-Schnittstellen-Komponenten sind R870, R871, R872, R873, R874, R875, C846, C847.
L64780 enthält einen internen 'x3' PLL-gesteuerten Oszillator, der ein 54,864MHz Signal erzeugt, das mit dem ankommenden 18,288MHz Signal mitläuft. Dieser Taktgeber wird mit den Daten für die Vorwärts-Fehlerkorrektur (FEC) (L64724) versorgt. Die lokale PLL-Stromversorgung wird durch R861 und C843 gefiltert, und die dazugehörigen PLL-Komponenten sind R862, C844 und C845.
Der Chip enthält einen JTAG Test-Anschluss, der zum Stecker PL800 gebracht wird, mit den Anschnitt-Komponenten R839, R840, R849, R850, C839, um die richtigen Bedingungen an diesen Stiften aufrechtzuerhalten.
Das digitale Signal wird zum FFT Abschnitt des integrierten Schaltkreises des L64780 COFDM Decoders gespeist. Dieser leitet die Pilotton-Signale ab, die zusammen mit der vom MPEG CPU programmierten Information benutzt werden können, mit Hilfe eines FFT Algorithmus die ankommenden Daten in eine Reihe von I/Q phasenverschobenen Signalen zu dekodieren. Jedes hat eine 3 Bit Auflösung und liefert die Signale für die FEC. Der integrierte Schaltkreis liefert auch Information über die Signal-Qualität, die von den Chip-Registern durch den I2C Bus in einer Form zurückgelesen wird, die in den Menüs für die Leser und für Wartung und Prüfung eingesetzt werden soll.

54MHZ TAKTGEBER-PUFFER-STUFE

Dies wird nur benötigt, wenn L64780 Version A Chips benutzt werden, ihre Funktion ist es, den 54MHz Taktgeber-Ansteuerungs-Pegel zu FEC zu korrigieren. **Wenn L64780 Version B (und später) Chips benutzt werden, wird diese Stufe mit R846 umgangen**. Die Stufe besteht aus IC817, C775, C776, R820 mit vollautomatischer Gitterspannung, mit Vorkehrung für Eingangssteuerstrom wie R793, R794.

FEC INTEGRIERTER SCHALTKREIS (IC802 / L64724)

Der integrierte Schaltkreis für FEC wird im seriellen Steuerungs-Betrieb benutzt, wobei die Kommunikation durch den I2C Bus vom MPEG CPU erzeugt wird. Der Daten-Anschluss wird für I2C Taktgeber- und Daten-Leitungen benutzt und um die Einheiten-Adresse einzustellen, die während der Initialisierung eingestellt wird, in diesem Fall wird der serielle Steuerungs-Betrieb ausgewählt, indem der 'HOSTMODE' Stift tief gesetzt wird. R891, R892 sind die I2C Reihen-Schutz-Widerstände, und C777, C778 werden hinzugefügt, um die Steuerung des I2C Bus für diesen Chip zu korrigieren.
Der Haupttaktgeber für den Chip ist der 54,864MHz , der vom integrierten COFDM Schaltkreis erzeugt wird.
Die Daten-Eingabe vom integrierten COFDM Schaltkreis ist im I/Q Format durch die Verbindungs-Widerstände R848, R851, R852, R853, R854, R855.
Die Funktionen des integrierten Schaltkreises für Vorwärts-Fehlerkorrektur (FEC) sind:

- Phasenverschobenes Dekodieren der Daten
- Entfernung der inneren und äußeren Windungs-Kodierung
- Viterbi-Dekodierung
- Entfernung der Entschlüsselung (damit wird ein ungefähr phasengleiches Daten-Signal sichergestellt)
- Read-Solomon Laufzeit Kodierung (Fehlerschutz) Dekodierung.
- Ableitung von Information über die Fehlerstatistik des Signals

Informationen wie z.B. die Bitfehlerquote (BER), die der CPU intern und zur Erzeugung der Signal-Qualitäts-Information für den Benutzer erzeugt, werden vom integrierten Schaltkreis für für Vorwärts-Fehlerkorrektur (FEC) auf dem I2C Bus erhalten.
Das Transportstrom-Signal, das vom integrierten Schaltkreis für Vorwärts-Fehlerkorrektur (FEC) erzeugt wird, enthält die Daten, die die Chips der gemeinsamen Schnittstelle und der MPEG Chipsatz auf der MPEG-Flachbaugruppe verarbeiten, entmultiplexieren und dekodieren müssen.
Aus PL807 trägt dieser Bus die folgenden Signale zur MPEG-Flachbaugruppe:

- 8 Bit breite parallele Daten
- Daten-gültig
- Datenpaket-Start-Synchronisierung
- Bitraten-Taktgeber

Widerstände werden als Möglichkeit bereitgestellt, um entweder Datenpaket-Start oder Fehler-Signale von der FEC zu verbinden, aber in dieser Anwendung benötigt die gemeinsame Schnittstelle (mit der der Transportstrom verbunden ist) Datenpaket-Start. Um das zu ermöglichen, sollte R878 moniert und R877 weggelassen werden.

NVM

Es bestehen Positionen für zwei NVM Chips, diese können 128kb und 256kb Einheiten in der Art von Atmel aufnehmen. Normalerweise ist im Augenblick nur ein 256kb Chip (IC805) montiert mit seinen dazugehörigen Komponenten C869, C893, R897 und R898. Vom CPU wird eine 'Schreib-Schutz'-Steuerungs-Leitung geliefert, welche falsche Schreibvorgänge sperrt.

RS232 SERIELLE KOMMUNIKATIONS-SCHNITTSTELLE

Dieser Chip vollführt die Pegelumsetzung der asynchronen seriellen Kommunikations-Verbindung von TTL auf bipolar. Er besteht aus dem integrierten Schaltkreis AD202 (IC807) und dessen dazugehörigen Reihen-/Speicher-Kondensatoren (C894, C895, C896, C897). Der Chip wird von der 5V Leitung versorgt, und die lokale Entkopplung besteht aus C898, C899,
Die Verbindung zum MPEG-Prozessor ist TTL Pegel mit den RX, TX, CTS, RTS Signalen. Die Verbindung zu externen Aggregaten erfolgt über eine D Typ Buchse mit 9 Hohlstiften bei Standard-Pegel. Da das CPU UART Peripheriegerät konfiguriert ist, Hardware-Durchfluss-Regelung zu benutzen, wird CTS von R792 auf der Ausgangsseite hoch gestellt, um den Daten zu ermöglichen, frei zu fließen, falls kein Quittungsbetrieb läuft.

V22 BIS MODEM-ABSCHNITT

Der Modem-Schaltkreis besteht aus Regler, Datenpumpe, und Datenzugriffsvorkehrung (DAA)

Die Datenzugriffsvorkehrung liefert eine komplette Schnittstelle zwischen Datenpumpe und einer Telefonleitung. Alle Funktionen sind in ein einziges hybrides Modul integriert, das hohe Spannungsisolierung bietet.

Wenn die Schleifen-Steuerung auf Logikpegel 0 steht, wird ein aktiver Leitungsanschnitt über Tip und Rufton angewandt, so dass das Aggregat als nicht aufgelegt betrachtet werden kann und Gleichstrom-Schleifenstrom tief ist. Das wird benutzt, um die Leitung für einen abgehenden Anruf zu belegen, oder wenn es mit der erforderlichen Geschwindigkeit angewandt und getrennt wird, kann es dazu benutzt werden, Wählimpulse zu erzeugen. Der Empfänger ist nicht konstruiert, auf ankommende Anrufe zu reagieren.

Wenn sie nicht aufgelegt ist, wandelt die Datenzugriffsvorkehrung die phasengleiche Zweidraht-Eingabe, die bei Tip und Rufton von der Leitung zur Verfügung gestellt wurde, bei VX in ein auf die Erde bezogenes Signal um. Umgekehrt wandelt das Aggregat die auf die Erde bezogene Signal-Eingabe bei VR über Tip und Rufton in ein phasengleiches Zweidraht-Signal um.

Der Schleifen-Stift liefert eine Spannung, die proportional zur Spannung über Tip und Rufton ist. Dies kann mit externer Schalttechnik dazu benutzt werden zu erkennen, ob ein Paralleltelefon abgehoben wird und ob eine Rufton-Spannung vorhanden ist.

Der Schaltkreis zum Erkennen eines Paralleltelefons benutzt die Schleifen-Spannung, um einen kurzen, kleinen Impuls zu erkennen. Zwei RC-Zeit-Konstanten werden benutzt, um Rauschspitzen und Gleichstrom-Information zu entfernen. Wenn ein Paralleltelefon abgehoben wird, dann geht ein ~1s Impuls an den MPEG-Prozessor.

Der Schaltkreis zum Erkennen von Rufzeichen ist ein Komparator, der die Schleifen-Spannung in eine Reihe logischer Impulse umwandelt, die an den Regler weitergeleitet werden.

Die Datenpumpe ist ein synchrones Einzel-Chip-Modem, das die Möglichkeit liefert, ein V.22bis Modem zu konstruieren, das über Selbstwahl-Leitungen zu 2400 bps vollduplex fähig ist.

Im Betrieb über das öffentliche Telefonnetz (PSTN) erfüllt Z02201 die Modem-Standards für V.22bis, V.22, V.23, V.21, Bell212A und Bell 103.

Z02201 bietet HDLC-Rahmen bei jeder Geschwindigkeit. Der Chip leistet die gesamte Modulation, Demodulation, Filterung, A/D und D/A Umwandlung, sowie Funktionen zum Senden und Empfangen.

Z02201 bietet umfassende und flexible Ton-Erzeugung und Erkennung. Das umfasst alle Töne, die erforderlich sind, um eine Schaltkreis-Verbindung herzustellen und eine Kommunikationsverbindung aufzubauen und zu steuern. Die Tonerzeugung liefert die DTMF-Töne für den PSTN-Selbstwählbetrieb und die Schlusszeichentöne für die Herstellung des Anrufs.

Z02201 kommuniziert mit dem Regler über eine parallele Schnittstelle und ermöglicht auch das Wiederauffinden von Modem-/Leitungs-Status, Steuerungs-Daten und programmierbaren Beiwerten.

Der Regler Z02205 kommuniziert mit dem MPEG-Prozessor über eine 5V RS232 Schnittstelle, wobei er den Hayes AT-Befehlssatz benutzt.

Z02205 steuert die Register und Speicher der Datenpumpe über eine parallele Schnittstelle und ermöglicht DTMF-Wählen, Schaltkreis-Verbindung und Datentransfer.

Z02205 steuert die nicht aufgelegte Leitung zu DAA und prüft die Kadenz des Rufton-Erkennungs-Impulses für ein gültiges Rufton-Signal, die zum MPEG-Prozessor weitergeleitet wird.
Die DTR und CTS Signal-Leitungen auf PL809 (Bereitstellungen für und vom Modem) werden mit den Widerstandsverbindungen (R781, R782) tief gestellt, damit die TTL Pegel RS232 Kommunikation zwischen dem Modem und dem CPU ohne Quittungsbetrieb stattfinden kann.

TEST-PUNKTE AUF COFDM-FLACHBAUGRUPPE

Test-Punkt-Identifizie-rung	Netz-Name	Funktion
A001	5v Tuner	gefilterte 5V Versorgung für Tuner
A002	9v Tuner	gefilterte 9V Versorgung für Tuner
A003	9v	ungefilterte 9V Versorgung für Tuner
A090	30v	ungefilterte 30V Versorgung für Tuner
A009	30v Tuner	gefilterte 30V Versorgung für Tuner
A235	30v	Erster 30V Stromzwischenbegrenzungspunkt
A234	30v	Zweiter 30V Stromzwischenbegrenzungspunkt
A006	RF AGC in	RF-Leitung für automatische Lautstärkeregelung Tuner-Frontabschirmbecher
A004	IF 1 in / out	Zwischenfrequenz 1 EIN/AUS Durchschleife
A008	IF 2 out	Zwischenfrequenz 2 AUS Frontabschirmbecher
A011	IF2 in	Zwischenfrequenz 2 EIN Abschirmbecher hinten
A013	ADD	Tuner I2C Adressen-Auswahl
A018	RF AGC out	RF automatische Lautstärkeregelung AUS Abschirmbecher hinten
A033	Tuner out-07	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 7

Test-Punkt-Identifizie-rung	Netz-Name	Funktion
A032	Tuner out-05	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 5
A031	Tuner out-04	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 4
A030	Tuner out-03	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 3
A029	Tuner out-02	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 2
A028	Tuner out-01	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 1
A027	Tuner out-00	Tuner Analog-Digital-Umsetzer Daten-Ausgang Bit 0
TP803	Clock out	Unbenutzter 18 MHz Taktgeber-Ausgang vom Tuner
A239	18MHz Clock-in	18 MHz Taktgeber für OFDM
A005	SDA-Tuner	Tuner I2C Daten
A012	SCL-Tuner	Tuner I2C Taktgeber
A238	SDA-Tuner-SW	Ungesteuerte Tuner I2C Daten
A237	SCL-Tuner-SW	Ungesteuerter Tuner I2C Taktgeber
TP801	/Clock-EN	aktiv tief 18,288 MHz Taktgeber aktivieren
A236	CONTROL	18,288 MHz Taktgeber aktivieren
A026	18MHz-Clock	
TP802	IC800 spare gate	unbenutztes Gate IC800
TP891	IC800 spare gate	unbenutztes Gate IC800
A231	10 Bit-ADC	
A050	INT-ADC	
A051	10 Bit-ADC	
A047	10 Bit-ADC	
A063	REF-TF	
A080	REF-TF	
TP804	STBYAD10	
TP805	ENDA10	
TP876	DRVss	
A194	3v3-COFDM	3V3 COFDM Versorgungs-Leitung
TP877	EX-AD9	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 9/ Tuner Analog-Digital-Umsetzer-Daten-Bit 7
TP878	EX-AD8	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 8/ Tuner Analog-Digital-Umsetzer-Daten-Bit 6
TP879	EX-AD7	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 7/ Tuner Analog-Digital-Umsetzer-Daten-Bit 5
TP880	EX-AD6	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 6/ Tuner Analog-Digital-Umsetzer-Daten-Bit 4
TP881	EX-AD5	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 5/ Tuner Analog-Digital-Umsetzer-Daten-Bit 3
TP882	EX-AD4	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 4/ Tuner Analog-Digital-Umsetzer-Daten-Bit 2
TP883	EX-AD3	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 3/ Tuner Analog-Digital-Umsetzer-Daten-Bit 1
TP884	EX-AD2	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 2/ Tuner Analog-Digital-Umsetzer-Daten-Bit 0
TP885	EX-AD1	Externes Analog-Digital-Umsetzer-Daten-Bit 1
TP886	EX-AD0	Externes Analog-Digital-Umsetzer-Daten-Bit 0
A007	IF-AGC	Tuner-Leitung für automatische Lautstärkeregelung der Zwischenfrequenz
A020	18MHz-Clock-out	18MHz Taktgeber gepuffert/nicht gepuffert
A062	CLK18M	Angepasster 18MHz Taktgeber gepuffert/nicht gepuffert
A036	EXT-OSC	Colpitts Oszillator VCXO Spannung
A048	EXT-OSC	
A025	EXT-OSC	Colpitts Oszillator XTAL Ausgang
A056	EXT-OSC	VCXO XTAL
A045	EXT-OSC	VCXO XTAL
TP800	EXT-OSC	Ausgang Colpitts Oszillator
A023	EXT-OSC	
A017	EXT-OSC	an Wechselstrom gekoppelter, unter Gleichstrom-Vorspannung stehender Colpitts Oszillator Ausgang
A010	5v-OSC	Externe Oszillator 5V Versorgung
A016	AMP_VCXO	
A057	AMP_VCXO	
A038	AMP_VCXO	
A058	AMP_VCXO	

Test-Punkt-Identifizie-rung	Netz-Name	Funktion
TP806	AMP_VCXO	nicht-gewendeter VCXO Verstärker-Ausgang
TP807	AMP_VCXO	gewendeter VCXO Verstärker-Ausgang
TP888	AMP_VCXO	VCXO Verstärker-Eingabe-Signal
A039	AMP_VCXO	VCXO Verstärker-Eingabe-Signal
A079	VCXOCTAL	Gefiltertes VCXO Signal von COFDM Demodulation IC801
A172	VCXOCTAL	Ungefiltertes VCXO Signal von COFDM Demodulation IC801
A061	0R0_IF_EXT_ADC	
A217	3v3-COFDM	3V3 COFDM Versorgungsspannung
A067	GND-ADC	
A092	SCL-780	COFDM Demodulation I2C Taktgeber
A091	SDA-780	COFDM Demodulation I2C Daten
A049	AVIN	
A068	AD-VREF	
A071	AD-REF	
TP850	PROCQ	
A087	AGC-OUT	
A046	EX-AD0	Externes Analog-Digital-Umsetzer-Daten-Bit 0
A053	EX-AD1	Externes Analog-Digital-Umsetzer-Daten-Bit 1
A065	EX-AD2	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 2/ Tuner Analog-Digital-Umsetzer-Daten-Bit 0
A059	EX-AD3	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 3/ Tuner Analog-Digital-Umsetzer-Daten-Bit 1
A041	EX-AD4	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 4/ Tuner Analog-Digital-Umsetzer-Daten-Bit 2
A054	EX-AD5	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 5/ Tuner Analog-Digital-Umsetzer-Daten-Bit 3
A060	EX-AD6	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 6/ Tuner Analog-Digital-Umsetzer-Daten-Bit 4
A042	EX-AD7	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 7/ Tuner Analog-Digital-Umsetzer-Daten-Bit 5
A043	EX-AD8	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 8/ Tuner Analog-Digital-Umsetzer-Daten-Bit 6
A044	EX-AD9	Externe Verbindung Analog-Digital-Umsetzer-Daten-Bit 9/ Tuner Analog-Digital-Umsetzer-Daten-Bit 7
A081	3v3-COFDM	3V3 COFDM gefilterte Versorgung
A097	EXT-IN-0	Eingabe-Anschluss, nicht benutzt, 0V
A093	EXT-IN-1	Eingabe-Anschluss, nicht benutzt, 0V
A098	EXT-IN-2	Eingabe-Anschluss, nicht benutzt, 0V
A164	RESET	JTAG Rückstellung
A167	TCK	JTAG Taktgeber
A173	TMS	JTAG Testbetriebauswahl
A175	TDI	JTAG Testdateneingang
A140	CLK54M	54 MHz Taktgeberausgang
A177	TDO	JTAG Datentestausgang
A111	CLK54M	?????
TP808	/DTACK	Datenbestätigungsausgang
TP809	/INT	Unterbrechungsausgang
TP811	I2C-CONTROL	Tuner I2C Gate aktivieren
TP812	IC780-1	Unbenutzter Anschluss-Stift
TP813	IC780-2	Unbenutzter Anschluss-Stift
A155	SD1_1	Zweites 4 Bit Ausgabe-Daten-Bit 1
A156	SD1_2	Zweites 4 Bit Ausgabe-Daten-Bit 2
A157	SD1_3	Zweites 4 Bit Ausgabe-Daten-Bit 3
A139	SD1_3	Zweite 4 Bit Ausgabe-Daten-Bit 3 Verbindung zu FEC
A138	SD1_2	Zweite 4 Bit Ausgabe-Daten-Bit 2 Verbindung zu FEC
A137	SD1_1	Zweite 4 Bit Ausgabe-Daten-Bit 1 Verbindung zu FEC
A136	SD0_3	Erste 4 Bit Ausgabe-Daten 3 Verbindung zu FEC
A135	SD0_2	Erste 4 Bit Ausgabe-Daten 2 Verbindung zu FEC
A134	SD0_1	Erste 4 Bit Ausgabe-Daten 1 Verbindung zu FEC
A154	SD0_3	Erste 4 Bit Ausgabe-Daten 3
A153	SD0_2	Erste 4 Bit Ausgabe-Daten 2
A152	SD0_1	Erste 4 Bit Ausgabe-Daten 1
A163	STARTOUT	Ausgang von OFDM für Start mit bewerteten Entscheidungen
A171	DVOUT_LP	Daten gültig zweite 4 Bit Ausgänge
A151	DVOUT	Daten gültig erste 4 Bit Ausgänge

Test-Punkt-Identifizie-rung	Netz-Name	Funktion
TP817	STRT780	Unbenutzter Ausgang von OFDM für Start mit bewerteten Entscheidungen
TP818	DVLP	Unbenutzte Daten gültig zweite 4 Bit Ausgänge
TP819	MUX-OUT-26	MUX Eingabe-Bus-Bit 26 (nur für Testzwecke)
TP820	MUX-OUT-25	MUX Eingabe-Bus-Bit 25 (nur für Testzwecke)
TP821	MUX-OUT-24	MUX Eingabe-Bus-Bit 24 (nur für Testzwecke)
TP822	MUX-OUT-23	MUX Eingabe-Bus-Bit 23 (nur für Testzwecke)
TP823	MUX-OUT-22	MUX Eingabe-Bus-Bit 22 (nur für Testzwecke)
TP824	MUX-OUT-21	MUX Eingabe-Bus-Bit 21 (nur für Testzwecke)
TP825	MUX-OUT-20	MUX Eingabe-Bus-Bit 20 (nur für Testzwecke)
TP826	MUX-OUT-19	MUX Eingabe-Bus-Bit 19 (nur für Testzwecke)
TP827	MUX-OUT-18	MUX Eingabe-Bus-Bit 18 (nur für Testzwecke)
TP828	MUX-OUT-17	MUX Eingabe-Bus-Bit 17 (nur für Testzwecke)
TP829	MUX-OUT-16	MUX Eingabe-Bus-Bit 16 (nur für Testzwecke)
TP830	MUX-OUT-15	MUX Eingabe-Bus-Bit 15 (nur für Testzwecke)
TP831	MUX-OUT-14	MUX Eingabe-Bus-Bit 14 (nur für Testzwecke)
TP832	MUX-OUT-13	MUX Eingabe-Bus-Bit 13 (nur für Testzwecke)
TP833	MUX-OUT-12	MUX Eingabe-Bus-Bit 12 (nur für Testzwecke)
TP834	MUX-OUT-11	MUX Eingabe-Bus-Bit 11 (nur für Testzwecke)
TP835	MUX-OUT-10	MUX Eingabe-Bus-Bit 10 (nur für Testzwecke)
TP836	MUX-OUT-9	MUX Eingabe-Bus-Bit 9 (nur für Testzwecke)
TP837	MUX-OUT-8	MUX Eingabe-Bus-Bit 8 (nur für Testzwecke)
TP838	MUX-OUT-7	MUX Eingabe-Bus-Bit 7 (nur für Testzwecke)
TP839	MUX-OUT-6	MUX Eingabe-Bus-Bit 6 (nur für Testzwecke)
TP840	MUX-OUT-5	MUX Eingabe-Bus-Bit 5 (nur für Testzwecke)
TP841	MUX-OUT-4	MUX Eingabe-Bus-Bit 4 (nur für Testzwecke)
TP842	MUX-OUT-3	MUX Eingabe-Bus-Bit 3 (nur für Testzwecke)
TP843	MUX-OUT-2	MUX Eingabe-Bus-Bit 2 (nur für Testzwecke)
TP844	MUX-OUT-1	MUX Eingabe-Bus-Bit 1 (nur für Testzwecke)
TP845	MUX-OUT-0	MUX Eingabe-Bus-Bit 0 (nur für Testzwecke)
A108	INTF-MODE	Auswahl für Serienbetrieb
A110	PLLP2IO	Steuerspannung für spannungsgesteuerten Oszillator (VCO)
A109	PLLVDD	PLL VDD für interne PLL
A125		PLL Filter
A146	DV780	
A106	3v3 ADC	Gefilterte 3V3 Versorgung für Analog-Digital-Umsetzer
A055	3v3-COFDM	Gefilterte 3V3 Versorgung für COFDM
A066	5v-MODEM	Gefilterte 5V Versorgung für Modem
A075	5v	Gefilterte 5V Versorgung
A107	5v	Ungefilterte 5V Versorgung
A122	3v3	Ungefilterte 3V3 Versorgung
A183	3v3 MPEG	Gefilterte 3V3 Versorgung
A022	5v-Tuner-STBY	Gefilterte 5V Versorgung für Tuner-Bereitschaft
A037	12v	Ungefilterte 12V Versorgung
A040	12v-MPEG	Gefilterte 12V Versorgung
A123	5v	Rohe 5V Versorgung für FE-Karte
A122	GNDD	Erdleitung
A124	30v	Rohe 30V Versorgung für FE-Karte
A035	12v	Rohe 12V Versorgung für FE-Karte
A015	5v-Tuner-STBY	Rohe 5V Versorgung für Tuner-Bereitschaft
A223	GNDD	Erdleitung
A227	GNDD	Erdleitung
A189	SDA	I2C Daten für FEC IC802
A190	SCL	I2C Taktgeber für FEC IC802
A186	CLK54M	54 MHz Taktgeber für FEC
A176	DEMOD-RESET	Nicht-verzögerte Rückstellung für Demodulation IC801
A240	DEMOD-RESET-DELAY	Verzögerte Rückstellung für Demodulation /FEC
A181	3v3-COFDM	Gefilterte 3V3 Versorgung für FE integrierte Schaltungen
A170	GNDD	Erdleitung
TP868	IC724-0	Externer Ausgabe-Steuerungs-Stift 0
TP869	IC724-1	Externer Ausgabe-Steuerungs-Stift 1
TP870	IC724-2	Externer Ausgabe-Steuerungs-Stift 2
TP871	SYNC724	Synch.-Status-Ausgang
TP852	XCTR_IN	Externer Eingabe-Steuerungs-Stift

Test-Punkt-Identifizie-rung	Netz-Name	Funktion
TP853	DTACK_POL	Unbenutzte Daten bestätigen
TP855	ADCVREFQ	Unbenutzte Vergleichsspannung des Analog-Digital-Umsetzers
TP856	ADCVREFQN	Unbenutzte Vergleichsspannung des Analog-Digital-Umsetzers
TP857	ADCVDDQ	Unbenutzte Analog-Versorgung
TP858	ADCVSSQ	Unbenutzte Analog-Erde
TP859	QVIN	Unbenutzte Q-Kanal-Daten-Eingabe
TP861	ADCVREF I	Unbenutzte Vergleichsspannung des Analog-Digital-Umsetzers
TP862	ADCVREF IN	Unbenutzte Vergleichsspannung des Analog-Digital-Umsetzers
TP863	ADCVDD I	Unbenutzte Analog-Versorgung
TP864	ADCVSS I	Unbenutzte Analog-Erde
TP865	I VIN	Unbenutzte Q-Kanal-Daten-Eingabe
A184	/COE	Unbenutzten Kanal-Ausgang aktivieren
A191	ERR724	Transportstrom-Datenpaket-Fehler von FEC
A197	FSTART	Transportstrom-Datenpaket-Start von FEC
A199	BCLK	Transportstrom-Bit-Taktgeber
A185	DV724	Transportstrom-Daten gültig
A198	FSTARTOUT	Transportstrom-Datenpaket-Start
A213	CO-7	Transportstrom-Daten-Ausgang Bit 7
A212	CO-6	Transportstrom-Daten-Ausgang Bit 6
A214	CO-5	Transportstrom-Daten-Ausgang Bit 5
A215	CO-4	Transportstrom-Daten-Ausgang Bit 4
A200	CO-3	Transportstrom-Daten-Ausgang Bit 3
A201	CO-2	Transportstrom-Daten-Ausgang Bit 2
A202	CO-1	Transportstrom-Daten-Ausgang Bit 1
A209	CO-0	Transportstrom-Daten-Ausgang Bit 0
A143	V-	-10V für RS232
A128	C2-	0 bis -10V Rechteckwelle zur Erzeugung von -10V
A120	C1-	0 bis +5V Rechteckwelle zur Erzeugung von +10V von 5V
A119	C2+	0 bis +10V Rechteckwelle zur Erzeugung von -10V von +10V
A116	C1+	+5V bis +10V Rechteckwelle zur Erzeugung von +10V von +5V
A118	V+	+10V für RS232
A221	GNDD	Erde für RS232 Stecker
A121	TX01	10V RS232 TX für 9-Weg D
A129	RX01	10V RS232 RX von 9-Weg D
A216	RS232-RX	5V RS232 RX für Mips
A133	RS232-TX	5V RS232 TX von Mips
A204	RS232-RTS	5V RS232 RTS von Mips
A144	RS232-CTS	5V RS232 CTS für Mips
A145	CTS01	10V RS232 CTS von 9-Weg D
A161	RTS01	10V RS232 RTS für 9-Weg D
TP872	MODEM-RTS	5V RS232 RTS von Mips an Modem (nicht benutzt)
TP873	MODEM-DSR	5V RS232 DSR von Mips an Modem (nicht benutzt)
TP874	MODEM-CTS	5V RS232 CTS für Mips von Modem (nicht benutzt)
TP875	MODEM-DTR	5V RS232 CTS für Mips von Modem (nicht benutzt)
A021	SDA-NVM2	I2C Bus für NVM2 (Daten)
A013	SCL-NVM2	I2C Bus für NVM2 (Taktgeber)
A034	SDA-NVM1	I2C Bus für NVM2 (Daten)
A024	SCL-NVM1	I2C Bus für NVM2 (Taktgeber)
A052	NVM-WP	Schreibschutz-Leitung für NVM Chips, aktiv hoch in Schutz-Betriebsart
A229	GNDD	Erde
A096	SDA	'Network' I2C Bus (Daten)
A104	SCL	'Network' I2C Bus (Taktgeber)
A224	GNDD	Erde für Modem
A165	/RVLC	Spiegelung (reduziert) der Spannung über die Telefonleitung
A188	TF	Eingabe für Rufton-Schleifen-Fühlung
A196	TXIN	an Wechselstrom gekoppeltes Telefon-Eingangssignal
A211	RING	Gleichstrom-Eingabe vom Telefon
A220	TIP	Eingabe vom Telefon
A195	VX	isolierter Eingang vom Telefon @ 2V
A206	VX	verkleinerte Version von A195
A218	VX	an Wechselstrom gekoppelte Version von A206 an 2,5V Gleichstrom (A131)
A219		Wechselstrom-Erde für Wechselrichter
A230	GNDD	Erde für DAA
A205	VR	reduzierte Amplituden-Version von A142
A142	VR	an Wechselstrom gekoppelte Version von A132 an 2V Gleichstrom

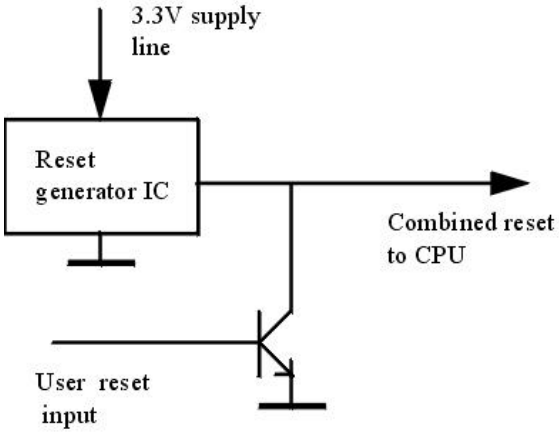
Test-Punkt-Identifizie-rung	Netz-Name	Funktion
A132	VR	Audio-Signal soll über Telefonleitungen erscheinen
A169	/RVLC	Spiegelung (reduziert) der Spannung über die Telefonleitung
A180	/LC	0V = nicht aufgelegt, 5V = aufgelegt
A207		Rückkopplung für Puffer
A117	TXD-	gewendetes Signal für Übertragung zum Telefon (nicht benutzt)
A131	VREF	Vergleichsspannung (2,5V bei Kommunikation)
A115	CF2	Filter für interne Rückkopplungsintegration
A102	CF1	Filter für interne Rückkopplungsintegration
A178	RXI-	gewendete Empfangseingabe
A179	RXI+	nicht-gewendete Empfangseingabe
A182		Rückkopplung virtuelle Erde
A162	5v-AMODEM	analog 5V
A228	GNDD	Erde
A103	EXTAL	Quarzschwinger-Eingabe: 24,576MHz
A086	XTAL	Quarzschwinger: 24,576MHz
A078	TEST2/RCLK	0V unbenutzter Eingang
A074	/RTS	5V unbenutzter Eingang
A069	HD5	Modem-Daten-Leitung 5
A084	HD6	Modem-Daten-Leitung 6
A085	HD7	Modem-Daten-Leitung 7
A203	/MODEM RESET	0V = integrierter Schaltkreis zum Zurückstellen der Modem-Datenpumpe
A100	HA0	Modem-Adressen-Leitung 0
A105	HA1	Modem-Adressen-Leitung 1
A101	HA2	Modem-Adressen-Leitung 2
A089	/HIRQ	Host Unterbrechungs-Anforderung
A088	/HRD	Host Lese-Freigabe Impulseingang
A095	/HWR	Host Schreib-Freigabe Impulseingang
A083	HD0	Modem-Daten-Leitung 0
A076	HD1	Modem-Daten-Leitung 1
A082	/HCS	Host Chip Auswahl
A094	XTAL1	Quarzschwinger Eingabe: 14,7456MHz
A099	XTAL2	Quarzschwinger: 14,7456MHz
A073	D4	Modem-Daten-Leitung 4
A072	D3	Modem-Daten-Leitung 3
A077	D2	Modem-Daten-Leitung 2
A113	RXD	5V RS232 von Mips an Modem
TP900	/SHUNT	Ausgang für Impulswahl-Nebenschluss-Relais (nicht benutzt)
A114	TXD	5V RS232 für Mips von Modem
A130	RING	Eingang für Rufzeichen-Erkennung
A149		Spannungsbezug 0,65V
A148		Spiegelung (reduziert) der Spannung über die Telefonleitung zum Erkennen des Rufzeichen-Signals
A232	OFFHOOK	Erkennen, dass Paralleltelefon nicht aufgelegt - 1s Impuls tief = Paralleltelefon nicht aufgelegt
A126		
A233		Paralleltelefon nicht aufgelegt gedehnter Impuls
A174		Paralleltelefon nicht aufgelegt kurzer Impuls
A193	/OH	0V = nicht aufgelegt, 5V = nicht aufgelegt

MPEG DECODER UND AV/GRAFIK FLACHBAUGRUPPE

RÜCKSTELLUNGS-SCHALTKREIS

Die anfängliche Netz Ein-Grundstellung (aktiver Pegel L) für den CPU wird von IC202 erzeugt durch Überwachung der ankommenden 3V3 Stromleitung mit einer 'Rückstellungs'-Schwelle bei 2,9V, dieses Signal ist ein aktiver Pegel L. Der Ausgang des Generators ist funktionsmäßig mit einem Eingang (aktiver Pegel H) ge'ODER't durch PL203 in Q200, R207, R208 vom Motherboard-(STB oder IDTV) Prozessor, der ggf. eine Rückstellung des CPU erzwingen kann. Ein Inverter (IC210) wird gestellt, gegenwärtig aber nicht benutzt.

Anordnung des Rückstellungs-Schaltkreises



Nachdem der CPU zurückgestellt ist, erzeugt er Rückstellungen durch Ausgangs-Anschlüsse für die anderen Geräte auf den COFDM und MPEG Flachbaugruppen, die zeitlich so abgestimmt sind, dass der korrekte Start der Schalttechnik auf beiden Flachbaugruppen garantiert ist (siehe CPU Abschnitt). Diese werden benutzt für:

- COFDM/FEC
- PAL-Video-Encoder
- AV-Chip
- Gemeinsame Schnittstellen-Chips A und B

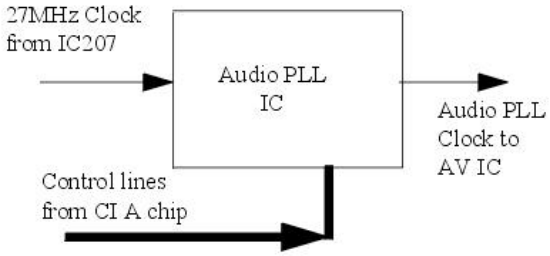
HAUPT-TAKTGEBER OSZILLATOR

Auf der MPEG Flachbaugruppe benutzt das System einen einzelnen Haupt-Taktgeber VCXO, der mittig auf 27,000 MHz eingestellt ist. Dies wird mit einem Colpitts Quarzschwinger erzeugt (R248, R242, R243, R244, R212, R213, R218, R214, R217, R215, R216, L202, C237, C220, C231, C215, C206, C207, C232, C233, C234, X200, D200, Q201). Die Frequenz wird von der Kapazitätsdiode (D200) mit ihrer Gleichstromversorgung aus dem Ausgang des Filter-Abschnitts gesteuert (R248, R244, R243, R242, C231, C215). Der Oszillator wird eingerastet auf die ankommenden Daten durch die PLL im integrierten Demux Schaltkreis (siehe unten). Die Versorgung für den Oszillator wird durch L202 entkoppelt. Der Oszillator-Ausgang vom Emitter von Q201 ist wechselstrom-gekoppelt und vorgespannt für den Taktgeber-Puffer, der durch C234, R215, R216 folgt.
Der Ausgang des Oszillators wird gepuffert und verteilt durch den integrierten Taktgeber-Schaltkreis (IC207), der separate Ausgänge für jedes Last-Gerät benutzt. Die Ausgänge werden benutzt für: gemeinsame Schnittstelle A und B des integrierten CPU/Demux Schaltkreises, AV Decoder Video Encoder Audio PLL IEEE1394 – dies wird gegenwärtig nicht unterstützt. Externer DRAM Regler – dies wird gegenwärtig nicht unterstützt. Es gibt gegenwärtig 3 unbenutzte Ausgänge vom integrierten Schaltkreis des Taktgeber-Puffers.
Lokale Entkopplung wird benutzt (C271 - C274). Vorkehrungen sind getroffen für Taktgeber-Abbruch-Widerstände auf jedem Chip.

AUDIO-TAKTGEBER-PLL

Die PLL-Funktion für den Audio-Decoder-Taktgeber wird von IC220 ausgeführt. Der benutzt den 27MHz Oszillator als Eingang vom Taktgeber-Puffer und produziert eine Ausgabe mit der korrekten Frequenz für den Audio-Überabtastungs-Taktgeber an den AV-Chip (256-fache Audio-Abtast-Geschwindigkeit), wie in der Übertragung signalisiert. Die Frequenz wird von 3 statischen Leitungen vom integrierten CI A Schaltkreis (IC400) gesteuert, siehe folgende Tabelle. Ein zweiter Ausgang ist mit 1,862MHz für eine UART verfügbar, dies wird nicht benutzt. Der Chip wird von C276 entkoppelt.

Signalweg-Schaubild für integrierten Audio-PLL-Schaltkreis



Die Steuer-Leitungen werden an den Anschluss-Stiften des A Chips der gemeinsamen Schnittstelle erzeugt, wobei die Werte in einem der Befehls-Register jenes Geräts eingestellt werden (siehe späteren Abschnitt über gemeinsame Schnittstelle).
Davon ausgehend, dass die Eingangs-Bezugs-Frequenz 27MHz ist, ist die Steuerungs-Leistungsprozedur für diese Leitungen wie in der folgenden Tabelle angegeben:

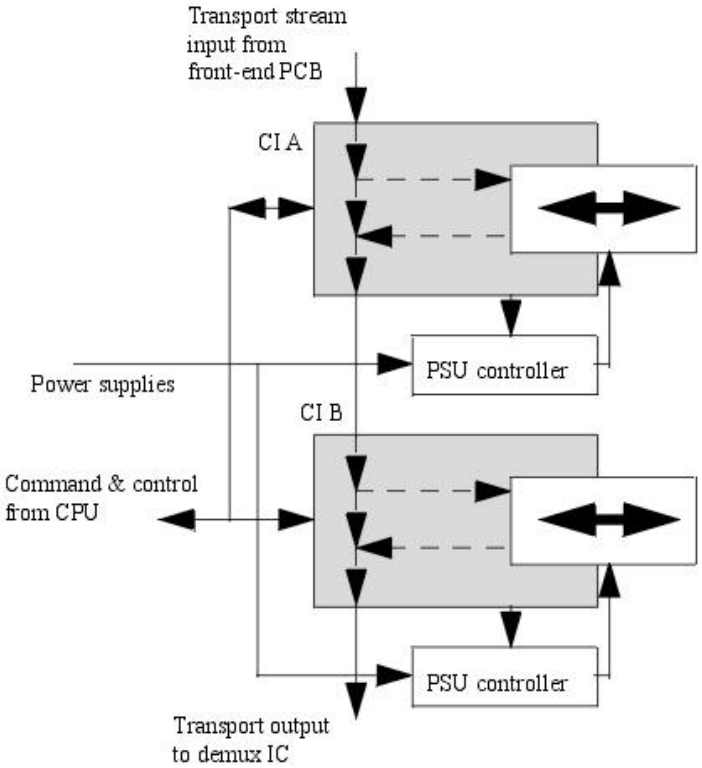
Steuerungs-Eingänge			UART Taktgeber-Ausgang	Audio PLL Taktgeber-Ausgang
FS2	FS1	FS0	(MHz)	(MHz)
0	0	0	Dreistufen-Logik	Dreistufen-Logik
0	0	1	1,8620	256 x 16,0kHz
0	1	0	1,8620	256 x 22,05Hz
0	1	1	1,8620	256 x 24,00kHz
1	0	0	1,8620	256 x 32,00kHz
1	0	1	1,8620	256 x 44,10kHz
1	1	0	1,8620	256 x 48,00kHz
1	1	1	Pegel L	Pegel L

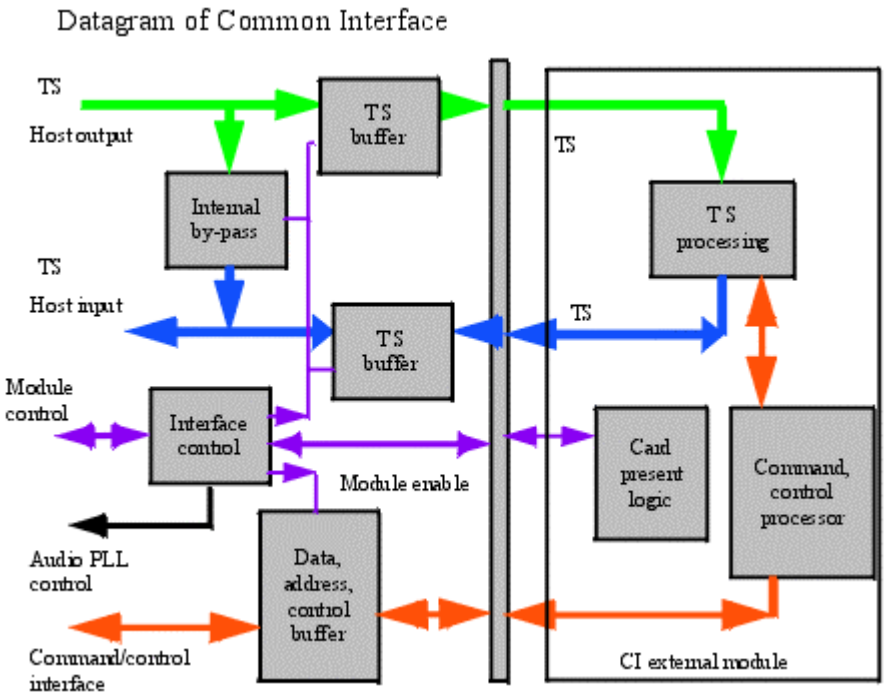
Siehe auch das Schaubild im Abschnitt 'AV Decoder' weiter unten.

SCHALTTECHNIK DER GEMEINSAMEN SCHNITTSTELLE (CI)

Die MPEG Schaltplatte hat Vorkehrungen für zwei Buchsen für gemeinsame Schnittstellen CI A (IC400) und CI B (IC402). Die Umsetzung der gemeinsamen Schnittstelle wird von zwei Altera FPGA Geräten durchgeführt, eines für jeden CI Anschluss.

Übersichts-Blockschaltplan der gemeinsamen Schnittstellen-Architektur





Die gemeinsame Schnittstelle A (CI A) ist immer montiert, die gemeinsame Schnittstelle B (CI B) wird wahlweise montiert. Wenn CI B nicht benötigt wird, kann sie über ein Netzwerk von Widerständen (R413 - R418, R420, R421, R423 - R425) auf der Flachbaugruppe umgangen werden, um den Transportstrom direkt an den integrierten Demux Schaltkreis zu leiten.
Jeder Chip enthält die folgenden Schaltkreis-Funktionen:

- Schnittstelle zwischen dem CPU-Bus und der 'PCMCIA'-mäßigen Schnittstelle auf dem Modul
- Steuerung der Transportstrom-Lenkung
- Steuerung des integrierten Schaltkreises für den CI Modul Stromschalter (IC401, IC403)
- Stapel interner Steuerungs-Register

Zusätzlich zum CI A enthält der Chip:

- Vorkehrungen für einen zweiten Transportstrom-Eingang und Steuerung der Lenkung
- Adressen-Dekodierung, um Chip-Freigaben für andere Geräte bereitzustellen
- Steuerung der Audio PLL

INITIALISIERUNG

Beim Einschalten des Stroms müssen die feldprogammierbaren Gatteranordnungs-Geräte (FPGA) konfiguriert werden. Ein Codeblock wird vom CPU auf die Geräte getaktet über den SC1 Anschluss des CPU (siehe Abschnitt weiter unten) mit Hilfe von Quittungsbetriebs-Leitungen und eines 'Konfigurations'-Registers, um die korrekte Programmierung der Geräte zu bestätigen. Der übertragene Code kann derselbe sein für Flachbaugruppen, die ein oder zwei Geräte tragen, wenn das zweite FPGA nicht montiert ist, wird der zusätzliche Code vom ersten Gerät ignoriert.
Obwohl die FPGAs programmierte Geräte sind, verhalten sie sich nach ihrer Programmierung tatsächlich wie 'Hardware' und werden als 'integrierte CI Regler Schaltkreise' bezeichnet.
Struktur interner Steuerungs-Register
Beide Geräte sind mit dem CPU verbunden über einen 16 Bit Datenübertragungsweg und 24 Bit Adressbus, zusammen mit den dazugehörigen Steuerungs- und Quittungsbetriebs-Leitungen.
Der Transportstrom wird in einer Verkettung durch die CI A und CI B Chips geleitet und an den Demux Abschnitt des integrierten CPU/Demux Schaltkreises gespeist.
Die integrierten CI Regler Schaltkreise haben jeweils 4 interne Register, damit der CPU den Zustand der CI lesen/einstellen kann. Diese sind wie folgt:

Register	R/W	Bit							
		7	6	5	4	3	2	1	0
Status	R	0	0	0	IRQ	VS 2	VS1	CD2	CD1
Steuerung 0	R/W	X	R/Lenkng	X	TsAB	En1	En0	Vcc3	Vcc5
Steuerung 1	R/W	X	X	S/cyc	Ein-/Aus-gang	Reg	Schnitt-stelle	Int	Rück-stellung
Konfiguration	R	X	X	X	X	X	1	1	0

REGISTER DER GEMEINSAMEN SCHNITTSTELLEN.

STATUS-REGISTER
0 CD1 Karten-Erkennung 1
1 CD2 Karten-Erkennung 2
2 VS1 Spannungs-Auswahl 1 bestimmt für CIS Lesen/Betrieb
3 VS2 Spannungs-Auswahl 2 gebraucht als MCLKO in CA
4 IRQ Unterbrechung der Steuerungs-Karten-Einführung/Entfernung
5 X
6 X
7 X

STEUERUNGS-REGISTER 0
0 Vcc5En wählt 5V für PC Karten-Versorgung
1 Vcc3En wählt 3,3V für PC Karten-Versorgung
2 En0 Programmier-Spannungs-Steuerung
3 En1 Programmier-Spannungs-Steuerung
4 TsAB Auswahl von Transportstrom A oder B
5 X
6 R/route leitet Ts an CA Karte
7 X

STEUERUNGS-REGISTER 1
0 Reset Eingang für PC Karten-Rückstellung
1 Int PC Karten-Unterbrechung
2 I/face gibt den PC Karten-Befehl & Steuerungs-Schnittstelle frei
3 Reg gibt den REG# Zyklus frei
4 I/O wählt Ein-/Ausgangs-Schnittstelle
5 S/cyc gibt 35ns WARTE-Zyklus frei (sonst 100ns WARTEN) (kurzer Zyklus)
6 X
7 X

KONFIGURATION
0 PLL-Auswahl-Leitung 0
1 PLL-Auswahl-Leitung 1
2 PLL-Auswahl-Leitung 2
3 X
4 X
5 X
6 X
7 X

X = ist mir egal

Das Status-Register gibt den Zustand der Schnittstelle wieder, wobei das CI Modul selbst vom CPU überwacht werden muss, Bits 5, 6, 7 sind innerhalb der Geräte-Konfiguration auf Pegel L gesetzt und zeigen immer ‘0’ an. Die Steuerungs-Register 0 und 1 ermöglichen dem CPU, die Funktionalität der Geräte einzustellen, z.B. den Transportstrom ggf. durch das CI Modul umzuleiten. Die ‘ist mir egal’ Bits (X) sollten bei der Initialisierung den Wert ‘0’ bekommen. Das Konfigurations-Register ist inbegriffen als zweites Mittel, mit dem der CPU die korrekte Programmierung der internen Logik prüfen und die Audio PLL Ausgangs-Frequenz einstellen kann. Bits 3 - 7 sind der Konfigurations-Überprüfung zugewiesen und werden nicht benutzt (auf Null gestellt). Bits 0 - 2 tragen die Audio PLL Einstellungs-Werte (FS0 - FS2), deren Initialisierungs-Wert 6 ist, was 48 kHz für Audio entspricht.
Die integrierten CI Regler Schaltkreise werden anfangs direkt von der 5V Stromversorgung gespeist, werden aber in Zukunft durch 3,3V Teile ersetzt. Außer den Änderungen bei der lokalen Stromversorgung (Information folgt), bleiben die Veränderungen im System unsichtbar. Wenn die 3,3V Geräte benutzt werden, sollten der Spannungsregler IC205 und seine dazugehörigen Komponenten (C275, C246) montiert und der Nebenweg R279 weggelassen werden, während für 5V Geräte nur R279 montiert und der Regler weggelassen werden sollte. Die gesamte Ausgangs-Logik ist 3V3, ist aber 5V fähig. Die Logik-Schwellen sind alle TTL.

TRANSPORTSTROM-LENKUNG

Die integrierten CI Regler Schaltkreise ermöglichen die Transportstrom-Lenkung (Bits 4 und 6 von Steuerungs-Register 0) in der Nebenwegs-Betriebsart (direkt an den integrierten Demux Schaltkreis) oder durch die CI Buchse und die CA Karte (und zurück), falls eingefügt (Bits 0 und 1 Status Reg.).
CI A hat Vorkehrungen, zwei Transportstrom-Eingänge aufzunehmen, so dass sie in Zukunft ggf. als Transport-Lenkungs-Gerät benutzt werden kann.

STEUERUNGS- UND BEFEHLS-SCHNITTSTELLE

Dies ermöglicht eine zweiseitig gerichtete Daten-Übertragung und Steuerungs-Schnittstelle zwischen dem CPU und der eingefügten CA Karte, so dass der CPU mit dem integrierten CI Regler Schaltkreis kommunizieren kann und folglich mit eingefügtem CA Modul und eingestellter Transportstrom-Lenkung, Entschlüsselung, Software-Aufrüstung usw. Dies wird durch 8 Bit Lese-/Schreib- Zyklen

ausgeführt, die von der internen Logik des integrierten CI Regler Schaltkreises gesteuert und vom CPU überwacht werden, der die betreffenden Bits im Steuerungs-Register prüft.

ADRESSEN-DEKODIERUNG FÜR CI B.

Die Chip-Freigabe für CI B wird von der Adressen-Dekodierung CI A erzeugt, dies ermöglicht dem CPU, mit CI B zu kommunizieren und ähnliche auf bedingten Zugriff (CA) bezogene Tätigkeiten auszuführen wie CI A. Die Verbindungen mit dem Daten- und Adressbus sind beiden Geräten gemeinsam.
Der CI A Chip stellt auch die Ausgänge für Adressen-Abbildungs-Chip-Auswahl für IEEE1394 und die externen CPU DRAM Möglichkeiten, die gegenwärtig in der Flachbaugruppen-Version nicht unterstützt werden.
Dieses Adressen-Abbild wird im Speicher-Abbild im CPU-Abschnitt genauer dargestellt (weiter unten).

CI MODUL SPANNUNGS-AUSWAHL.

Diese Ausgangs-Stifte steuern die Einstellung der erforderlichen Spannungen für die Vcc und Vpp Leitungen für die gemeinsame Schnittstellen-Buchse. Der eingestellte Wert hängt ab von den 'VS' Stiften der Modul-Schnittstelle und der Konfigurations-Information des CI Moduls, falls eingefügt, und die Information wird in den Bits 2 und 3 des Status-Registers wiedergegeben. Die Werte, mit denen die integrierten Schaltkreise für Stromversorgung gesteuert werden (IC401, IC403), werden in den Bits 0 - 3 des Steuerungs-Register 0 gespeichert. IC401 für CI A und IC403 für CI B schalten die tatsächliche Spannung von den 5V und 3V3 Stromversorgungen. IC401 und IC403 steuern den Überlaststrom intern und die Schaltzeit für diese Stromversorgungen.

FREQUENZ-AUSWAHL-LEITUNGEN FÜR DIE PLL IN VERBINDUNG MIT REV C 64108 CPU/DEMUX CHIPS.

CI A benutzt drei ausgewählte Leitungen, um die Abtast-Frequenz der Audio PLL einzustellen (Bits 0 - 2 des Konfigurations-Registers).

JTAG TEST-FÄHIGKEIT

Die CI Chips haben JTAG Test-Fähigkeit. Sie sind konfiguriert als Teil eines Testsystems mit 'einer Schleife' oder 'zwei Schleifen' mit anderen Chips auf der Flachbaugruppe, näheres dazu im 'JTAG Test' Abschnitt (Abschnitt 2.6 weiter unten).

HAUPT-SYSTEM-CPU / MPEG-ENTMULTIPLEXOR (IC200 / L64108)

ALLGEMEINES

Dieser integrierte Schaltkreis übt vier Hauptfunktionen im System aus:

- Haupt-System-CPU
- Einrasten der ankommenden Daten auf den Haupt-System-Taktgeber und Erzeugung des internen 54MHz Taktgebers durch PLL
- Transportstrom-Entmultiplexierung und SI Dekodierung
- Paket-Dekodierung und AV-Daten-Übertragung an den AV-Chip
- Trennung der PES Ströme für die Ausgabe an die IEEE1394 Schnittstelle (für eventuelle zukünftige Verwendung)

CPU FUNKTIONEN

Siehe auch Schaubild im folgenden Entmultiplexor-Abschnitt.
Der System-CPU arbeitet intern in 32 Bit Betriebsart bei einer Taktgeber-Geschwindigkeit von 54MHz, aber mit einem externen 16 Bit Datenübertragungsweg (E-BUS) und einem Speicherbereich, der von 24 Adress-Leitungen abgebildet wird, die mit 27MHz arbeiten. Seine Hauptfunktion ist die Wartung des Software-Programm-Flusses, um alle Geräte zu steuern, die für die Funktionalität des digitalen Empfängers benötigt werden. Er hat interne Cache-Speicher, um die Verarbeitung zu beschleunigen, und benutzt externen EDO DRAM (2MB) für den Haupt-Verarbeitungs-Arbeitsbereich. Platz für bis zu 4MB Flash Speicher wurde ebenso eingeplant wie für zwei 1M x 16 Bit Chips. Der Programm-Start wird durch die hauptsächliche 'Netz Ein-Grundstellung' initiiert.
Um diese Funktion auszuüben und die Ressourcen des Systems anzuwenden, ist folgendes erforderlich:

- Kommunikation mit anderen Geräten
- Asynchrone serielle Kommunikation mit Hilfe der RS232 Leistungsprozedur – die UARTs auf der Schaltplatte werden benutzt, um mit dem Modem und dem externen RS232 Pegelkonverter auf der Eingangs-COFDM-Flachbaugruppe über PL200 zu kommunizieren und mit dem Benutzer-Prozessor durch die Interprozessor-Verbindung (IPL) auf PL203. Der Betrieb der IPL basiert auf einer 'Mitteilung-und-Antwort' Leistungsprozedur, wobei der Benutzer-Prozessor unter normalen Umständen der Hauptbediener ist.
- Programmierungs-Anschluss für die integrierten CI Regler Schaltkreise (CI A und CI B) – dies benutzt die Stifte (SC1x), die normalerweise dem integrierten Schaltkreis für den zweiten Chipkarten-Treiber zugeordnet sind, mit Taktgeber, Daten, Bestätigung, Freigabe und Status-Leitungen.
- I2C – der CPU hat ein integriertes Anschlussgerät, das für den I2C Bus als Hauptbediener für alle Geräte auf dem digitalen Abschnitt wirkt, nämlich:
- Video-Encoder auf der MPEG Flachbaugruppe
- Tuner auf der COFDM Flachbaugruppe
- Integrierter COFDM Schaltkreis auf der COFDM Flachbaugruppe

- Integrierter FEC Schaltkreis auf der COFDM Flachbaugruppe
- NVM auf der COFDM Flachbaugruppe

Mitnahme-Widerstände werden bereitgestellt auf der Eingangs-Flachbaugruppe auf dem integrierten COFDM Schaltkreis und dem Tuner und auf dem integrierten Schaltkreis für den Video Encoder (R532, R533), der auf bis zu 5V zieht.

- Der E-BUS gibt einen Adressbereich von 2^{23}, abgebildet wie in der Tabelle oben in diesem Abschnitt in 16 Bit breiter Form, um mit anderen Geräten auf der Flachbaugruppe zu kommunizieren und sie zu steuern, dieser Bus wird auf der MPEG Flachbaugruppe benutzt von:
- Flash-Speicher – zwei Chip-Stellen sind auf der Flachbaugruppe verfügbar, aber gegenwärtig wird nur ein einzelner 1M x 16bit Chip benutzt. Diese Positionen können 512k x 16 Bit oder 1M x 16 Bit Flash-Chips aufnehmen, die nach den AMD Leistungsprozeduren und Verbindungen arbeiten.
- Gemeinsame Schnittstelle für integrierte (CI) Regler Schaltkreise – die ein oder zwei montierten Geräte benutzen den E-BUS zur Steuerung und als Daten-/Steuerungs-Schnittstelle mit dem CPU.
- Der AV (Audio/Video) Decoder – der E-BUS wird für die Weitergabe der Audio-Video-Abtastungen vom Demux an den AV Decoder und für die notwendige Steuerungs-Kommunikation benutzt.
- IEEE1394 schnelle serielle Schnittstelle, IC600, IC601 (gegenwärtig nicht unterstützt)
- Externer DRAM Regler IC700 / IC701 (gegenwärtig nicht unterstützt)
- Chipkarten-Anschluss – der Hauptanschluss für den Chipkarten-Treiber (SC0x) wird benutzt, um alle Low-Level-Steuerungen zu tragen für die Chipkarten- Rückstellung mit bedingtem Zugriff, Taktgeber, Daten Ein-/Ausgang usw. Diese Leitungen werden von Widerstands-/ Dioden-Netzwerken (R257 - R262, R266, D201- D206, D209) geschützt und sind mit der Chipkarten-Flachbaugruppe verbunden, die im analogen Abschnitt durch PL204 eingesteckt ist.
- Der CPU hat eine Anzahl paralleler Anschlussstifte, mit denen diverse Funktionen auf den COFDM und MPEG Flachbaugruppen gesteuert werden, nämlich:

Anschluss-Identifizierung	Eingang / Ausgang	Funktion
GP1040	O	22kHz Freigabe für QPSK Gebrauch
GP1041	O	TS/NPES
GP1042	O	NVM Schreibschutz
GP1043	O	Rückstellung für PAL-Encoder und integrierte AV Decoder Schaltkreise
GP1044	I	ROM_GRÖSSE, Eingangs-Fühler-Stift
GP1045	O	Rückstellung für Eingangs-Flachbaugruppe
GP1046	O	Rückstellungs-Impuls für 18MHz Taktgeber-Gatter auf Eingangs-Flachbaugruppe
GP1047	O	Rückstellung für Integrierte Schaltkreise für gemeinsame Schnittstellen
GP1048	O	Rückstellung für IEEE1394 Chip
GP1049	I	Eingang für: Modem nicht aufgelegt

- Lokale CPU Speicher-Steuerung
- Interner Cache – dies ist intern im CPU
- DRAM Steuerung – der CPU hat eine dedizierte Steuerungs-Schnittstelle für den Haupt-DRAM. Adressierung für 16Mbit (IC201) wird gestellt und ein EDO Typ DRAM wird benutzt.

Adressen-Dekodierung in der CI A (auf der Grundlage von CS2) erlaubt Zugriff auf die 'Chip-Auswahl fehlt' Geräte, bei denen die Chip-Auswahl im CI A Gerät erzeugt wird, Die Zeiteinteilung für diese Daten-Kommunikation erfolgt dann durch die DSACK Steuerungen.

Aus Funktionsgründen besteht jede Unterbrechungsgruppe aus einem Paar, wobei jedes einen internen und einen externen Eingang darstellt (12 in 6 Pegel), jedes Unterbrechungspaar ist einer Gruppe zugeordnet, und die Gruppen sind priorisiert. Die System-Unterbrechungen sind wie folgt zugeordnet

Gruppe	Funktion	Triggern Pegel / Flanke	Priorität
	Externer INT 4 / Interner NMI	Pegel	Höchste
4	Zeitgeber (0-2) / RES	Wählbar	/\
3	Externer INT 3 / PID Prozessor	Wählbar	I
2	Externer INT 2 / Teletext / I2C / UARTS	Wählbar	I
1	Externer INT 1/ Chipkarte	Wählbar	\/
0	Externer INT 0 / 1284	Wählbar	Tiefste

Externe Unterbrechungen werden wie folgt abgebildet

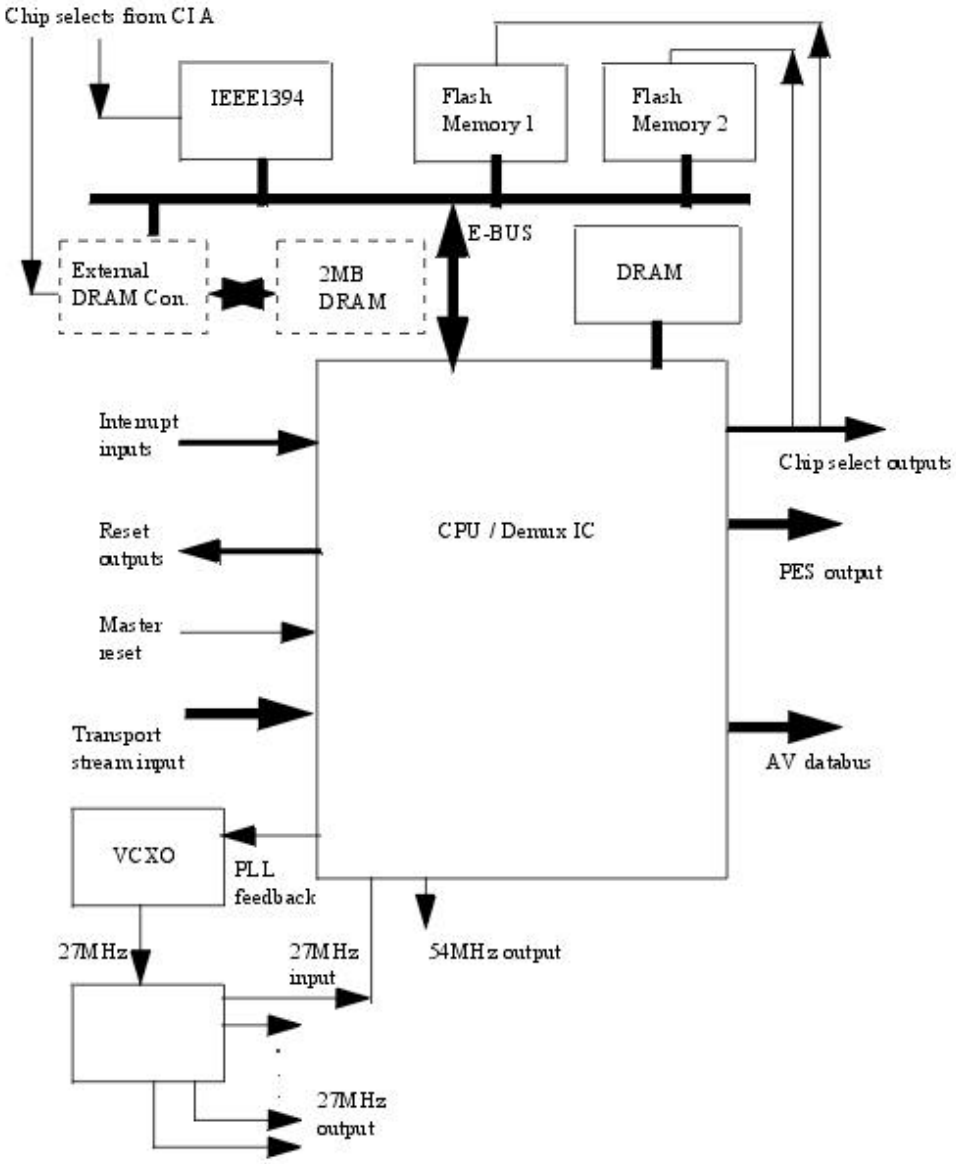
- EXTERNER INT 4:Externer DRAM Regler
- EXTERNER INT 3:Gemeinsame Schnittstelle B
- EXTERNER INT 2:1394
- EXTERNER INT 1:Gemeinsame Schnittstelle A
- EXTERNER INT 0:A/V Decoder

Anmerkung: Die externen Unterbrechungen sind neu angeordnet, um Korrekturen auf IRQ 4 zu ermöglichen, während der DRAM Regler nicht montiert ist.

Unten ist das Hauptspeicherabbild abgebildet.

Chip-Auswahl	Gebrauch	Adresse (hex)			
		100.0000			
	Internes Register				
		F0.0000			
	Interner Ein-/Ausgang				
		E0.0000			
CS0	Flashbank 1 (2MB) oder Lade-ROM				
		C0.0000			
CS1	Flashbank 0 (2MB)				
		A0.0000			
CS2	Gemeinsame Schnittstelle A (2MB)				
		80.0000			
CS miss	Nicht zugewiesen (4MB)				
		40.0000	Anschlussgerät 2MB Adressbereichsabbild		
			Chip-Auswahl	Gebrauch	Adresse (Hex)
					40.0000
	Anschlussgeräte (2MB)		Chip-Auswahl fehlt	(IEEE1394) (Externer DRAM Regler)	
					23.0000
	Dieser Bereich wird		CS3	AV-Chip Decoder	
	abgebildet wie in der				22.0000
	Tabelle rechts gezeigt			Nicht zugewiesen	
					20.2000
			Chip-Auswahl fehlt	Gemeinsame Schnittstelle B	
					20, 0000
		20.0000			
	Primär-DRAM (2MB)				
		00.0000			

CPU / Demux Architektur



HAUPT-SYSTEM-TAKTGEBER UND PLL

Die 27MHz vom Taktgeber-Puffer werden in Frequenz/Phase durch eine PLL (IC206, RR225, R223, R222, R219, C210, C212, C208, C209, C211) auf den ankommenden Datenstrom angeglichen. Die lokale Stromversorgung wird durch L200, C242 und R219 entkoppelt und dazu benutzt, den lokalen Erdabschnitt zu isolieren.
Der CPU benutzt intern einen 54MHz Taktgeber, dies wird mit einer internen ‘x2’ PLL Schleife auf der Schaltplatte erzeugt. Die 54MHz stehen für Testzecke bei Stift 20 / TP218 durch R209 zur Verfügung.

TRANSPORTSTROM-ENTMULTIPLEXIERUNG (L64108)

Die Funktionalität dieses Abschnitts deckt ab:

- Parsing der internationalen Maßeinheits-Daten vom Transportstrom
- Herausnehmen des Transportstrom-Pakets für die Video- und Audio-Funktionen
- Zwischenspeicherung der Video- und Audio-Daten auf den AV-Chip
- Herausnehmen der Daten-Pakete, die mit grafischen Objekten und Bildern verbunden sind, die angezeigt werden sollen oder auf die eingewirkt werden soll.
- Trennung der einzelnen PES Ströme

Dieser Abschnitt des integrierten Schaltkreises enthält die Funktions-Schaltkreis-Blöcke, die die Transportstrom-Verarbeitung ausführen sollen, um die nötige Information aus den SI Paketen des Transportstroms herauszunehmen, damit die Funktionen direkt dekodiert werden können.

Man muss also die MPEG SI Tabellen parsen, die alle Daten über Herkunft, Inhalt, Zeiteinteilung und Format der Funktionen im Transportstrom tragen. Die meiste Arbeit erfolgt in der Hardware unter der Steuerung der CPU Software-Aufgaben.
Nach dem Herausnehmen der Information für die Identifizierung der Funktionskomponenten Video und Audio, werden die Komponenten zwischengespeichert, um zum AV-Chip weiterzugehen, um dekodiert zu werden. Die Daten-Komponenten (MHEG, Teletext, usw.) werden vom Transportstrom entfernt und im DRAM Bereich mit der geeigneten Software, z.B. Bitmap-Erweiterung, dekodiert.
Die Video- und Audio-Komponenten werden zum AV-Chip auf dem AV Bus geleitet, so wie im AV-Chip-Abschnitt beschrieben. Der AV-Chip kann auf die AV Video- und Audio-Anforderungs-Signale reagieren, indem er die Daten auf Anforderung weiterleitet, das sollte normalerweise nicht erforderlich sein.
Der Demux Abschnitt hat auch die Fähigkeit, PES Ströme zu trennen, die durch die parallele Schnittstelle an den IEEE1394 Abschnitt ausgegeben werden können (dieser IEEE1394 Abschnitt wird gegenwärtig weder in der Software noch in der Hardware unterstützt).
Die Daten für die grafischen Bilder, die als Objekte ins Transportstrom-Paket geschickt und daraus dekodiert werden, werden als Daten im Stoßbetrieb über den E-BUS zum AV-Chip geleitet.

JTAG TEST-FÄHIGKEIT

Der CPU/Demux Chip hat JTAG Test-Fähigkeit. Er kann konfiguriert werden als Teil eines Testsystems mit ‘einer Schleife’ oder ‘zwei Schleifen’ mit anderen Chips auf der Flachbaugruppe, näheres dazu im ‘JTAG Test’ Abschnitt (Abschnitt 2.6 weiter unten).

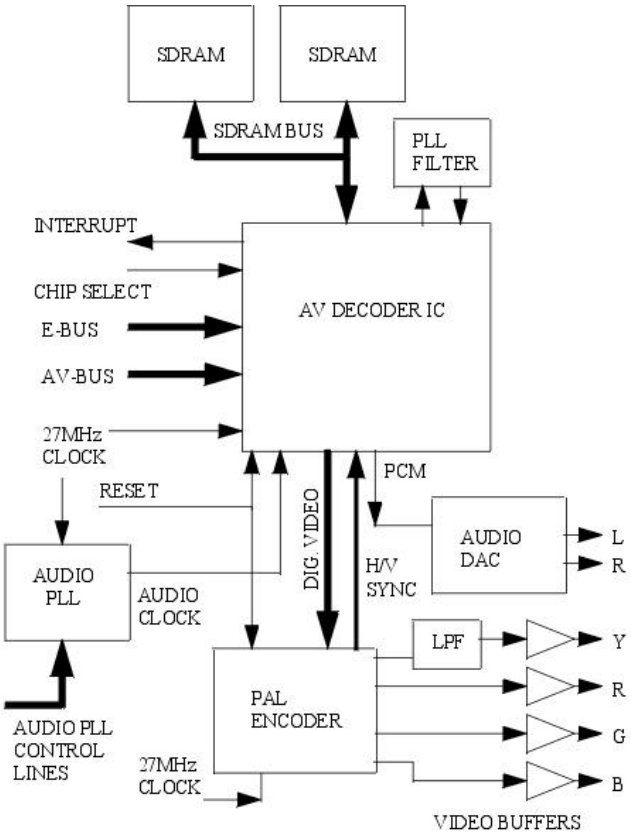
INTEGRIERTER AV PROZESSOR SCHALTKREIS (L64105)

Der Chip benutzt den Haupt-System-Taktgeber mit 27MHz von einem Ausgang des integrierten Schaltkreises für den Taktgeber-Puffer.
Die Video- und Audio-Signale werden vom integrierten Demux Schaltkreis an den AV-Chip auf dem AV-Bus geschickt. Er besteht aus:

- 8 Bit breiten Daten
- Video-Abtastung gültig
- Audio-Abtastung gültig
- Video-Abtastungs-Anforderung
- Audio-Abtastungs-Anforderung
- Fehler-Leitung

Mit dem E-BUS steuert der CPU den AV-Chip und leitet grafische Bild-Bitmaps weiter, die angezeigt werden sollen.
Die Daten bestehen aus gemischten Audio- und Video-Abtastungen, die durch die ‘gültig’ Signale identifiziert werden. Das System sollte so funktionieren, dass ein gleichmäßiger, aber nicht konstanter Audio- und Video-Daten-Strom vom Demux an den AV-Chip geleitet wird. Falls die Daten nicht schnell genug geschickt werden, was dadurch signalisiert wird, dass der Inhalt des AV-Chip-Puffers unter einen bestimmten Pegel fällt, können die ‘Anforderungs’-Leitungen diese Information an den CPU zurückgeben, um mehr Daten dieses Typs anzufordern, damit der AV-Chip nicht steckenbleibt.
Der Chip kann jederzeit ein bewegliches Video-Bild und eine Audio-Funktion (Mono, Stereo oder doppeltes Mono) aus der Paket-Information dekodieren, die vom integrierten Demux Schaltkreis auf dem AV Bus gesandt wurde. Die Pakete werden in genau bezeichneten Pufferbereichen im Speicher dekodiert, und die Dekodierungs-Anzeige-Geschwindigkeit wird durch die Zeiteinteilungssignale gesteuert, die im Signal (SCR, PCR, DTS, PTS) enthalten sind. Die Video-Bild-Information sollte mit einer konstanten Geschwindigkeit von 25 Rahmen/Sekunde für PAL zur Wiedergabe an den Video-Encoder zur Verfügung stehen.
Der AV-Chip trägt auch die Audio-Video-Synchronisierung und benutzt die Zeiteinteilungsinformation im Transportstrom und in den Paket-Anfangskennsätzen. Das sichert jederzeit eine gute Lippen-Synchronisierung.
Der AV Speicherbereich (32Mb SDRAM) wird benutzt, um das volle Video-Bild ‘aufzubauen’, das aus der Information besteht, das aus den Video-Paket-Daten dekodiert wurde, und aus Grafiken, die vom CPU erzeugt wurden, z.B. Menüs, MHEG Grafik usw. Die Grafik kann als alleinstehende Vollbildschirm-Grafik präsentiert werden oder als Bild-Overlay in verschiedenen Transparenzstufen.

AV-Abschnitts-Architektur



Das Video-Bild kann im AV-Chip ggf. auf die Hälfte oder ein Viertel seiner Größe heruntergesetzt werden mit geeigneter Interpolations-Filterung, um künstliche Schäden so weit wie möglich zu entfernen.
32Mb SDRAM bei 81MHz bauen das Bildschirm-Bild auf und speichern es, damit die Daten-Ausgabe mit der korrekten Feld-Geschwindigkeit zum Video-Encoder geschickt wird. Der 81MHz Taktgeber wird von 'x3' PLL mit Hilfe von C114, C115, R107 im AV-Chip erzeugt. Da die PLL sehr empfindlich ist für Fremdsignale, leisten L100, C116, C125 die Entkopplung der lokalen Stromversorgung, und der lokale Erdbereich wird durch R113 isoliert.
Der SDRAM Regler ist ein dedizierter Abschnitt des AV-Chips. Die Chip-Auswahl, RAS, CAS, Daten und Adressleitungen werden synchron mit dem 81MHz Taktgeber für die 2 integrierten Speicher-Schaltkreise erzeugt.
Der Signal-Bus, der die Video-Daten zum Video-Encoder trägt, enthält:

- 8 Bit breite Video-Abtastungen
- Bildschirmanzeige- (OSD) Signal
- Horizontale und vertikale Synchronisierung

Die Video-Abtastungen sind im 4:2:2 Format synchron mit dem 27MHz Haupt-Taktgeber, was eine Luminanz-(Y)Abtastungs-Geschwindigkeit von 13,5MHz und eine Geschwindigkeit von 6,75MHz für die U und V Chrominanz-Komponenten ergibt. Das OSD Signal wird vom AV-Chip erzeugt und gibt die Anwesenheit einer Grafik auf dem Bildschirm an, dies wird gegenwärtig nicht genutzt.
Die horizontalen und vertikalen Synchronisiersignale werden vom Video-Encoder erzeugt, und der integrierte AV Decoder Schaltkreis wird im untergeordneten Betrieb gesteuert, beide sind negative Synchronisiersignale. Die Information für die Anzeige wird vom AV-Chip in einem Zwischenzeilen-Format strukturiert, das für ein normales 5 Felder/Sekunde Fernsehbild optimiert ist.
Der Audio-Überabtastungs-Taktgeber wird vom integrierten Audio PLL Schaltkreis (IC220) erzeugt und in die ACLK_32, ACLK_48 und ACLK_441 Stifte des AV-Chips gespeist. Damit wird die Dekodierung und die Anzeige der Audio-Daten an den Audio Digital-Analog-Wandler snychronisiert.
Die Audio-Daten-Signale werden vom AV-Chip in der Form serieller PCM ausgegeben, der Bus umfasst:

- Serielle Daten – sequenzielle linke und rechte Kanäle (ASDATA)
- Taktgeber für Links/Rechts-Abtastungs-Synchronisierung (LRCLK)
- Abtastungs-Geschwindigkeits-Taktgeber (BCLK)
- Haupt-Überabtastungs-Taktgeber (A_CLK)

Diese Signale werden zum Audio Digital-Analog-Wandler weitergeleitet (siehe unten).

VIDEO ENCODER

Der verwendete integrierte Schaltkreis (IC500) ist ein Analog-Gerät Typ ADV7170A, das Makrovisions-Fähigkeit umfasst. Er kann entweder PAL- oder NTSC-Video mit VBI Teletext, geschlossene Bildunterschrift (NTSC Einrichtung) und die Einfügung von Breitwandraumton (WSS) erzeugen. In dieser Anwendung verwenden wir den Chip in der PAL-Betriebsart, und wir benutzen die WSS-Möglichkeit auf Abtast-Leitung 23, um Fernsehern, die darauf reagieren (einschl. des Fernsehbild-Abschnitts der D8 Serien Empfänger), die Möglichkeit zu geben, automatisch die optimale Bildgröße einzustellen, abhängig von der übertragenen AFD (Aktiv-Format-Deskriptor) Information.

Die Stromversorgung für den integrierten Schaltkreis ist 3,3V, aber der Ausgangs-Transistorpuffer wird von einer separaten analogen 9V Leitung direkt vom IDTV oder STB Motherboard versorgt. Die 9V werden von L500, C500, C521, C525 lokal gefiltert.
Die Versorgung des integrierten Schaltkreises wird von L501, C503, C514 gefiltert.
Er wird vom I2C Bus im Digital-Modul gesteuert, und die Rückstellung wird vom CPU gemeinsam mit dem AV-Chip erzeugt, die Mitnehmer sind R532, R533 und die Reihen-Schutz-Widerstände sind R508 und R510. R509 ist montiert, um die I2C Adresse einzustellen.
Mit R507 werden die Vergleichsspannungen des Digital-Analog-Wandlers eingestellt, um die korrekte Ausgangs-Amplitude zu erhalten.
Der Chip benutzt den 27MHz Haupt-Taktgeber als Bezug, um die ankommenden Video-Daten zu verarbeiten, diese kommen vom integrierten Schaltkreis des Taktgeber-Puffers.
Die Video-Eingabe wird in 8 Bit paralleler 4:2:2 Form vom AV Decoder synchronisiert mit dem 27MHz Haupt-Taktgeber.
Die Ausgänge sind gemischt (CVBS), rot (R), grün (G) und blau (B), die durch Transistorpuffer (Q500 – Q503, R522, R516, R17, R505, R506, R504, R514, R517, R513, R520, R519, R521) an den Video-Ausgangs-Anschluss zwischengespeichert werden. Ein zusätzlicher Filter (C501, C518, C519, L502, L503) wird in der Misch-Leitung benutzt, um mögliche Treppeneffekte weiter zu vermindern, so dass das Video für einen Fernseher geeignet wäre, in dem digitale Verarbeitung angewandt wird. Die Video-Ausgänge werden bei den Ausgangs-Stiften von PL501 weiter gefiltert, um elektromagnetische Störfreiheit (EMC/ESD) zu bieten.
Das System läuft mit dem PAL-Encoder in übergeordneter Betriebsart, d.h. es liefert die horizontale und vertikale Synchronisierung an den AV Decoder.
Der Demux sendet die Breitwandraumton-(WSS)Information in I2C Form an den Video-Encoder zur Einfügung in Leitung 23 des Misch-Stroms. Der CPU sendet diese Information auf dem I2C Bus an den integrierten Schaltkreis.
Es gibt Daten- und Taktgeber-Verbindungen mit dem CPU, so dass VBI World Standard Teletext (WST) unterstützt werden kann, aber diese Einrichtung wird gegenwärtig nicht unterstützt.

AUDIO DIGITAL-ANALOG-WANDLER (DAC)

Der integrierte Schaltkreis (IC501) ist ein Quarz CS4334 Typ, betrieben von 5V, um genug Höhe für einen vollen SCART Pegel-Audio-Ausgang ohne Verzerrung zu geben. Die 5V Versorgung wird von L505, CC508, C509, C522, C524 lokal entkoppelt.
Die seriellen Daten (ASDATA) von PCM, Abtastungs-Taktgeber (LRCLK), Bit-Taktgeber (BCLK) und Überabtastungs-Haupt-Taktgeber (A_CLK) werden vom integrierten Schaltkreis des AV Decoders an den Audio Digital-Analog-Wandler geliefert.
Die Ausgänge sind Stereo (links/rechts) Audio und werden von R511, R500, C504, C505 bei Ausgang (PL500) gefiltert, um ESD und gewissen Interferenz-Schutz zu bieten.
Es gibt keine Steuerungs- oder Rückstellungs-Funktionen auf dem Digital-Analog-Wandler. Der Ausgang erfolgt über PL500.

EXTERNER DRAM REGLER (IC700, IC701)

ALLGEMEINES

Die Flachbaugruppe hat Vorkehrungen für einen externen DRAM Regler, die im E-BUS abgebildet sind. Die Chip-Auswahl dafür wird durch einen integrierten CI A Schaltkreis geleistet. Damit können der 16bit breite Datenübertragungsweg und der 24 Bit Adressbus zusätzliche 2MB EDO DRAM steuern. Er benutzt IC700, IC701 und deren dazugehörige Komponenten, wird aber gegenwärtig nicht benutzt.

SCHALTKREIS-BESCHREIBUNG

Ein Altera-Gerät (7128 Serie) wird für diese Funktion benutzt, es benutzt den E-BUS als Haupt-Datenübertragungsweg und eine vom CI A Chip abgebildete Chip-Auswahl. Der unterstützte DRAM ist ein 2MB (1M x 16 Bit) EDO DRAM ähnlich dem, der vom Haupt-CPU unterstützt wird.
Er ist inbegriffen, um eventuelle zukünftige Erfordernisse abzudecken, wird aber gegenwärtig nicht benutzt.

JTAG TEST-FÄHIGKEIT

Der Altera-Chip, der als externer DRAM Regler benutzt wird, hat JTAG Test-Fähigkeit. Er kann konfiguriert werden als Teil eines Testsystems mit ‘einer Schleife’ oder ‘zwei Schleifen’ mit einigen der anderen Chips auf der Flachbaugruppe, näheres dazu im ‘JTAG Test’ Abschnitt weiter unten.

IEEE1394 SCHNITTSTELLE (IC600, IC601)

ALLGEMEINES

IEEE1394 ist ein schneller serieller Bus, der konzipiert ist, mit Übertragungs-Geschwindigkeiten von 100MB/s, 200MB/s und 400MB/s zu arbeiten. Er kann über angemessen lange Kabelwege treiben, z.B. zwischen Räumen, und kann deshalb eingesetzt werden, um volle oder teilweise Transportströme zwischen Anzeigegeräten und Quellen, z.B. digitalen Videocassettenrecordern, laufen zu lassen.
Die Flachbaugruppe hat Vorkehrungen für eine IEEE1394 Schnittstelle mit zwei Buchsen-Positionen. Das erfordert zwei integrierte Texas Instruments Schaltkreise, einen in den E-BUS abgebildeten Sicherungsschicht-Chip und einen Bitübertragungsschicht-Chip. Er ist konzipiert, eine Chip-Auswahl zu benutzen, die der integrierte Schaltkreis der gemeinsam Schnittstelle A bereitstellt.
Die benötigte Schalttechnik ist IC600, IC601 und die dazugehörigen Komponenten.

SCHALTKREIS-BESCHREIBUNG

Von Texas Instruments entwickeltes Silizium wurde in diese Funktion eingeplant. Sie besteht aus einem integrierten Sicherungsschicht-Schaltkreis (IC600), der effektiv Teil der Daten-Leistungsprozedur-Umsetzung ist zwischen der Regler/Daten-Quelle (dem MPEG CPU) und dem Bitübertragungsschicht-Chip (IC601), der durch CN601, CN602 mit der Außenwelt kommuniziert, um eine zweiseitig gerichtete, serielle Daten-Hochgeschwindigkeits-Verbindung zu bieten.

Eine Möglichkeit für Gleichstromisolierung wird in der kapazitiven Schnittstelle zwischen diesen integrierten Schaltkreisen bereitgestellt.
Diese Schnittstelle ist derzeit nicht auf den Flachbaugruppen montiert.

JTAG TEST-FÄHIGKEIT

Der Sicherungsschicht-Chip hat JTAG Test-Fähigkeit. Er kann konfiguriert werden als Teil eines Testsystems mit ‘einer Schleife’ oder ‘zwei Schleifen’ mit einigen der anderen Chips auf der Flachbaugruppe, näheres dazu im folgenden ‘JTAG Test’ Abschnitt.

JTAG TEST

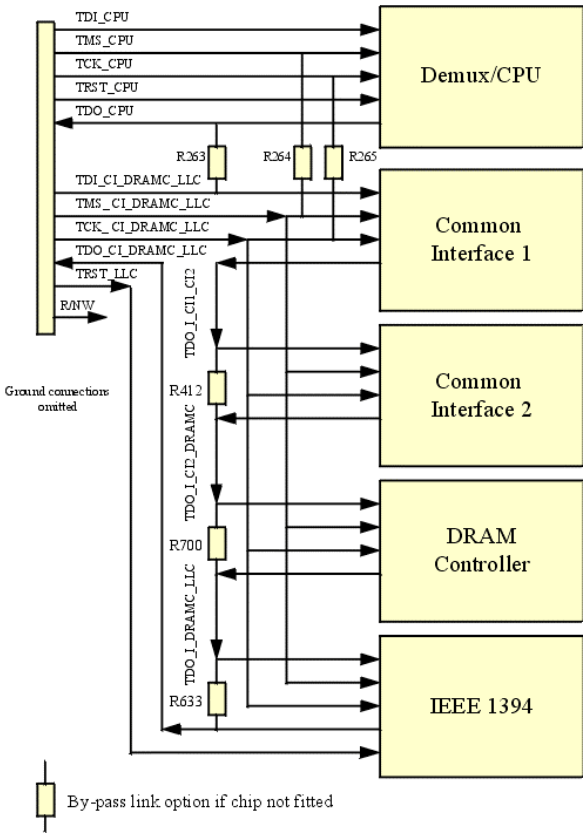
Es wurde ein Anschluss in die Flachbaugruppe eingebaut, der volle JTAG Tests mit einigen der Geräte ermöglicht. Das umfasst:

- CPU/Demux
- CI Chips A und B
- Externer DRAM Regler (derzeit nicht benutzt)
- IEEE1394 Sicherungsschicht-Regler (derzeit nicht benutzt)

Die folgenden fünf Leitungen sind mit der JTAG Kommunikation verbunden:

- TDIdata in den Chip
- TDOdata aus dem Chip (Rücklauf)
- TMStest Betriebsart-Auswahl
- TCKclock Leitung zum Durchgeben der Daten-Kette durch die Geräte
- TRSTtest Betriebsart-Rückstellung, nicht von allen Geräten benutzt.

Die ersten 4 werden von allen Chips benutzt, und die Rückstellung nur von CPU/Demux und IEEE1394.
Man kann JTAG Testmethoden für einen großen Teil der abgeschlossenen MPEG Flachbaugruppe benutzen. JTAG, auch bekannt als Grenz-Abtastungs-Test, ist eine Methode, Test-Bit-Ströme im seriellen Betrieb in Chips zu laden, indem man einen Testbetriebs-Taktgeber benutzt, der durch einen dedizierten Anschluss mit den Daten synchronisiert ist, um die Ein-/Ausgangs-Stifte in bekannte Zustände zu zwingen, so dass die Wirkung abgelesen werden kann. Dazu muss eine Test-Betriebsart auf dem Chip ausgewählt werden.
Der Zugriff auf und die Funktionalität des DRAM und Flash-Speichers, die mit dem CPU verbunden sind, können mit dieser Methode getestet werden, und Code kann an die Flash-Speicher-Chips heruntergeladen werden. Das wird effizienter durch den Gebrauch der CPU R/NW Leitung, um die Zahl der Zyklen zu vermindern, die benötigt werden, um das Lesen von und Schreiben an die Geräte auszuführen.
Der serielle Bus besteht aus 2 Teilen, einer ist nur für den CPU/Demux und der zweite für alle anderen Geräte, das ermöglicht ein effizienteres Flash-Chip-Herunterladen durch die JTAG Verbindung, weil die Kette kürzer ist. Null-ohmige Widerstands-Verbindungs-Möglichkeiten sind angebracht, um die zwei Schleifen zusammen mit den Chips in Reihe zu verbinden, falls das JTAG Code-Laden an den Flash Chip nicht benötigt wird.
Der JTAG Test-Code muss modifiziert werden, wenn Chips aus den Schleifen weggelassen werden.
Die Netz-Namen, die auf dem beigefügten Schaubild benutzt werden, sind die, die wir auf den Prinzipskizzen benutzt haben, und der Programm-Stecker ist ein 14-Wege-Stecker mit 3 Erdleitungen. Vom Schaubild wurden 10k Mitnehmer auf den folgenden Leitungen weggelassen:-
R271 TDI_CPU
R272 TMS_CPU
R273 TRST_CPU
R274 TDI_CI_DRAMC_LLC
R276 TMS_CI_DRAMC_LLC
montiert mit einem Taktgeber-Abbruch-Netzwerk, bestehend aus 68R und 100pF in Reihe an Erde auf den folgenden:-
R274/C261 TCK_CPU
R277/C262 TCK_CI_DRAMC_LLC
Die Einrichtung ist derart verbunden, dass sie als einzelne Schleife durch alle Geräte sequenziell konfiguriert werden kann, wobei die Verbindungen R263, R264 und R265 montiert sind, oder als zwei Schleifen, wobei sie den CPU/Demux nur in einer Schleife und die anderen integrierten Schaltkreise in der anderen abdeckt. Widerstände R412, R633 und R700 sind nur montiert, wenn der dazugehörige Chip weggelassen wird.


TDI_CPU
TMS_CPU
TCK_CPU
TRST_CPU
TDO_CPU
Demux/CPU
R263
R264
R265
TDI_CI_DRAMC_LLC
TMS_CI_DRAMC_LLC
TCK_CI_DRAMC_LLC
TDO_CI_DRAMC_LLC
TRST_LLC
R/NW
Common Interface 1
TDO_I_CI1_CI2
Ground connections omitted
R412
Common Interface 2
TDO_I_CI2_DRAMC
R700
DRAM Controller
TDO_I_DRAMC_LLC
R633
IEEE 1394
By-pass link option if chip not fitted

TESTPUNKTE AUF MPEG FLACHBAUGRUPPE

Testpunkt	Netz-Name	Funktion
Blatt 1	AV Abschnitt	
TP100	AV_D7	SDRAMdata 7
TP101	AV_D6	SDRAMdata 6
TP102	AV_D5	SDRAMdata 5
TP103	AV_D4	SDRAMdata 4
TP104	AV_D3	SDRAMdata 3
TP105	AV_D2	SDRAMdata 2
TP106	AV_D1	SDRAMdata 1
TP107	AV_D0	SDRAMdata 0
TP108	AV_DEMUX-AV_0	Multiplex-Bild und Audio (Demux an AV) b0
TP109	AV_DEMUX-AV_1	Multiplex-Bild und Audio (Demux an AV) b1
TP1010	AV_DEMUX-AV_2	Multiplex-Bild und Audio (Demux an AV) b2
TP1011	AV_DEMUX-AV_3	Multiplex-Bild und Audio (Demux an AV) b3
TP1012	AV_DEMUX-AV_4	Multiplex-Bild und Audio (Demux an AV) b4
TP1013	AV_DEMUX-AV_5	Multiplex-Bild und Audio (Demux an AV) b5
TP1014	AV_DEMUX-AV_6	Multiplex-Bild und Audio (Demux an AV) b6
TP1015	AV_DEMUX-AV_7	Multiplex-Bild und Audio (Demux an AV) b7
TP116	/AV_DEMUX-AV_ERR	Daten-Fehler-Angabe
TP117	AV_DEMUX-V_AVALID	Audio-Abtastung gültig
TP118	AV_DEMUX-V_VVALID	Video-Abtastung gültig
TP119	/AV_DEMUX-AV_VREQ	Anforderung von Video-Abtastungen
TP120	/AV_DEMUX-AV_AREQ	Anforderung von Audio-Abtastungen
TP182	TOS	Test-Funktion
TP181	MOT / NOT INTEL	Bus-Betriebsart - Motorola (Pegel H) / Intel (Pegel L)
TP121	CLK_27_8	27 MHz Taktgeber-Eingang an AV-Chip
TP122	/AV_RESET	AV-Chip Rückstellung (aktiver Pegel L)
TP123	/INT_AV	Unterbrechung an CPU von AV-Chip (aktiver Pegel L)
TP124	/DSACK0	Steuerungs-Leitung für Bus-Übertragungs-Zeit
TP125	R/NW	Lesen (Pegel H) / Schreiben (Pegel L)
TP126	/DS	Datenimpulseingang (aktiver Pegel L)
TP127	/AS	Adressimpulseingang (aktiver Pegel L)
TP128	/CS_AV	AV-Chip-Auswahl (aktiver Pegel L)
TP129	/VSYNC_AV	Vertikale Synchronisierung in AV-Chip (aktiver Pegel L)
TP130	/HSYNC_AV	Horizontale Synchronisierung in AV-Chip (aktiver Pegel L)
TP131	OSD	Bildschirmanzeige vorhanden (aktiver Pegel H)
TP132	YC7_AV	Video-Ausgang 7 an integrierten Schaltkreis des Encoders
TP133	YC6_AV	Video-Ausgang 6 an integrierten Schaltkreis des Encoders
TP134	YC5_AV	Video-Ausgang 5 an integrierten Schaltkreis des Encoders
TP135	YC4_AV	Video-Ausgang 4 an integrierten Schaltkreis des Encoders
TP136	YC3_AV	Video-Ausgang 3 an integrierten Schaltkreis des Encoders
TP137	YC2_AV	Video-Ausgang 2 an integrierten Schaltkreis des Encoders
TP138	YC1_AV	Video-Ausgang 1 an integrierten Schaltkreis des Encoders
TP139	YC0_AV	Video-Ausgang 0 an integrierten Schaltkreis des Encoders
TP140	PLL_ACLK	PCM Audio-Überabtastungs-Taktgeber-Eingang vom integrierten PLL Schaltkreis
TP141	A_CLK	PCM Audio-Überabtastungs-Taktgeber-Ausgang
TP142	BCLK	PCM Abtastungs-Übertragungsgeschwindigkeit Audio-Taktgeber
TP143	LRCLK	PCM links/rechts Audio-Abtastungs-Identifizierungs-Signal
TP144	ASDATA	PCM Audio-Daten
TP179	SCAN_TE	Test-Eingang
TP183	ZTEST	Test-Eingang
TP145	AV_D15	SDRAM Daten 15
TP146	AV_D14	SDRAM Daten 14
TP147	AV_D13	SDRAM Daten 13
TP148	AV_D12	SDRAM Daten 12
TP149	AV_D11	SDRAM Daten 11
TP150	AV_D10	SDARM Daten 10
TP151	AV_D9	SDARM Daten 9
TP152	AV_D8	SDRAM Daten 8
TP180	SCLK	SDRAM 81MHz Taktgeber direkt vom AV-Chip
TP173	SCLK_B	SDRAM 81MHz Taktgeber nach Verbindungs-Widerstand
TP153	AV_A9	SDRAM Adresse 9
TP154	AV_A8	SDRAM Adresse 8
TP155	AV_A7	SDRAM Adresse 7
TP156	AV_A6	SDARM Adresse 6
TP157	AV_A5	SDRAM Adresse 5

Testpunkt	Netz-Name	Funktion
TP158	AV_A4	SDARM Adresse 4
TP159	AV_A3	SDRAM Adresse 3
TP160	AV_A2	SDRAM Adresse 2
TP161	AV_A1	SDRAM Adresse 1
TP162	AV_A0	SDRAM Adresse 0
TP163	AV_A10	SDRAM Adresse 10
TP164	AV_A11	SDRAM Adresse 11
TP165	/BCS1	SDRAM 1 Chip-Auswahl
TP166	/BCS0	SDRAM 0 Chip-Auswahl
TP167	/BRAS	RAS SDRAM Steuerung
TP168	/BCAS	CAS SDRAM Steuerung
TP169	/BWE	SDRAM Schreib-Freigabe
TP170	DQM	SDRAM Daten-Steuerungs-Maske
TP171	LP2	PLL Steuerung
TP174	PLLVDD	81MHz PLL lokale Stromversorgung
TP172	PLLVSS	81MHz PLL lokale Erde
TP178	LP2 (über Widerstand)	PLL Steuerung
TP177	GNDD	Digitale Erde
TP175	CKEA0	Taktgeber-Freigabe, SDRAM 0
TP176	CKEA1	Taktgeber-Freigabe, SDRAM 1
Blatt 2	CPU/Demux	
TP1155	5V M-PEG	5V MPEG Speisespannung
TP1040	5V_OSC	5V Speisespannung an 27MHz Schwingspannung
TP257	MCLK_SDC	27MHz Oszillator-Rückkopplung
TP243	27MHzCLK	27MHz Taktgeber
TP1034	27MHz OSC2	27MHz Schwingquarz
TP1032	27MHz OSC1	27MHz Schwingquarz
TP256	27MHzOUT	27MHz Oszillator-Ausgangs-Kollektor
TP254	CLK_27_OSCOUT	Vorgespannter 27 MHz Oszillator-Taktgeber-Ausgang an integrierten Puffer-Schaltkreis
TP997	CLK_27_0	27 MHz Oszillator-Taktgeber-Ausgang 0
TP229	CLK_27_1	27 MHz Oszillator-Taktgeber-Ausgang 1
TP998	CLK_27_2	27 MHz Oszillator-Taktgeber-Ausgang 2
TP999	CLK_27_3	27 MHz Oszillator-Taktgeber-Ausgang 3
TP263	CLK_27_4	27 MHz Oszillator-Taktgeber-Ausgang 4
TP262	CLK_27_5	27 MHz Oszillator-Taktgeber-Ausgang 5
TP226	CLK_27_6	27 MHz Oszillator-Taktgeber-Ausgang 6
TP225	CLK_27_7	27 MHz Oszillator-Taktgeber-Ausgang 7
TP224	CLK_27_8	27 MHz Oszillator-Taktgeber-Ausgang 8
TP223	CLK_27_9	27 MHz Oszillator-Taktgeber-Ausgang an CPU PLL
TP1067	PDATA_DIR	Steuerung für parallellen Datenübertragungsweg
TP218	MCLK_54	54MHz Taktgeber-Ausgang nach Widerstand
TP1061	MCLK_54_CPU	54MHz Taktgeber-Ausgang direkt auf integriertem Schaltkreis
TP1137	TCK_CPU	JTAG Taktgeber an CPU
TP1141	TCK_CPU	JTAG Taktgeber an CPU
TP264	TDI_CI_DRAMC_LLC	JTAG Daten-Eingang an DRAM
TP265	TMS_CI_DRAMC_LLC	JTAG Test-Betriebsart-Einstellung für DRAM Regler/IEEE 1394 LLC Chip
TP266	TDO_CI_DRAMC_LLC	JTAG Daten-Ausgang
TP267	TCK_CI_DRAMC_LLC	JTAG Taktgeber-Eingang
TP268	TRST_LLC	JTAG Rückstellungs-Eingang
TP215	TDI_CPU	JTAG Daten-Eingang an CPU
TP214	TDO_CPU	JTAG Daten-Ausgang an CPU
TP213	TMS_CPU	JTAG Test-Betriebsart-Einstellung für CPU
TP212	TCK_CPU	JTAG Taktgeber an CPU
TP211	TRST_CPU	JTAG Rückstellung an CPU
TP234	MPEG_TO_USER_IPL_B	MPEG an Benutzer-Interprozessor-Verbindungs-Daten
TP235	USER_TO_MPEG_IPL	Benutzer an MPEG Interprozessor-Verbindungs-Daten
TP220	18M_CLOCK_RESET	18MHz Taktgeber-Rückstellung
TP201	/CI_RESET	/CI_RÜCKSTELLUNG
TP203	/1EEE1394_RESET	/1EEE1394_RÜCKSTELLUNG
TP219	/OFFHOOK	Nicht nicht-aufgelegt erkannt
TP249	/PALENC_AV_RESET	PAL-Encoder-Rückstellung
TP248	NVM_WP#	NVM Schreibschutz
TP995	22KHZ_EN	22KHZ Freigabe-Stift
TP216	TS/NPES	Transportstrom-Auswahl
TP1105	ROM_SIZE	ROM_GRÖSSE

Testpunkt	Netz-Name	Funktion
TP233	/TS	Paket-Elementarstrom-Auswahl
TP1152	GNDD	Digitale Erde
TP1041	USER_RESET	BENUTZER_RÜCKSTELLUNG (von IPL)
TP221	/RESET	Nicht MPEG Rückstellung
TP244	MPEG_RESET	MPEG_RÜCKSTELLUNG
TP1097	USER_RESET	Basislaufwerk für Benutzer-Rückstellung (von IPL)
TP217	/USER_RESET_B	Nicht Benutzer-Rückstellung (von IPL)
TP1113	SC_DET_B	Chipkarten-Erkennung B
TP1104	SC0_C4	Chipkarten-Ausgang 4
TP1103	SC_RST0	Chipkarten-Rückstellung
TP1075	SC_DETECT0	Chipkarten-Erkennung O
TP1081	SC_CLK0	Chipkarten-Taktgeber-Ausgang
TP1102	SC0_C8	Chipkarten-Ausgang 8
TP1037	/CS_EPROM	Nicht Chip-Auswahl Eprom
TP1052	/OE_ROM	Nicht ROM Ausgangs-Freigabe
TP1151	GNDD	Digitale Erde
TP227	RY/NBY1	Flash 1 bereit/ nicht belegt
TP228	RY/NBY0	Flash 0 bereit/ nicht belegt
TP1100	/CS_FLASH0	Nicht Flash Chip-Auswahl 0
TP1048	/CS_FLASH1	Nicht Flash Chip-Auswahl 1
TP232	SC1_I/O	Chipkarten-Eingang/Ausgang 1
TP250	/CS_008	Nicht Chip-Auswahl 008
TP251	/BREQ	Bus-Anforderung
TP252	/BGACK	Bus-Erteilungs-Bestätigung
TP253	/INT_CI1	Unterbrechung der gemeinsamen Schnittstelle 1
TP255	/INT_1EEE1394	Unterbrechung von IEEE1394
TP258	/INT_CI2	Unterbrechung der gemeinsamen Schnittstelle 2
TP259	/INT_DRAMC	Unterbrechung des DRAM Reglers
TP260	/DMACK	DMA Bestätigung
TP261	/RESET	Nicht Rückstellung
TP1156	ACLK	Überabtastungs-Taktgeber
TP1150	/DMREQ	DMA Anforderung
TP231	/CS0	Nicht Chip-Auswahl 0
TP1106	/CS1	Nicht Chip-Auswahl 1
TP204	/IMPULSEINGANG	IEEE1284/IEEE1394 Datenimpulseingang
TP210	/AUTOFD	IEEE1284 universelle Steuerung
TP202	/INIT	IEEE1284 Anschlussgerät-Initialisierung
TP209	/SELECTIN	IEEE1284 Anschlussgerät-Auswahl-Anzeiger
TP269	1394OUT7	1394 AUSGANG 7
TP208	/1394OVAL	Nicht 1394 Ausgang gültig
TP207	BUSY	IEEE1284 Anschlussgerät belegt
TP206	PERROR	IEEE1284 Anschlussgerät-Fehler
TP205	SELECT	IEEE1284/IEEE1394 Anschlussgerät-Auswahl
TP200	/NFAULT	IEEE1284 Anschlussgerät-Fehler
TP230	MODEM_DTR	Modem-Datenstation bereit
TP236	MODEM_CTS	Modem sendebereit
TP237	MODEM_DSA	Modem betriebsbereit
TP238	MODEM_TO_CPU	Modem an CPU Daten
TP239	CPU_TO_MODEM	CPU an Modem-Daten
TP240	MODEM_RTS	Modem bereit zu senden
TP241	RS232_RX	RS232 empfangen
TP242	RS232_TX	RS232 übertragen
TP1063	RS232_RTS	RS232 bereit zu senden
TP1062	RS232_CTS	RS232 sendebereit
TP293	PD_A4	DRAM Adresse 4
TP292	PD_A5	DRAM Adresse 5
TP291	PD_A6	DRAM Adresse 6
TP290	PD_A7	DRAM Adresse 7
TP289	PD_A8	DRAM Adresse 8
TP288	/PD_RAS1	Nicht DRAM Zeilen-Adresse 1
TP287	/PD_CAS0H	Nicht DRAM Spalten-Adresse Pegel H
TP286	/PD_CAS0L	Nicht DRAM Spalten-Adresse Pegel L
TP285	PD_D8	DRAM Daten 8
TP284	PD_D9	DRAM Daten 9
TP283	PD_D10	DRAM Daten 10
TP282	PD_D11	DRAM Daten 11

Testpunkt	Netz-Name	Funktion
TP281	PD_D12	DRAM Daten 12
TP280	PD_D13	DRAM Daten 13
TP279	PD_D14	DRAM Daten 14
TP278	PD_D15	DRAM Daten 15
TP270	PD_D0	DRAM Daten 0
TP271	PD_D1	DRAM Daten 1
TP272	PD_D2	DRAM Daten 2
TP273	PD_D3	DRAM Daten 3
TP274	PD_D4	DRAM Daten 4
TP275	PD_D5	DRAM Daten 5
TP276	PD_D6	DRAM Daten 6
TP277	PD_D7	DRAM Daten 7
TP294	PD_A0	DRAM Adresse 0
TP295	PD_A1	DRAM Adresse 1
TP296	PD_A2	DRAM Adresse 2
TP297	PD_A3	DRAM Adresse 3
TP246	/PD_WEO	Nicht DRAM Schreib-Freigabe
TP247	/PD_RAS0	Nicht DRAM Zeilen-Adresse 0
TP1074	ZTEST	LSI Test-Stift
TP1069	LP2	CPU Taktgeber-Tiefpassfilter
TP222	LP2	CPU Taktgeber-Tiefpassfilter
TP299	PLLAGNDD	PLL Erde
TP298	PLLVDD_P	PLL 3V3 Versorgung
TP1153	3V3_MPEG	3V3 MPEG Speisespannung
TP1078	OPAMP	Op Amp Bezug
TP245	IREF	Op Amp Eingang (von CPU)
Blatt 4	Common Interface	
TP316	TS/NPES	Transportstrom-Auswahl
TP363	1394OUT0	1394 Ausgang 0
TP362	1394OUT1	1394 Ausgang 1
TP361	1394OUT2	1394 Ausgang 2
TP360	1394OUT3	1394 Ausgang 3
TP359	1394OUT4	1394 Ausgang 4
TP358	1394OUT5	1394 Ausgang 5
TP357	1394OUT6	1394 Ausgang 6
TP356	1394OUT7	1394 Ausgang 7
TP435	/IMPULSEINGANG	IEEE1284/IEEE1394 Datenimpulseingang
TP436	SELECT	IEEE1284/IEEE1394 Anschlussgerät-Auswahl
TP437	ERROR	IEEE1284/IEEE1394 Anschlussgerät-Fehler
TP424	TS_CI_DEMUX_0	MPEG Transport 0
TP425	TS_CI_DEMUX_1	MPEG Transport 1
TP426	TS_CI_DEMUX_2	MPEG Transport 2
TP427	TS_CI_DEMUX_3	MPEG Transport 3
TP428	TS_CI_DEMUX_4	MPEG Transport 4
TP429	TS_CI_DEMUX_5	MPEG Transport 5
TP430	TS_CI_DEMUX_6	MPEG Transport 6
TP431	TS_CI_DEMUX_7	MPEG Transport 7
TP432	TS_CI_DEMUX_CLK	Transport-Taktgeber
TP433	TS_CI_DEMUX_VALID	Transport gültig
TP434	TS_CI_DEMUX_ERR	Transport-Fehler
TP448	SW_PES_ERR	Fehler bei der Verteilung des laufenden Transports
TP447	SW_PES_EN	Freigabe der Verteilung des laufenden Transports
TP446	SW_PES_CLK	Taktgeber für Verteilung des laufenden Transports
TP445	SW_PES_7	Verteilung des laufenden Transports 7
TP444	SW_PES_6	Verteilung des laufenden Transports 6
TP443	SW_PES_5	Verteilung des laufenden Transports 5
TP442	SW_PES_4	Verteilung des laufenden Transports 4
TP441	SW_PES_3	Verteilung des laufenden Transports 3
TP440	SW_PES_2	Verteilung des laufenden Transports 2
TP439	SW_PES_1	Verteilung des laufenden Transports 1
TP438	SW_PES_0	Verteilung des laufenden Transports 0
TP318	CD2#_B	Nicht Karten-Erkennung CI 2
TP319	101S16#_	Nicht 8 oder 16 Bit Daten-Zugriff
TP320	MDO2_B	Transportstrom-Daten-Ausgang Bit 2
TP321	D2_B	CI 2 Datenübertragungsweg Bit 2

Testpunkt	Netz-Name	Funktion
TP322	MDO1_B	Transportstrom-Daten-Ausgang Bit 1
TP323	D1_B	CI 2 Datenübertragungsweg Bit 2
TP324	MDO0_B	Transportstrom-Daten-Ausgang Bit 0
TP325	D0_B	CI 2 Datenübertragungsweg Bit 0
TP326	MOSTR0_B	Transportstrom-Ausgangs-Paket-Start
TP327	A0_B	CI 2 Adressbus Bit 0
TP328	MOVAL_B	Transportstrom-Ausgangs-Paket gültig
TP329	A1_B	CI 2 Adressbus Bit 1
TP330	REG#_B	CI 2 Register-Auswahl
TP331	A2_B	CI 2 Adressbus Bit 2
TP332	INPACK#_B	CI 2 Bestätigung der Daten-Übertragung
TP333	A3_B	CI 2 Adressbus Bit 3
TP334	WAIT#_B	CI 2 Erweiterte Daten-Übertragung
TP335	A4_B	CI 2 Adressbus Bit 4
TP336	RESET_B	CI 2 Rückstellung von Modul CPU
TP337	A5_B	CI 2 Adressbus Bit 5
TP338	MCLKO_B	CI 2 Transportstrom-Paket-Taktgeber-Ausgang
TP339	A6_B	CI 2 Adressbus Bit 6
TP340	A7_B	CI 2 Adressbus Bit 7
TP341	MD16_B	CI 2 Transportstrom-Daten in Bit 6
TP342	A12_B	CI 2 Adressbus Bit 12
TP343	MD15_B	CI 2 Transportstrom-Daten in Bit 5
TP344	MCLK1	CI 2 Transportstrom-Paket-Taktgeber-Eingang
TP345	MD14_B	CI 2 Transportstrom-Daten in Bit 4
TP346	MIVAL_B	CI 2 Transportstrom-Paket gültig in
TP347	MD13_B	CI 2 Transportstrom-Daten in Bit 3
TP348	IREQ#_B	CI 2 Unterbrechung der Anforderung vom Modul
TP349	MD12_B	CI 2 Transportstrom-Daten in Bit 2
TP368	WE#_B	CI 2 Modul-Speicher-Schreib-Freigabe
TP369	MD11_B	CI 2 Transportstrom-Daten in Bit 1
TP370	A14_B	CI 2 Adressbus Bit 14
TP371	MD10_B	CI 2 Transportstrom-Daten in Bit 0
TP380	A13_B	CI 2 Adressbus Bit 13
TP381	M1STRT_B	CI 2 Transportstrom-Paket-Start-Eingang
TP382	A8_B	CI 2 Adressbus Bit 8
TP383	IOWR#_B	CI 2 Modul-Schreib-Freigabe
TP384	A9_B	CI 2 Adressbus Bit 9
TP385	IORD#_B	CI 2 Modul-Lese-Freigabe
TP386	A11_B	CI 2 Adressbus Bit 11
TP387	VS1#_B	CI 2 Modul-Spannungfühler-Stift 1
TP389	OE#_B	CI 2 Modul-Speicher-Ausgangs-Freigabe
TP390	CE2#_B	CI 2 Modul-Freigabe 2
TP391	A10_B	CI 2 Adressbus Bit 10
TP392	MDO7_B	CI 2 Transportstrom-Daten-Ausgang Bit 7
TP393	CE1#_B	CI 2 Modul-Freigabe 1
TP394	MDO6_B	CI 2 Transportstrom-Daten-Ausgang Bit 6
TP395	D7_B	CI 2 Datenübertragungsweg Bit 7
TP396	MDO5_B	CI 2 Transportstrom-Daten-Ausgang Bit 5
TP397	D8_B	CI 2 Datenübertragungsweg Bit 8
TP398	MDO4_B	CI 2 Transportstrom-Daten-Ausgang Bit 4
TP399	D5_B	CI 2 Datenübertragungsweg Bit 5
TP402	MDO3_B	CI 2 Transportstrom-Daten-Ausgang Bit 3
TP461	/CI_RESET_B	CI 2 Schnittstellen-Chip-Rückstellung
TP462	/CONFIG_CI	CI Konfiguration des Steuerungs-Eingangs
TP464	VCC5_EN_B	CI 2 Freigabe VCC an 5V
TP465	VCC3_EN_B	CI 2 Freigabe VCC an 3V3
TP467	EN1_B	CI 2 VPP Freigabe 1
TP400	1_FLAG_B	CI 2 Fehler-Anzeige IC403
TP468	INIT_DONE_B	CI Initialisierung beendet
TP367	RDNBSY_B	CI 2 Leitung für Konfiguration bereit
TP366	CLKUSR_B	CI 2 Taktgeber für wahlweise Initialisierung
TP469	NCS_B	CI 2 Chip-Auswahl aktiver Pegel L
TP470	CS_B	CI 2 Chip-Auswahl aktiver Pegel H
TP471	NWS_B	CI 2 Schreib-Impulseingang
TP472	NRS_B	CI 2 Lese-Impulseingang
TP473	DEV_OE_B	CI 2 Freigabe der Ausgänge an Dreistufen

Testpunkt	Netz-Name	Funktion
TP474	DCLK_CI	CI Konfigurations-Daten-Taktgeber
TP475	DEV_CLRN_B	CI 2 Freigabe der Register-Löschung
TP377	BCLKOUT	Transportstrom-Paket-Taktgeber von FE an CI 1
TP379	DVALIDOUT	Transportstrom-Paket gültig von FE an CI 1
TP378	FSTARTOUT/NOT_EPROM	Transportstrom-Paket-Start von FE an CI 1
TP403	TS_A_B_0	Transportstrom-Daten CI 1 an CI 2 Bit 0
TP404	TS_A_B_1	Transportstrom-Daten CI 1 an CI 2 Bit 1
TP405	TS_A_B_2	Transportstrom-Daten CI 1 an CI 2 Bit 2
TP406	TS_A_B_3	Transportstrom-Daten CI 1 an CI 2 Bit 3
TP407	TS_A_B_4	Transportstrom-Daten CI 1 an CI 2 Bit 4
TP408	TS_A_B_5	Transportstrom-Daten CI 1 an CI 2 Bit 5
TP409	TS_A_B_6	Transportstrom-Daten CI 1 an CI 2 Bit 6
TP410	TS_A_B_7	Transportstrom-Daten CI 1 an CI 2 Bit 7
TP411	TS_A_B_MCLK	Transportstrom-Paket-Taktgeber CI 1 an CI 2
TP422	TS_A_B_MVAL	Transportstrom-Paket gültig CI 1 an CI 2
TP423	TS_A_B_MSTRT	Transportstrom-Paket-Start CI 1 an CI 2
TP480	TS2_IN_MSTRT	Transportstrom-Paket-Start IEEE1394 an CI 1
TP481	TS2_IN_MVAL	Transportstrom-Paket gültig IEEE1394 an CI 1
TP482	TS2_IN_MCLK	Transportstrom-Paket-Taktgeber IEEE1394 an CI 1
TP483	TS2_IN_7	Transportstrom-Daten IEEE1394 an CI 1 Bit 7
TP484	TS2_IN_6	Transportstrom-Daten IEEE1394 an CI 1 Bit 6
TP485	TS2_IN_5	Transportstrom-Daten IEEE1394 an CI 1 Bit 5
TP486	TS2_IN_4	Transportstrom-Daten IEEE1394 an CI 1 Bit 4
TP487	TS2_IN_3	Transportstrom-Daten IEEE1394 an CI 1 Bit 3
TP488	TS2_IN_2	Transportstrom-Daten IEEE1394 an CI 1 Bit 2
TP489	TS2_IN_1	Transportstrom-Daten IEEE1394 an CI 1 Bit 1
TP490	TS2_IN_0	Transportstrom-Daten IEEE1394 an CI 1 Bit 0
TP412	CPU_D0	Haupt-CPU-Datenübertragungsweg Bit 0
TP413	CPU_D1	Haupt-CPU-Datenübertragungsweg Bit 1
TP414	CPU_D2	Haupt-CPU-Datenübertragungsweg Bit 2
TP415	CPU_D3	Haupt-CPU-Datenübertragungsweg Bit 3
TP416	CPU_D4	Haupt-CPU-Datenübertragungsweg Bit 4
TP417	CPU_D5	Haupt-CPU-Datenübertragungsweg Bit 5
TP418	CPU_D6	Haupt-CPU-Datenübertragungsweg Bit 6
TP419	CPU_D7	Haupt-CPU-Datenübertragungsweg Bit 7
TP420	CPU_D8	Haupt-CPU-Datenübertragungsweg Bit 8
TP421	CPU_D9	Haupt-CPU-Datenübertragungsweg Bit 9
TP449	CPU_D10	Haupt-CPU-Datenübertragungsweg Bit 10
TP450	CPU_D11	Haupt-CPU-Datenübertragungsweg Bit 11
TP451	CPU_D12	Haupt-CPU-Datenübertragungsweg Bit 12
TP452	CPU_D13	Haupt-CPU-Datenübertragungsweg Bit 13
TP453	CPU_D14	Haupt-CPU-Datenübertragungsweg Bit 14
TP454	CPU_D15	Haupt-CPU-Datenübertragungsweg Bit 15
TP455	CPU_A0	Haupt-CPU-Adresse Bit 0
TP463	CPU_A1	Haupt-CPU-Adresse Bit 1
TP494	CPU_A2	Haupt-CPU-Adresse Bit 2
TP495	CPU_A3	Haupt-CPU-Adresse Bit 3
TP496	CPU_A4	Haupt-CPU-Adresse Bit 4
TP497	CPU_A5	Haupt-CPU-Adresse Bit 5
TP498	CPU_A6	Haupt-CPU-Adresse Bit 6
TP499	CPU_A7	Haupt-CPU-Adresse Bit 7
TP300	CPU_A8	Haupt-CPU-Adresse Bit 8
TP301	CPU_A9	Haupt-CPU-Adresse Bit 9
TP302	CPU_A10	Haupt-CPU-Adresse Bit 10
TP303	CPU_A11	Haupt-CPU-Adresse Bit 11
TP304	CPU_A12	Haupt-CPU-Adresse Bit 12
TP305	CPU_A13	Haupt-CPU-Adresse Bit 13
TP306	CPU_A14	Haupt-CPU-Adresse Bit 14
TP307	CPU_A15	Haupt-CPU-Adresse Bit 15
TP308	CPU_A16	Haupt-CPU-Adresse Bit 16
TP309	CPU_A17	Haupt-CPU-Adresse Bit 17
TP310	CPU_A18	Haupt-CPU-Adresse Bit 18
TP311	CPU_A19	Haupt-CPU-Adresse Bit 19
TP312	CPU_A20	Haupt-CPU-Adresse Bit 20
TP313	CPU_A21	Haupt-CPU-Adresse Bit 21

Testpunkt	Netz-Name	Funktion
TP314	CPU_A22	Haupt-CPU-Adresse Bit 22
TP315	CPU_A23	Haupt-CPU-Adresse Bit 23
TP350	NCEO_A	CI 1 Freigabe für Konfiguration beendet
TP351	EN1_A	CI 1 VPP Freigabe 1
TP352	EN0_A	CI 1 VPP Freigabe 0
TP353	VCC3_EN_A	CI 1 VCC 3V3 Freigabe
TP354	VCC5_EN_A	CI 1 VCC 5V Freigabe
TP401	I_FLAG_A	CI 1 Fehler-Anzeige IC401
TP365	INIT_DONE_A	CI 1 Initialisierung beendet
TP364	RDNBSY_A	CI 1 Leitung für Konfiguration bereit
TP372	CLKUSR_A	CI 1 wahlweiser Initialisierungs-Taktgeber
TP355	CONF_DONE_C1	CI Konfiguration bereit/beendet
TP456	RESET_A	CI 1 Rückstellung von Modul CPU
TP457	A4_A	CI 1 Adressbus Bit 4
TP373	A2_A	CI 1 Adressbus Bit 2
TP374	A_PLL_2	Audio PLL-Auswahl 2
TP458	DATA_CI	CI Konfigurationsdaten
TP375	DEV_CLRN_A	CI 1 Freigabe für Registerlöschung
TP459	/CS_1EEE1394	Chip-Auswahl IEEE1394 LLC
TP460	/CS_CI_B	Chip-Auswahl CI 2
TP376	CD7	Transportstrom-Daten FE an CI 1 Bit 7
TP493	CD6	Transportstrom-Daten FE an CI 1 Bit 6
TP492	CD5	Transportstrom-Daten FE an CI 1 Bit 5
TP491	CD4	Transportstrom-Daten FE an CI 1 Bit 4
TP479	CD3	Transportstrom-Daten FE an CI 1 Bit 3
TP478	CD2	Transportstrom-Daten FE an CI 1 Bit 2
TP477	CD1	Transportstrom-Daten FE an CI 1 Bit 1
TP476	CD0	Transportstrom-Daten FE an CI 1 Bit 0
Blatt 5	Video/Audio Output	
TP504	SCRESET/RTC	Rückstellung des Unterträgers/ Betriebsart für Echtzeitsteuerung
TP515	TTXREQ	Teletext-Daten-Anforderung Signal
TP514	TTXDATA	Teletext-Daten-Eingang
TP516	RSET	Einstellung für Video-Signal-Amplitude in voller Größe
TP500	/VSYNC_AV	Vertikalimpuls
TP502	ALSB	TTL Adressen-Eingang
TP513	I^2C_ADDRESS	I^2C_ADRESSE
TP503	/PALENC_AV_RESET	/PALENC_AV_RÜCKSTELLUNG
TP512	COMP	PAL-Encoder-Komparator-Eingang
TP528	VREF	PAL-Encoder-Vergleichsspannung
TP544	SCL	I^2C Taktgeber
TP548	SDA	I^2C Daten
TP506	R/C	Rot-/Chrominanz-Ausgang vom PAL-Encoder
TP507	G/Y	Grün-/Luminanz-Ausgang vom PAL-Encoder
TP508	B/CVBS	Blau-/CVBS Ausgang vom PAL-Encoder
TP509	CVBS	CVBS Ausgang vom PAL-Encoder
TP535	CVBS_F	CVBS Ausgang nach 1. Filter
TP539	CVBS_F	CVBS Ausgang nach 2. Filter
TP540	CVBS_F	CVBS Eingang an Basis des Ausgangs-Treibers
TP541	CVBS	CVBS/Luminanz Ausgang vom Treiber
TP532	CVBS/Y_DIG	CVBS Ausgang
TP545	9V_OUTPUT	9V Versorgung für Ausgangs-Treiber
TP546	GNDA_OUTPUT	Analoge Erde
TP511	B/CVBS	Blau-/CVBS Eingang an Basis des Ausgangs-Treibers
TP538	B/CVBSOP	Blau-/CVBS Ausgang des Treibers
TP533	B/CVBSOUT	Blau-/CVBS Ausgang
TP536	G/Y	Grün/Luminanz-Eingang an Basis des Ausgangs-Treibers
TP537	G/Y	Grün/Luminanz-Ausgang des Treibers
TP547	G/Y_DIG	digitaler Grün/Luminanz-Ausgang nach Abbruch
TP531	R/C	Rot-/Chrominanz-Eingang an Basis des Ausgangs-Treibers
TP542	R/C_DIG	Rot-/Chrominanz-Ausgang vom Treiber
TP534	R/C_DIG	digitaler Rot-/Chrominanz-Ausgang nach Abbruch
TP505	5VADAC	5V Speisespannung für Audio Digital-Analog-Wandler
TP529	AOUTL	linker Ausgang von Audio Digital-Analog-Wandler
TP530	AOUTR	rechter Ausgang von Audio Digital-Analog-Wandler
TP526	AOUTL	Linker Audio Ausgang

Testpunkt	Netz-Name	Funktion
TP527	AOUTR	Rechter Audio Ausgang
TP510	PIN8_ENABLE	Freigabe von Stift 8
Blatt 6	IEEE1394	
TP601	TDO_I_DRAMC_LLC	JTAG
TP619	CNTNDA	IEEE1394
TP600	TMS_CI_DRAMC_LLC	JTAG
TP620	TDO_CI_DRAMC_LLC	JTAG
TP618	/ISO	IEEE1394
TP617	BDOAVAIL	IEEE1394
TP616	BDIBUSY	IEEE1394
TP615	CYCLEIN/SE	IEEE1394
TP614	BDOF0	IEEE1394
TP613	BDOF1	IEEE1394
TP612	BDOF2	IEEE1394
TP611	TS2_IN_MIVAL	Transportstrom-Paket gültig IEEE1394 an CI1
TP603	MCCTL0	IEEE1394
TP621	MCCTL1	IEEE1394
TP604	RDY	IEEE1394
TP622	/INT_IEEE1394	IEEE1394
TP605	SW_PES_CLK	IEEE1394
TP606	SW_PES_EN	IEEE1394
TP623	SCKEN	IEEE1394
TP607	TRST_LLC	IEEE1394
TP608	BDIF0	IEEE1394
TP609	BDIF1	IEEE1394
TP610	BDIF2	IEEE1394
TP667	5V_MPEG	5V MPEG Stromversorgung
TP625	LREQ	IEEE1394
TP626	SYSCLK	IEEE1394
TP627	CTL0	IEEE1394
TP628	CTL1	IEEE1394
TP629	D0_1394	IEEE1394
TP630	D1_1394	IEEE1394
TP631	D2_1394	IEEE1394
TP632	D3_1394	IEEE1394
TP664	D0_1394	IEEE1394
TP665	SYSCLK	IEEE1394
TP660	LREQ	IEEE1394
TP663	STAT0	IEEE1394
TP646	STAT0	IEEE1394
TP648		IEEE1394
TP654	ISO	IEEE1394
TP659	/PHY_RESET	IEEE1394
TP661	CTL_0	IEEE1394
TP662	CTL_1	IEEE1394
TP647	PHY_POWER	IEEE1394 Stromversorgung für physische Verbindung
TP643		IEEE1394
TP644		IEEE1394
TP649	OSC2	24.576MHz TAKTGEBER
TP650	OSC1	24.576MHz TAKTGEBER
TP653	PHY_POWER	IEEE1394 Stromversorgung für physische Verbindung
TP633		IEEE1394
TP634		IEEE1394
TP635	TPA1+	IEEE1394
TP636	TPA2-	IEEE1394
TP637	TPB1+	IEEE1394
TP638	TPB1-	IEEE1394
TP652	MPC11 1394	IEEE1394
TP651	MPC11 1394	IEEE1394
TP641	TPA2+	IEEE1394
TP640	TPA2-	IEEE1394
TP639	TPA2+	IEEE1394
VTP642	TPA2-	IEEE1394
TP624	CNA	IEEE1394
TP655	PC0	IEEE1394

Testpunkt	Netz-Name	Funktion
TP656	PC1	IEEE1394
TP657	PC2	IEEE1394
TP645	CPS	IEEE1394
TP666	CPS	IEEE1394
Sheet7	Externer DRAM Controller	
TP735	SIZ0	DRAM Regler Datengröße 0
TP733	CPU_D13	CPU Daten 13
TP734	/CS_DRAMC	Chip-Auswahl DRAM Regler (Externer DRAM)
TP706	CLK_27_1	27 MHz Taktgeber
TP700	EBM_D0	Datenübertragungsweg DRAM Regler an DRAM Bit 0 (Externer DRAM)
TP701	EBM_D1	Datenübertragungsweg DRAM Regler an DRAM Bit 1 (Externer DRAM)
TP702	EBM_D2	Datenübertragungsweg DRAM Regler an DRAM Bit 2 (Externer DRAM)
TP703	EBM_D3	Datenübertragungsweg DRAM Regler an DRAM Bit 3 (Externer DRAM)
TP704	EBM_D4	Datenübertragungsweg DRAM Regler an DRAM Bit 4 (Externer DRAM)
TP705	EBM_D5	Datenübertragungsweg DRAM Regler an DRAM Bit 5 (Externer DRAM)
TP707	EBM_D6	Datenübertragungsweg DRAM Regler an DRAM Bit 6 (Externer DRAM)
TP708	EBM_D7	Datenübertragungsweg DRAM Regler an DRAM Bit 7 (Externer DRAM)
TP709	EBM_D8	Datenübertragungsweg DRAM Regler an DRAM Bit 8 (Externer DRAM)
TP710	EBM_D9	Datenübertragungsweg DRAM Regler an DRAM Bit 9 (Externer DRAM)
TP711	EBM_D10	Datenübertragungsweg DRAM Regler an DRAM Bit 10 (Externer DRAM)
TP712	EBM_D11	Datenübertragungsweg DRAM Regler an DRAM Bit 11 (Externer DRAM)
TP713	EBM_D12	Datenübertragungsweg DRAM Regler an DRAM Bit 12 (Externer DRAM)
TP714	EBM_D13	Datenübertragungsweg DRAM Regler an DRAM Bit 13 (Externer DRAM)
TP715	EBM_D14	Datenübertragungsweg DRAM Regler an DRAM Bit 14 (Externer DRAM)
TP716	TDO_I_DRAMC_LLC	JTAG Test-Daten-Ausgang
TP717	EBMA0	Adressbus DRAM Regler an DRAM Bit 0 (Externer DRAM)
TP718	EBMA1	Adressbus DRAM Regler an DRAM Bit 1 (Externer DRAM)
TP719	EBMA2	Adressbus DRAM Regler an DRAM Bit 2 (Externer DRAM)
TP720	EBMA3	Adressbus DRAM Regler an DRAM Bit 3 (Externer DRAM)
TP721	EBMA4	Adressbus DRAM Regler an DRAM Bit 4 (Externer DRAM)
TP722	EBMA5	Adressbus DRAM Regler an DRAM Bit 5 (Externer DRAM)
TP723	EBMA6	Adressbus DRAM Regler an DRAM Bit 6 (Externer DRAM)
TP724	EBMA7	Adressbus DRAM Regler an DRAM Bit 7 (Externer DRAM)
TP725	EBMA8	Adressbus DRAM Regler an DRAM Bit 8 (Externer DRAM)
TP726	EBMA9	Adressbus DRAM Regler an DRAM Bit 9 (Externer DRAM)
TP716	TDO_I_DRAMC_LLC	JTAG Test-Daten-Ausgang
TP727	EBM_D15	Datenübertragungsweg DRAM Regler an DRAM Bit 15 (Externer DRAM)
TP728	EBOE	DRAM Daten-Ausgangs-Freigabe (Externer DRAM)
TP729	EBRAS1	DRAM Zeilen-Adressen-Auswahl (Externer DRAM)
TP730	EBCAS0	DRAM Spalten-Adressen-Auswahl 0 (Externer DRAM)
TP731	EBCAS1	DRAM Spalten-Adressen-Auswahl 1 (Externer DRAM)
TP732	EBWE1	DRAM Daten-Schreib-Freigabe (Externer DRAM)

STECKER-SPEZIFIKATION

ALLGEMEINES

Die Verbindungen zum/vom Digital-Modul sind identisch für IDTV und STB Anwendungen.
Die Stecker, die die Eingangs-Flachbaugruppe oder die MPEG-Flachbaugruppe mit dem STB Motherboard, der IDTV-Analog-Flachbaugruppe oder der Chipkarten-Unterschaltplatte verbinden, benutzen 1mm FFC Stecker und Kabel mit Ausnahme des Gleichstrom-Hauptsteckers, der ein 2,5mm Durchgangslochsystem benutzt.
Alle Verbindungen zwischen den Eingangs- und MPEG-Flachbaugruppen benutzen 1mm FFC Kabel und Stecker.

VERBINDUNGEN ZWISCHEN GRUNDPLATTE/MOTHERBOARD UND EINGANGS-FLACHBAUGRUPPE (FÜR KOMPLETTES MODUL).

Ein 2,5mm Abstand Stecker wird benutzt.
Stecker: PL801 Eingang 9-Weg mit rechtwinkligen Anschlüssen - JST EH Serie
E5101 Motherboard 9-Weg mit geraden Anschlüssen - JST EH Serie

Signal- name	Spannung	Strom	Von	An	Zahl der Anschlussstifte	Stift-Nummer
30V	30V (geschaltet)	20mA	PSU	Eingang	1	1
5V	5V (geschaltet)	0,8A typisch 1,5A maximal	PSU	Eingang	2	3, 4
3V3	3,3V (geschaltet)	2,0A typisch 2,5A maximal	PSU	Eingang	2	7, 8
GND	GND		PSU	Eingang	4	2, 5, 6, 9
Insgesamt benötigte Stifte					9	

STECKER A2 - STROMVERSORGUNG

Verbindungen zwischen Grundplatte/Motherboard und Eingangs-Flachbaugruppe (für komplettes Modul).
Ein 1mm FFC und Stecker wurden benutzt.
Stecker:
PL802 Eingang 4-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-0490 - terrestrisch
7-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-0790 - Satellit
E5102 Motherboard 4-Weg mit geraden Anschlüssen - JST Typ 04FMN-BTRK

Signal-name	Spannung	Strom	Von	An	Zahl der Anschluss-stifte	Stift-Nummer
9V	9V (geschaltet)	90mA	PSU	Ein-gang	1	1
+12V	12V (geschaltet)	100mA (einschl. Gebläse, falls vorhanden)	PSU	Ein-gang	1	2
+5V-BEREITSCHAFT	5V (nicht geschaltet, * siehe Anmerkung 4)	20mA/0,6mA	Ein-gang	PSU	1	4
22 KHZ AUS	22kHz Signal (an Netzteil), * siehe Anmerkungen 2, 3	Nicht anwendbar	Ein-gang	PSU	1	5
13/18V	LNB Versorgung 13/18V mit 22kHz wie erforderlich (von Netzteil)	400mA typisch	PSU	Ein-gang	1	7
GND	GND		PSU	Ein-gang	2	3, 6
Insgesamt benötigte Stifte					4 Terrestrisch, 7 Satellit	

Anmerkung 1: 4-Weg Stecker wird für terrestrisch benutzt, 7-Weg für Satellit.
Anmerkung 2: Dieses Signal wird weiter unten in Anmerkung 4 in bezug auf Stecker E näher definiert.
Anmerkung 3: Die 22kHz werden vom MPEG Prozessor ein- und ausgeschaltet und moduliert, wie es für DiSeQC erforderlich ist.
Anmerkung 4: Die PLD integrierten Schaltkreise benötigen ein wenig statischen Strom, um die Chip-Inhalte in Bereitschaft zu halten, damit es nicht nötig ist, beim Verlassen der Bereitschaft neu zu programmieren.

STECKER B - CHIPKARTE

Verbindungen zwischen MPEG-Flachbaugruppe und Grundplatte/Motherboard oder Kartenleser-Schaltplatte
Ein 1mm FFC und Stecker wurden benutzt.
Stecker: PL204 MPEG 12-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-1290
E210 Kartenleser 12-Weg mit geraden Anschlüssen - JST Typ 12FMN-BTRK

Funktion	Zahl der Anschlussstifte	Stift-Nummern
CARD_C8	1	1
CARD_C4	1	2
CARD_I/O	1	3
CARD_CLK	1	5
CARD_RESET	1	7
CARD_VCC	1	8
SC-Detect_0	1	10
CARD_3V3	1	11
CARD_5V	1	12
GNDD	3	4, 6, 9
Insgesamt benötigte Stifte		12

STECKER C1 - VIDEO

Verbindungen zwischen MPEG-Flachbaugruppe und Grundplatte/Motherboard.
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL501 MPEG 10-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-1090
E5206 Motherboard 10-Weg mit geraden Anschlüssen - JST Typ 10FMN-BTRK

Funktion	Netz-name	Von/an	Zahl der Anschlussstifte	Stift-Nummern
Bildaustast-Synchronsignal (75R) (PAL/NTSC)/Luminanz	CVBS/Y_DIG	Modul an Grundplatte/ Motherboard	1	3
Rot-Komponente/Chrominanz	R/C_DIG	Modul an Grundplatte/ Motherboard	1	9
G-Komponente/(Luminanz)	G/Y_DIG	Modul an Grundplatte/ Motherboard	1	7
B-Komponente/(Bildaustast-Synchronsignal)	B/CVBS_DIG	Modul an Grundplatte/ Motherboard	1	5
9V Ausgangs-Versorgung	9V-MPEG	Grundplatte/ Motherboard an Modul	1	1
GND	GNDA		5	2, 4, 6, 8, 10
Insgesamt benötigte Stifte			10	

STECKER C2 - AUDIO

Verbindungen zwischen MPEG-Flachbaugruppe und Grundplatte/Motherboard.
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL500 MPEG 5-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-0590
E5207 Motherboard 5-Weg mit geraden Anschlüssen - JST Typ 05FMN-BTRK

Funktion	Von/an	Zahl der Anschlussstifte	Stift-Nummern
Audio L	Modul an Grundplatte/Motherboard	1	1
Audio R	Modul an Grundplatte/Motherboard	1	3
GNDA	Analog-Erde	2	2, 4
Stift 8 -aktivieren	Modul an Grundplatte/Motherboard	1	5
Insgesamt benötigte Stifte		5	

STECKER D - STEUERSIGNALE

Verbindungen zwischen MPEG-Flachbaugruppe und Grundplatte/Motherboard.
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL203 MPEG 4-Weg Rechtwinklige Oberflächenmontagetechnik - Molex Typ 52207-0490
E5280 Motherboard 4-Weg mit geraden Anschlüssen - JST Typ 04FMN-BTRK

Funktion	Von	An	Zahl der Verbindungen	Stift-Nummern
USER_RESET	TV	MPEG	1 (Bereitstellung)	1
USER_TO_MPEG_IPL	TV	MPEG	1	3
MPEG_TO_USER_IPL	MPEG	TV	1	4
GNDD			1	2
Insgesamt benötigte Stifte			4	

STECKER E - CONTROL

Verbindungen und RS232-Verbindungen zwischen MPEG-Flachbaugruppe und Eingangs-Flachbaugruppe (intern an Modul).
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL200 MPEG 16-Weg gerade Oberflächenmontagetechnik - JST Typ 16FMN-BMT-TF
PL809 Eingang 16-Weg gerade Oberflächenmontagetechnik - JST Typ 16FMN-BMT-TF

Signalname	Funktion	Zahl der Anschlussstifte	Stift-Nummern
MODEM_DTR	Modem ‘AT’ signalisiert DTR	1 (Bereitstellung)	2
NVM_WP#	NVM Schreibschutz	1	3
MODEM_CTS	Modem ‘AT’ signalisiert CTS	1	4
MODEM_DSR	Modem ‘AT’ signalisiert DSR	1 (Bereitstellung)	5
/OFFHOOK	/OFFHOOK Signal von Modem	1	6
MODEM_to_CPU	Modem ‘AT’ signalisiert Tx	1	7
CPU_to_MODEM	Modem ‘AT’ signalisiert Rx	1	8
MODEM_RTS	Modem ‘AT’ signalisiert RTS	1	9
RS232_RX	RS232 Rx	1	10
RS232_TX	RS232 Tx	1	11
RS232_RTS	RS232 RTS	1	12
RS232_CTS	RS232 CTS	1	13
22KHZ_EN	22kHz LNB aktivieren/Modulation, siehe Anmerkung 5	1	15
GND		3	1, 14, 16
Insgesamt benötigte Stifte			16

Anmerkung 5: Eine einzige diskrete NAND Gatterfunktion wird benötigt, um das 22kHz Signal zum Netzteil zu steuern. Dies kann auf zweierlei Weise benutzt werden:

- Um das Signal einfach ein-/auszuschalten – normale Betriebsart
- Um die DiSEqC Modulation mit der Ein-/Ausschaltfunktion auszuführen – nur bei der Programmauswahl und nur wenn die DiSEqC Möglichkeit aktiviert ist.

Der MPEG CPU führt die Ein-/Ausschaltfunktion und die DiSEqC Modulation der 22kHz durch einen Anschluss-Ausgang aus. Siehe auch Anmerkungen 2, 3 in Verbindung mit Stecker A2.

STECKER F - DATENSTROM

Verbindungen zwischen Eingangs-Flachbaugruppe und MPEG-Flachbaugruppe (intern an Modul).
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL400 MPEG 14-Weg gerade Oberflächenmontagetechnik - JST Typ 14FMN-BMT-TF
PL804 Eingang 14-Weg gerade Oberflächenmontagetechnik - JST Typ 14FMN-BMT-TF

Funktion	Geschätzter Strom	Zahl der Anschlussstifte	Stift-Nummer
CD0		1	2
CD1		1	3
CD2		1	4
CD3		1	5
CD4		1	6
CD5		1	7
CD6		1	8
CD7		1	9
BCLKOUT		1	11
DVALIDOUT		1	13
FSTARTOUT/notERROROUT		1	14
GND		3	1, 10, 12
Insgesamt benötigte Stifte		14	

STECKER G – INTERNE STROMVERSORGUNGS-VERBINDUNG

Verbindungen von Eingangs-Flachbaugruppe an MPEG-Flachbaugruppe (intern an Modul).
1mm FFC Kabel und Stecker wurden benutzt.
Stecker: PL202 MPEG 18-Weg gerade Oberflächenmontagetechnik - JST Typ 18FMN-BMT-TF
PL803 Eingang 18-Weg gerade Oberflächenmontagetechnik - JST Typ 18FMN-BMT-TF

Spannung	Stift-Beschreibung	Strom	Zahl der Verbindungen	Stift-Nummer
5V_MPEG			2	1, 2
3,3V_MPEG			3	6, 7, 8
12V_MPEG			1	10
GND			5	3, 4, 9, 13, 17, 18
SDA	I2C Bus		1	11
SCL	I2C Bus		1	12
RESET#	Haupt-MPEG-CPU-Rückstellung		1	14
18M_CLK_RESET	COFDM 18-54MHz PLL Rückstellung		1	15
TUNER_RESET	Nur Tuner Rückstellung		1	16
5-PLD-MPEG	Bereitschaft 5V		1	5
Insgesamt benötigte Stifte			18	

STECKER H - MOTHERBOARD AN BEDIENUNGSKONSOLE

Verbindungen zwischen Grundplatte/Motherboard und Bedienungskonsole. Es ist ein 2mm Abstand gereihter unverlierbarer Stecker auf Motherboard und Bedienungskonsole.
Stecker: Motherboard E5281 Stecker Typ JST 13DS - 8E
Bedienungskonsole E1 Stecker Typ JST 13DS - 8E

Funktion	Zahl der Verbindungen	Stift-Nummer
Strobe 1 / Bereitschaft LED	1	1
Strobe 2 / Strom LED	1	2
Strobe 3 / IR Befehle erhalten LED	1	3
Strobe 4 / Online LED	1	4
Keyscan 0 - Eingang	1	5
Keyscan 1 - Eingang	1	6
Keyscan 2 - Eingang	1	7
IR Erkennung	1	9
Keyscan 4 - Ausgang	1	10
Keyscan 5 - Ausgang	1	11
Keyscan 6 - Ausgang	1	12
5V	1	13
GNDD	1	8
Gesamtzahl der Stifte	13	

STECKER J - MOTHERBOARD AN BEDIENUNGSKONSOLE

Siehe Anmerkung 9
Verbindungen zwischen Grundplatte/Motherboard und Bedienungskonsole. Es ist ein 2,0mm Abstand gereihter Stecker auf dem Motherboard (siehe Anmerkung 7) und ein unverlierbarer Stecker auf der Bedienungskonsole, falls in Gebrauch.
Stecker: E5283 (DSTB)

Funktion	Zahl der Verbindungen	Stift-Nummer
GNDD	2	1, 6
KEYSCAN3 Anmerkung 8	1	2
Frei	1	3
SDA	1	4
SCL	1	5
Frei	1	7
Frei	1	8
Gesamtzahl der Stifte		8

Anmerkung 8: Im Augenblick nicht benutzt, diese Leitungen erlauben die Expansion von bis zu 12 Schlüsseln, falls erforderlich, ohne Hardware-Änderungen auf dem Motherboard.
Anmerkung 9: Im Augenblick nicht benutzt.

STECKER K - PROGRAMMIERVERBINDUNG IM SCHALTKREIS

Verbindung zwischen Grundplatte/Motherboard und Programmier-Modul. Es ist ein 2,5mm Abstand gereihter Stecker auf dem Motherboard.
Stecker: E5284 (DSTB)

Funktion	Zahl der Verbindungen	Stift-Nummer
Test, siehe Anmerkung 8	1	8
+5V	1	7
TXDATA	1	6
RXDATA	1	5
+12V	1	4
RESET#, siehe Anmerkung 9	1	3
VPP (Programmier-Spannung), siehe Anmerkung 8	1	2
Anschluss 6.0 Steuerverbindung	1	10
GNDD, siehe Anmerkung 8	2	1, 9
Gesamtzahl der Stifte		10

Anmerkung 10: Damit können Verbindungsblöcke über die Stifte 1 und 2, sowie 8 und 9 montiert werden, wenn sie nicht in der Programmierbetriebsart sind.
Anmerkung 11: Dieser Rückstellungs-Eingang muss aktiv tief gestellt werden (<0,5V), um den Prozessor zurückzustellen.

STECKER L - MOTHERBOARD AN BEDIENUNGSKONSOLE

Verbindungen zwischen Grundplatte/Motherboard und Bedienungskonsole. Es ist ein 2mm Abstand gereihter unverlierbarer Stecker auf Motherboard und Bedienungskonsole.
Stecker: Motherboard E5285 Stecker Typ JST 12DS - 8E
Bedienungskonsole E2 Stecker Typ JST 12DS - 8E

Funktion	Zahl der Verbindungen	Stift-Nummer
7SEGA	1	1
7SEGB	1	2
7SEGC	1	3
7SEGD	1	4
GND	2	5, 11
7SEGE	1	6
7SEGF	1	7
7SEGG	1	8
7SEGDP	1	9
+5V	1	10
MAILLED	1	12
Gesamtzahl der Stifte		12

STECKER M - MOTHERBOARD AN BEDIENUNGSKONSOLE

Siehe Anmerkung 15
Es ist ein 2,0mm Abstand gereihter Stecker auf dem Motherboard
Stecker: E5282 (DSTB)

Funktion	Zahl der Verbindungen	Stift-Nummern
Frei	1	1
Frei	1	2
Frei	1	3
Frei	1	4
GNDD	1	5
Gesamtzahl der Stifte		5

Anmerkung 14: Im Augenblick nicht installiert. Dies wurde ursprünglich als Teil der Bedienungskonsolen-Verbindungen benutzt, es wird nicht mehr benutzt, aber die Installationsfläche ist auf dem DSTB Motherboard vorhanden.

STECKER N – JTAG-ANSCHLUSS-STECKER

Siehe Anmerkung 16
Stecker für JTAG Herunterladen. Dieser Stecker ist ein 14-Weg Molex Picoflex Sockel.
Stecker: PL205 (MPEG)

Funktion	Zahl der Verbindungen	Stift-Nummern
TDI_CPU	1	1
TDO_CPU	1	2
TMS_CPU	1	3
TDI_CI_LLC	1	4
TMS_CI_LLC	1	5
TRST-CPU	1	6
TCK_CPU	1	7
TDO_CI_LLC	1	8
TCK_CI_LLC	1	9
GNDD	1	10, 12, 14
TRST_LLC	1	11
R/NW	1	13
Gesamtzahl der Stifte		14

Anmerkung 16: Dieser Anschluss wird in der Herstellung normalerweise dazu benutzt, den ‘Lade’-Abschnitt der Flash-Chips mit JTAG als Verbindungs-Leistungsprozedur zu programmieren.

STECKER O – EPROM-FLACHBAUGRUPPEN-STECKER

Siehe Anmerkung 17

Dieser Stecker wird benutzt, um eine EPROM-Flachbaugruppe mit dem CPU-Daten/Adressen-Bus auf der MPEG-Flachbaugruppe zu verbinden. Es ist ein 50-Weg-Stecker mit hoher Dichte, der sich mit dem entsprechenden Stecker auf der EPROM-Flachbaugruppe verbindet. Der Typ ist C&CD p/n 1555 (PL206) auf dem MPEG-Modul und C&CD p/n 1554 (PL901) auf dem EPROM-Modul.

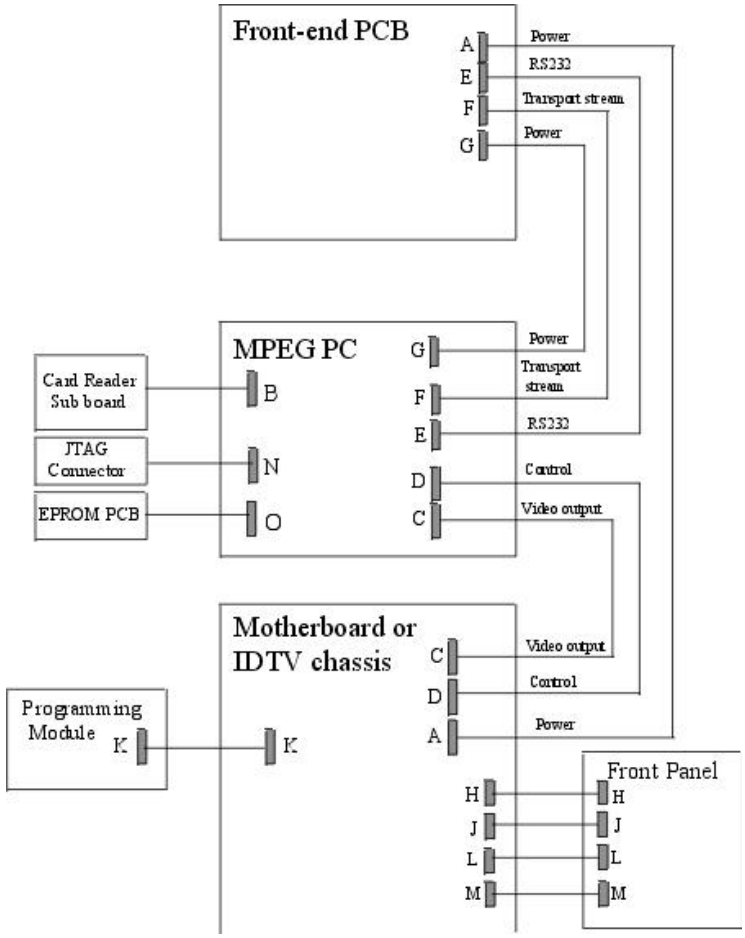
Stecker: PL206 (MPEG-Flachbaugruppe)

PL901 (EPROM-Flachbaugruppe)

Funktion	Zahl der Verbindungen	Stift-Nummern
5V_MPEG	1	1
CPU_A0	1	2
CPU_A1	1	4
CPU_D0	1	5
CPU_A2	1	6
CPU_D1	1	7
CPU_A3	1	8
CPU_D2	1	9
CPU_A4	1	10
CPU_D3	1	11
CPU_A5	1	12
CPU_D4	1	13
CPU_A6	1	14
CPU_D5	1	15
CPU_A7	1	16
CPU_D6	1	17
CPU_A8	1	18
CPU_D7	1	19
CPU_A9	1	20
CPU_D8	1	21
CPU_A10	1	22
CPU_D9	1	23
CPU_A11	1	24
CPU_D10	1	25
CPU_A12	1	26
CPU_D11	1	27
CPU_A13	1	28
CPU_D12	1	29
CPU_A14	1	30
CPU_D13	1	31
CPU_A15	1	32
CPU_D14	1	33
CPU_A16	1	34
CPU_D15	1	35
CPU_A17	1	36
EPROM_OE#	1	37
CPU_A18	1	38
EPROM_CE#	1	39
CPU_A19	1	40
CPU_A20	1	42
CPU_A21	1	44
CPU_A22	1	46
3V3_MPEG	1	47
CPU_A23	1	48
GNDD	3	3, 49, 50
Frei	3	41, 43, 45
Gesamtzahl der Stifte		50

Anmerkung 16: Dies ist nicht eingebaut.

ZUSAMMENSCHALTUNGS-BLOCKSCHALTPLAN



A8/D8 NETZTEIL

Nach dem Einschalten wird die Wechselstromspannung durch die Brücke D900 gleichgerichtet, was ca. 300V über C918 produziert. Dies wird dann über die Primärwicklung von T900 auf den Kollektor von Q903 angewandt. Anfänglich steigt die Spannung bei Stift 7 von I900 auf ca. 16V über R901, D929 und Q905. Das ermöglicht der internen Schalttechnik von IC900, eine Sägezahnschwingung bei Stift 4 zu erzeugen, von wo bei Stift 6 die Ausgabe einer Rechteckschwingung erhalten wird. Diese Ausgabe wird angewandt auf das Gate von Q901, welches ein- und ausschaltet, das ändert die Spannung am Emitter von Q903, wodurch sich dieses Aggregat ein- und ausschaltet und die Ausgaben in den Sekundärwicklungen von T900 erzeugt.
Nach dem Einschalten von I900 wird Stift 7 über D911 von der Vorspannungs-Wicklung (Stift 18) von T900 für den Dauerbetrieb versorgt. Die Spannung der Vorspannungs-Wicklung wird auch von D922 gleichgerichtet und wird dann über R908/Q906/R924 an die Basis von Q905 tief geliefert und schaltet Q905 aus, damit wird der von R901 verstreute Strom verringert, sobald die Stromversorgung läuft.
Ein Stromfühlungsschaltkreis, bestehend aus R910, R939, R922 und R980, speist eine Spannung zurück an Stift 3 von I900, MAX Spannung ca. 0,8V. Sollte die angewandte Spannung die Vergleichsspannung überschreiten, wird die Impulsbreite von Ausgangsstift 6 begrenzt. Derart wird Q903 Schutz geboten vor Schwankungen im Primärstrom.
R909 und C914 wirken als Schaltkreis für weichen Start, dies begrenzt die Impulsbreiten-Ausgabe von Stift 6 während der Einschaltzeit und ermöglicht einen allmählichen Anstieg zu voller Leistung.
Q909, R918 und die damit verbundene Schalttechnik vermindern die Frequenz der Stromversorgung, wenn das Gerät in Bereitschaft ist.
Eine Prüfspannung, gleichgerichtet durch D922, bestehend aus R905 und R906, versorgte Stift 2 von I900, dies wird dann mit einer internen Vergleichsspannung verglichen. Wenn sie die interne Vergleichsspannung überschreitet, wird die Ausgabe von Stift 6 durch den internen Fehlerverstärker begrenzt. Z907 schließt kurz, wenn +B 180V übersteigt.
Die in T900 Wicklung 7/9 induzierte Sekundärspannung wird von D950 gleichgerichtet, was die Hochspannung produziert, die von C977 abgeglichen wird. In Bereitschaft steigt die Hochspannung leicht an.
Wicklung 5/10 produziert ca. 10V über D951, was von C957 abgeglichen wird. Dies wird dann auf Doppel-Gleichstromwandler (+8V, +5V aus) angewandt. Auf Stift 2/6 I900 befindet sich eine Steuerrampe. Diese Rampe wird von R944/C935 gebildet und vom Z913, D902, R934 Netzwerk beendet. Die Rampenfrequenz wird durch die Wicklung bei Stift 5 T900 an die Hauptstromversorgungsfrequenz geklemmt. Diese Rampe wird verglichen mit dem Rückkopplungspegel von I902 (+5) I904 (+8). Das Bezugsaggregat überwacht die Ausgabe und verändert den Gleichstrompegel für Stift 5. Die Rampe überschreitet den Gleichstrom-Rückkopplungspegel, und die Ausgabe bei Stift 1/7 geht tief. Die Ausgabe bei Stift 1/7 beginnt hoch zu Anfang der Rampe, geht tief beim Überschreitungspegel der Rampe. Diese Tätigkeit über Q910, Q911 steuert die Impulsbreite und damit die

Regelung der +8/ +5v Schienen durch (?). Die Ausgangsimpulsbreite verändert sich mit der Last, um die korrekte Regelspannung beizubehalten.
Die Ausgabe von I910 Stift 1,7 wird durch ein Gegentakt-Transistorennetzwerk Q929, Q917 (für +5V) gepuffert, um die Schaltverlustleistung zu verbessern. Dieses Transistorennetzwerk bringt schnelle Flanken-Schaltung von Q912 (+5) und Q911 (+8V). Schutz vor Überlaststrom wird durch den Stromfühlungswiderstand RP03 geboten. Netzwerk Q956 RP04/C966 zieht Stift 10 von I903 hoch, wenn Hochlaststrom durch RP03 fließt.
Wicklung 2/11 produziert ca. 16V über D952, was von C955 abgeglichen und dann auf Q921 angewandt wird über R974, der als Stromfühlung benutzt wird. Der Ausgang von Q921 liefert 16V für Audio-Verstärker I401.
Die Hochspannungsregelung wird durch die Q954 Stufe gesteuert. Die Basis von Q954 wird vom Widerstandnetzwerk R950, R982 und R953 auf einen vorbestimmten Pegel eingestellt. Der Emitter von Q954 wird durch Z950 auf ca. 6V2 gehalten. Sollte die Hochspannung steigen, wird die Basisspannung positiver als der Emitter, und diese Differenz wird durch den Transistor verstärkt und auf den Optokuppler I901 angewandt. Die Ausgabe von I901 wird dann auf Stift 1 von I900 angewandt, der die Hochspannung regelt, indem er den Arbeitszyklus der Wellenformausgabe von Stift 6 von I900 ändert.

BEREITSCHAFTS-SCHALTUNG

Die Niederspannungsversorgung ist in Bereitschaft ausgeschaltet, dies wird durch den Mikroprozessor gesteuert, der im Bereitschaftszustand ein Hoch ausgibt und ein Tief, wenn das Gerät nicht im Bereitschaftszustand ist. Dies wird dann auf die Widerstände R923 und R940/R977 angewandt. Dieses 'Hoch' wird auch auf die Basen von Q915, Q916, Q910 angewandt, die ihrerseits den Betrieb der +8, +5 Gleichstromwandler beenden und das Gate von Q921 tief ziehen und somit die +16V Audio-Stromversorgung in den niederen Bereich schalten. In Bereitschaft steigt die +B Spannung leicht, um die Spannung der Vorspannungs-Wicklung für Stift 7 von I900 zu erhalten. Um das Gerät aus der Bereitschaft zu schalten, schaltet der Mikroprozessor die Ein-Aus-Leitung hoch, und Q916, Q915, Q910 werden deaktiviert, wodurch die +8, +5, +16V Schienen zum normalen Betrieb zurückkehren.

MINUSPOL DER STROMVERSORGUNG UND SCHUTZ

I903 besteht aus 4 Komparatoren, der Minuspol der Stromversorgung benutzt Komparator 2. Stift 5 wird als Bezug benutzt, der von I905 auf 2,5V gehalten wird, versorgt von Hochzieh-Widerstand R968. Stift 4 benutzt R961/R962 und R955/R959 als Spannungsteiler, der verbunden ist durch die +10V und T900 Wicklung durch D959, die im Vorwärts-Stromrichter-Betrieb ist. Während des Betriebs heißt das, Stift 4 wird unter dem Bezugspegel von Stift 5 gehalten, bis die Netzversorgung unterbrochen wird, oder das Gerät wird ausgeschaltet, und dann steigt Stift 4 über Stift 5, und der Ausgangsstift 2 wird tief gesetzt. Dieses Tief wird vom Mikroprozessor wahrgenommen. Im Normalbetrieb wird Stift 2 hoch gehalten durch den Hochzieh-Widerstand R990 von der 5V Stromversorgung.
Die Schutzleitung (Stift 14) wird im Normalbetrieb von R971 von der 5V Stromversorgung hoch gehalten, das Hoch wird auf die Schutzleitung und auf den Mikroprozessor angewandt. Wenn die Schutzleitung tief gesetzt wird, geht das Gerät in den Bereitschaftsbetrieb, das Gerät kann wieder eingeschaltet werden durch die normalen Methoden, mit denen man es aus der Bereitschaft herausholt, aber wenn die Ursache für die Aktivierung des Schutzschaltkreises nicht behoben wird, wird das Gerät wieder in den Bereitschaftszustand zurückkehren.
Der Überlaststrom für die 16V Audioversorgung benutzt Komparator 1, die Widerstände R967 und R964 bauen auf Stift 6 eine Vergleichsspannung auf. Die verglichene Spannung wird zu Stift 7 gespeist mit Hilfe des Spannungsteilers R968 und R966, der von der Ausgangsseite des Stromfühlungswiderstands R974 versorgt wird. Sollte die Spannung bei Stift 7 unter die von Stift 6 fallen, wird Stift 1 tief gesetzt , wodurch die Schutzleitung über D958 tief gesetzt und das Gerät in Bereitschaft versetzt wird.
Komparator 3 wird benutzt, um vor einem Schichtkurzschluss innerhalb von F.B.T. zu schützen, er dient auch als Schutz vor Kurzschlüssen bei den Sekundärausgängen von F.B.T. I903 wird mit ca. 16V über D960 an Stift 3 versorgt, von dieser Versorgung wird eine Vergleichsspannung zu Stift 9 gespeist mit Hilfe von Spannungsteiler R972/R969, gespeist über die Z948 Versorgung. Stift 8 wird von einem anderen Spannungsteiler versorgt, der diesmal aus drei Widerständen R973/R970 und R760 besteht und den Strom prüft, der durch Q752 fließt, sollte dieser zunehmen, wird der Spannungsabfall über R760 größer werden und die Spannung von Stift 8 erhöhen, wenn sie Stift 9 überschreitet, und Stift 14 wird tief gesetzt, wodurch das Gerät in Bereitschaft versetzt wird.
Komparator 4 wird benutzt zum Schutz vor Höchstspannung /Überspannung, da alle F.B.T. Sekundärspannungen proportional sind, wird die 200V Versorgung zur Basis der Kathodenstrahlröhre (CRT) benutzt, um die für den Vergleich benötigte Spannung zu erzeugen, dies wird erreicht mit einem Spannungsteiler, bestehend aus R718, R749 und R719. Z708 überwacht die Spannung bei der Verbindung von R718 und R749, wenn sie 36V überschreitet, wird die Z-Diode leitend und legt ein Hoch an Stift 10 von I903 an, dies wird mit der Vergleichsspannung an Stift 11 verglichen, der auch die von I905 eingestellten 2,5V benutzt. Wenn Stift 10 höher ist als 2,5V, wird Stift 13 tief gesetzt, was seinerseits die Schutzleitung über D957 tief setzt und dadurch das Gerät in Bereitschaft versetzt.
Die Niederspannungsleitungen werden geschützt durch die Dioden D931, D932 und D930, sie sind in Sperr-Vorspannung verbunden von der Schutzfühlungsleitung bis zur 8V und 5V Versorgung. Die +5V Bereitschaftsverbindung wird durch D986 geschützt, die den Bezug Z950 tief setzt, wenn am Ausgang von I952 ein Kurzschluss zu sehen ist. Der +16V Phonoausgang hat eine Diode zurück zu Stift 5 I903 im Falle eines Kurzschlusses.
Wenn die +B oder Audio-Stromversorgung vor dem Schutz auf der Sekundärseite der Stromversorgung an Masse kurzschließt, wird der primäre Stromüberlastschutz (Stift 3 I900) wirksam und schaltet die Ansteuerungsausgabe von Stift 6 I900 ab. Eine Sperrschaltung Q955/R998/RP01/C964 wird wirksam, um die Stromversorgung auf Bereitschaft zu schalten (unter Störungsbedingung), falls die Software nicht bei Stift 14 I903 tief wirksam wird. Verzögerung vor Sperre eingestellt durch C964/R994. +B erhält über Z907 Schutz vor Überspannung, Z907 schließt kurz, wenn die +B Spannung 180V Gleichstrom übersteigt.

DTI-NETZTEIL

SCHALTKREIS-BESCHREIBUNG

Die Stromversorgung wird über { TV ein } eingeschaltet. An diesem Punkt wird der Netz-Wechselstrom durch D8, D10, 11, 12 gleichgerichtet, was ca. 340v Gleichstrom über C58 herstellt. Dies wird dann über die Primärwicklung von T1 auf den Drain von Q4

angewandt. Anfänglich steigt die Spannung an Stift 7 von IC10 auf ca. 16v über R15, D24 und C54, dies erlaubt der inneren Schalttechnik von IC10, eine Sägezahnschwingung bei Stift 4 zu erzeugen, von der bei Stift 6 die Ausgabe einer Rechteckwelle erhalten wird. Diese Ausgabe wird auf das Gate von Q4 angewandt, was den MOS-FET ein- und ausschaltet und die Ausgaben in den Sekundärwicklungen von T1 erzeugt.
Nach dem Einschalten der Stromversorgung wird Stift 7 von IC10 vom Vorspannungs-Wicklungs-Stift 4 von T1 über D31 zwecks fortgesetzten Betriebs versorgt, deshalb kann R15 den laufenden Strombedarf für IC10 [20mA] nicht decken.
Ein Stromfühlungsschaltkreis, bestehend aus R74, R75 & R79, bringt eine Spannung an Stift 3 von IC10 zurück, diese Spannung wird mit einer internen Vergleichsspannung von ca. 0,8V verglichen, wenn die angewandte Spannung die Vergleichsspannung überschreitet, wird die Impulsbreite von Ausgangs-Stift 6 begrenzt [Chip in der Betriebsart für Überlaststrom]. So erhält Q4 Schutz vor Änderungen im Primärstrom. Sekundärer Überspannungsschutz wird auch von R77 geboten, sollte die Rückkopplung unwirksam sein, dann wird die Sekundärspannung in sicheren Grenzen gehalten, die Ausgabe von Stift 6 wird begrenzt durch den internen Fehler-Verstärker und durch internen Vergleich.
R21 und C31 wirken als Schaltkreis für weichen Start, das begrenzt die Ausgabe der Impulsbreite von Stift 6 während der Einschaltzeit und ermöglicht einen allmählichen Anstieg zu voller Leistung. ZD3 & 4 schließen kurz, wenn Q4 kurzschließen sollte, wodurch IC10 geschützt wird.
Die in der T1 Wicklung 11/14 induzierte Sekundärspannung wird durch D15 gleichgerichtet, was 38V produziert, die durch C40 geglättet werden. Diese Spannung wird dann erniedrigt, um 30V bei 20mA über R96 zu liefern, und wird von ZD21 synchronisiert. Wicklung 10/14 produziert 5V bei 1,5A, nach Gleichrichtung durch D17 und Glättung durch C37 & 38. Diese Spannungsschiene ist die höchste Stromschiene und wird zur Regelung benutzt über IC8 und liefert Rückkopplung über IC4 an Stift 1 von IC10. Von der 5V Schiene wird eine 3V3 Schiene mit 2,7A extrahiert. Die Stromausgabe wird gesteuert durch einen Impulsbreiten-Modulations-Schaltkreis, bestehend aus Schalt-MOS-FET Q9, Gate-Ansteuerung wird geleistet von Q10, und Stift 1 von IC6, Stift 2 von IC6 wird versorgt mit einer Sägezahnschwingung, der Entzerrkreis besteht aus D20, ZD9, R32, C44, D19, C43 & R30. Stift 3 wird über IC7 & R31 mit unterschiedlichen Gleichstrompegeln versorgt. Die 3V3 Spannungsschiene wird von IC7 geregelt.
Wicklung 8/14 liefert 12V von D16, C35 & Abgleichkondensator C39, eine 9V Schiene wird auch vom IC6 Regler geliefert.
SEKUNDÄRSCHUTZ: Geboten über IC6 Stift 7. Stift 6 von IC6 ist auf einen gleichmäßigen Spannungspegel von ca. 3V eingestellt, Stift 5 wird als Überlaststromfühlungspunkt benutzt, D18, 25, 33 werden benutzt, um Stift 5 bei Überlaststrom unter Stift 6 herunterzuziehen, in diesem Zustand ist Stift 7 tief, was seinerseits den Rückkopplungspunkt Stift 1 von IC10 abschaltet und die Stromversorgung ausschaltet.

RÜCKKOPPLUNGS-BETRIEB

Zunehmender Lastbedarf der Sekundärschienen führt zu höherer Spannungs-Rückkopplung bei der Kathode von IC8, was seinerseits die Spannung bei Stift 1 von IC10 erhöht, diese Spannung wird mit der Sägezahnschwingung verglichen, die über R76 & C95 bei Stift 4 erzeugt wird, dies produziert den Gate-Ansteuerungs-Rechteck-Impuls mit größerer Ausschaltzeit, d.h. je größer der Lastbedarf, desto größer der Auslastungsgrad und umgekehrt.

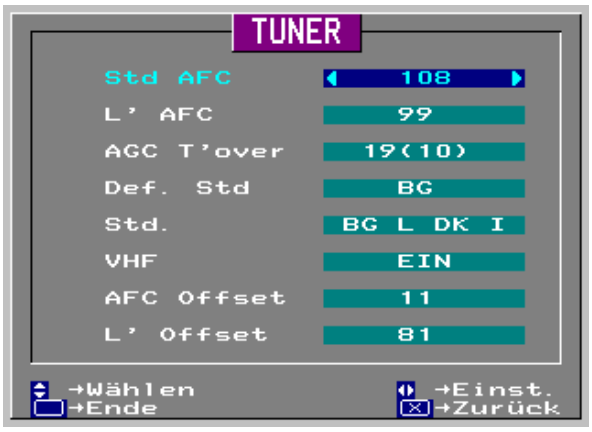
WARTUNG

WARTUNGSBETRIEB

Um vom Hauptmenü in den Wartungsbetrieb zu gelangen, drücken und halten Sie gleichzeitig die ‘Lautstärke +’ und ‘Lautstärke –‘ Knöpfe an der Frontplatte des Fernsehers, bis die Auswahl für ‘Wartung’ und ‘Wartung verlassen’ unten im Hauptmenü erscheint. Mit der Auswahl für Wartung gelangt man dann in die Wartungsmenüs. Der Fernseher bleibt im Wartungsbetrieb, bis mit der Auswahl für ‘Wartung verlassen’ der Wartungsbetrieb verlassen wird. Die Auswahl für Installation wird in dieser Betriebsart auch immer angezeigt.
Während der Fernseher im Wartungsbetrieb ist, wird die Werksinformation angezeigt, wenn der Fernseher nicht in der Menü- oder Teletext-Betriebsart ist. Die angezeigte Information umfasst die Softwareversionen, Modellnummer und gespeicherte Fehlerinformation (siehe unten).

WARTUNGSMENÜ

Dieses Menü wird angezeigt, wenn die Auswahl für Wartung vom Hauptmenü genommen wird. Jeder Punkt zeigt das geeignete Wartungs-Untermenü an. Jedes Untermenü wird unten näher beschrieben.



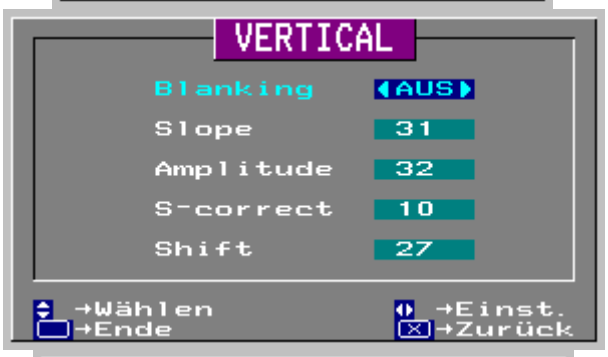
WARTUNGSMENÜ FÜR TUNER-EINSTELLUNG

Dieses Menü bietet folgende Auswahl.

- Std IF AFC. Die Einstellung dieser Position beginnt die automatische Scharfabstimmung für Standards BG/I/DK. Konsultieren Sie das Abstimmungsverfahren für näheres.
- L’ IF AFC. Die Einstellung dieser Position beginnt die automatische Scharfabstimmung für Standard L. Konsultieren Sie das Abstimmungsverfahren für näheres.
- AGC T’over. Mit dieser Position kann man die Übernahme der automatischen Lautstärkeregelung einstellen. Konsultieren Sie das Abstimmungsverfahren für näheres.
- Def. Std. Regelt die Standardeinstellung für Geräte mit automatischer Standardbestimmung.
- Standards. Stellt die Liste der verfügbaren Standards für Geräte mit automatischer Standardbestimmung ein.
- ZUR BEACHTUNG: Geräte ohne automatische Standardbestimmung haben eine Auswahl für BG ein/aus und eine Standardauswahl, die die Wahl von 1 Standard zulässt. Die Auswahl für Def. Std und Standards gibt es bei diesen Geräten nicht.
- VHF. Mit dieser Auswahl ermöglicht man die VHF-Abstimmung bei Geräten, die mit einem VHF (Export) Tuner ausgerüstet sind.
- AFC Offset, L’ Offset. Die Werkseinstellung sollte nicht verändert werden.

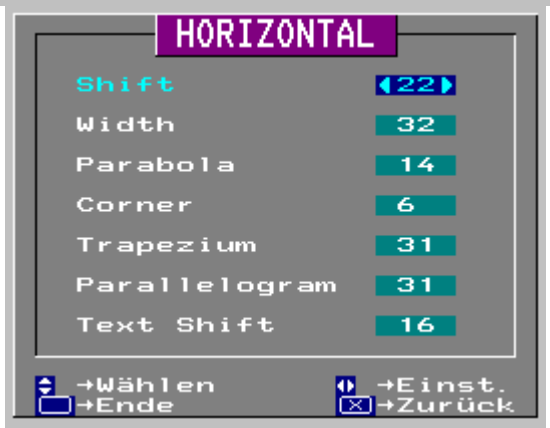
WARTUNGSMENÜ FÜR PROGRAMM-EINGABE

Dies ist identisch mit dem Menü, auf das man in nicht-integrierten Digitalgeräten mit dem CH Schlüssel zugreift.



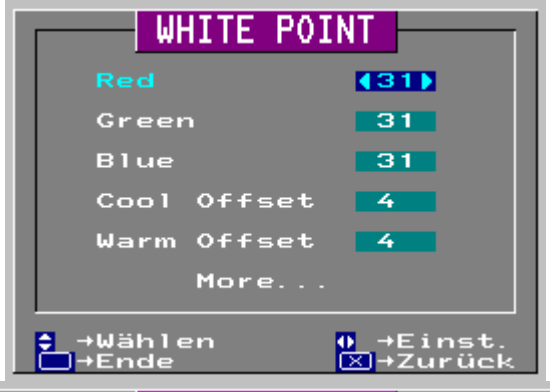
WARTUNGSMENÜ FÜR VERTIKALE EINSTELLUNG

Zur Einstellung der vertikalen Ablenkungsparameter.



WARTUNGSMENÜ FÜR HORIZONTALE EINSTELLUNG

Zur Einstellung der horizontalen Ablenkungsparameter.
Der RGB Verschiebungsparameter wird für die Einstellung der horizontalen Verschiebung benutzt, wenn eine RGB Quelle benutzt wird.
Die Justierung der Textverschiebung führt zur Anzeige eines Teletexttestmusters, um die Justierung zu erleichtern.



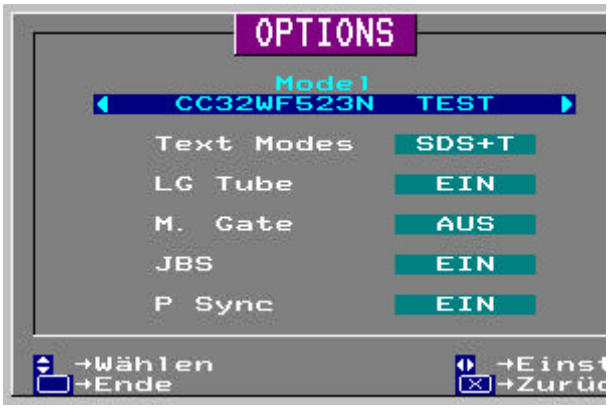
WARTUNGSMENÜ FÜR WEISSPUNKT-EINSTELLUNG

Konsultieren Sie das Abstimmungsverfahren für näheres, wie man diese Parameter einstellt.
Mit der Auswahl von Mehr … gelangen Sie zum Weißpunkt (Mehr) Menü.

WARTUNGSMENÜ FÜR WEISSPUNKT (MEHR) - EINSTELLUNG

Konsultieren Sie das Abstimmungsverfahren für näheres, wie man diese Parameter einstellt.
Ein Texttestmuster erscheint, wenn die Texthelligkeit eingestellt wird.
Die Position ‘Schwarzpegel’ ist nicht einstellbar und liefert eine Leitvorrichtung für die Justierung des Bildschirm-Pots auf dem FBT.

WARTUNGSMENÜ FÜR AUSWAHLMÖGLICHKEITEN



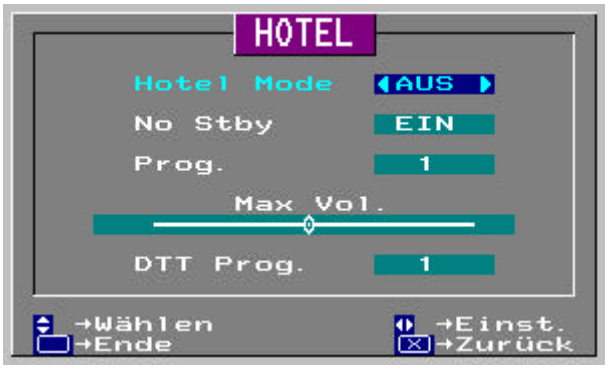
Die folgenden Auswahlmöglichkeiten stehen zur Verfügung.

- Modellname. Hier können Sie den Modellnamen auswählen oder OK drücken, um den Namen zu bearbeiten.
- Textbetriebsarten. Hier können Sie die zugelassenen Textbetriebsarten einstellen. Die Auswahl ist zwischen SGL für Einzelseite, S/D für Einzel- und Doppelseite oder SDS für Einzelseite, Doppelseite und geteilt (Text und Bild, nur W35 Modelle).

ZUR BEACHTUNG: Wenn +T in der Auswahl für Textbetriebsarten erscheint, heißt das, dass TOP Text aktiviert ist. Manche Geräte haben eine separate Auswahl zur Aktivierung von TOP Text.

- Röhrentyp. Dies sollte leer bleiben oder auf LG eingestellt werden, wenn das Gerät mit einer LG Röhre ausgerüstet ist.
- M. Tastung. Dies sollte auf ON eingestellt werden, wenn das Gerät mit dem Makrovisions-Gate PWB ausgerüstet ist.
- Prozessor. Dies wird eingestellt, um anzugeben, ob das Gerät mit einem Prozessor vom Typ JBS oder JBL ausgerüstet ist. (Das ist auf dem Körper von I001 auf der Hauptschaltplatte markiert.)
- Pos. Sync. Dies sollte für W30 und W35 Modelle auf ON eingestellt sein und hat keinen Effekt auf 50 Hz Geräte.

WARTUNGSMENÜ FÜR HOTELOPTIONEN



Dieses Menü stellt die Hotelbetriebsartparameter ein. Die folgende Auswahl ist möglich.

- Hotelbetriebsart. Dies stellt die Hotelbetriebsart ein oder aus. Nur wenn die Hotelbetriebsart eingestellt ist, können die anderen Auswahlmöglichkeiten wirksam werden. Die Menüs für Bild und Installation stehen dem Benutzer nicht zur Verfügung, wenn der Fernseher in der Hotelbetriebsart und nicht im Wartungsbetrieb ist.
- Keine Bereitschaft. Wenn die Auswahl auf ON eingestellt ist, dann wird sich der Fernseher jedesmal aus der Bereitschaft heraus anschalten, wenn er in der Hotelbetriebsart angeschaltet wird. (Normalerweise bleibt das Gerät in Bereitschaft, wenn es vor dem Ausschalten in Bereitschaft gewesen war.)
- Programm. Diese Auswahl stellt das Programm ein, das ausgewählt wird, wenn der Fernseher in der Hotelbetriebsart aus der Bereitschaft geholt wird.
- Max. Lautstärke. Dies stellt die maximale Lautstärke in der Hotelbetriebsart ein.
- DTT Programm. Dies stellt bei integrierten digitalen Geräten das Anfangsprogramm für das digitale Decodermodul in der Hotelbetriebsart ein. Das wird angezeigt, wenn die Programm-Position auf ‘DTT’ eingestellt ist.

E2 SETUP WARTUNGSMENÜ

- Wählen Sie E2 Factory, wenn die Standardeinstellungswerte für E2 automatisch eingestellt werden müssen, normalerweise nach dem Austausch von I005.
- Wählen Sie eine der E2 Shipping Einstellungen, um die Versand-Prioritäten in E2 einzustellen.

WARNUNG Die Wahl einer der obigen Möglichkeiten wird die Justierungen verändern und eventuell eine Neuabstimmung notwendig machen. Konsultieren Sie das Abstimmungsverfahren für die Einstellung der einzelnen Modelle.

- Wählen Sie Fehler löschen, um die gespeicherte Fehlerinformation auf Null zu setzen (siehe unten).

SELBST-DIAGNOSE.

Der Fernseher hat eine Methode, selbsterkannte Fehler zu entdecken, aufzuzeichnen und zu melden, um bei der Fehlerdiagnose zu helfen, vor allem bei diskontinuierlichen Fehlern.
Jeder aufgezeichnete Fehler bekommt eine Fehlerkodenummer und einen Statuswert. Der Statuswert besteht aus einer Angabe des vorhandenen Fehlers, wann das Problem zuletzt auftrat und wie oft der Fehler auftrat. Diese Information wird im EEPROM gespeichert, so dass sie bis zur Löschung durch das Wartungs-Menü oder die Diagnose-Schnittstelle aufbewahrt wird. Ein auftretender Fehler führt dazu, dass die gegenwärtige Angabe des Fehlers neu eingestellt wird und dass die Fehlerzählung für diesen Fehler bis auf 9 ansteigt.
Wenn Fehler mit Kodenummern unter 0100 auftreten, blinkt die Ein/Aus-LED zusätzlich, um die Nummer des Fehlers anzugeben, der aufgetreten ist. Um z.B. den Fehlerkode 3 anzugeben, blinkt die LED 3 mal nacheinander, gefolgt von einer Pause, nach der sich die Folge wiederholt.
Die gegenwärtig unterstützten Fehlerkodes sind wie folgt: -

Fehlerkode	Beschreibung
0000	Der Mikroprozessor wurde durch den Mikroprozessor-Aufpasser rückgestellt. Das passiert am wahrscheinlichsten als Folge einer elektrischen Störung, aber eventuell auch wegen eines Fehlers bei I001, I002 oder I003 (falls montiert).
0001	Der Minuspol der Stromversorgung wurde aktiviert (an Masse gelegt), während das Gerät eingeschaltet wurde.
0002	Die Schutzleitung wurde aktiviert (an Masse gelegt), während das Gerät eingeschaltet wurde.
0003	Versagen der horizontalen Ablenkung. Dieser Fehlerkode erscheint, wenn der horizontale OSD Synchronisationsimpuls bei Stift 49 von I001 fehlt, wenn das Gerät eingeschaltet wird.
0004	Versagen der vertikalen Ablenkung. Dieser Fehlerkode erscheint, wenn der vertikale OSD Synchronisationsimpuls bei Stift 48 von I001 fehlt, wenn das Gerät eingeschaltet wird.
0005	Zeitsperre der Schwarzpegel-Stabilisierung, als das Gerät eingeschaltet wurde. Dies passiert infolge eines Versagens der RGB Schaltkreise zwischen den TDA9330 (IE02 Stiften 40-42), P302, der CRT Basis PWB und dem Rückkopplungssignal über P302 zu IE02 Stift 44.
0006	Versagen des Mikroprozessors bei der Kommunikation auf dem I2C Bus, weil eines oder beide SDA/SCL Signale an Masse oder +5V kurzgeschlossen wurden.
0007	Das Gerät lässt sich nach drei Versuchen nicht einschalten. Der Grund ergibt sich aus den anderen Fehlerkodes.
0008	Der Mikroprozessor hatte eine Netz Ein-Grundstellung, normalerweise infolge Versagens der 5V Bereitschafts-Stromversorgung oder wegen Abschaltung des Netzstroms (zum Schutz vor Überlaststrom), als das Gerät eingeschaltet wurde. Die Zählung für diesen Fehler steigt an, wenn der Mikroprozessor rückgestellt wird, und wird gelöscht, wenn der Fernseher erfolgreich eingeschaltet wird.
0009	EHT Überspannung (Schutz vor Röntgenstrahlung) entdeckt. Dieser Fehler tritt auf infolge von Spannung über 4 Volt beim Eingang für Höchstspannungs-Kompensation (Stift 4) von IE02.
000a	Überschlag entdeckt. Dieser Fehler tritt auf bei einer Spannung über 2 Volt bei Stift 5 von IE02 (TDA9330).
000b	Der Mikroprozessor unterließ es, mit dem EEPROM (I005) zu kommunizieren infolge Versagens dieses Teils oder der I2C Bus-Verbindungen.
000c	Die DTT Erfassungsleitung für Gebläseausfall wurde 10 Sekunden lang aktiviert (an Masse gelegt) während das DTT Modul eingeschaltet wurde (nur bei digitalen Modellen). Dies wird bei Stift 32 von I001 entdeckt.
000d	Der Fernseher erhielt 10 Minuten lang kein Signal, als er in digitaler (falls zutreffend) oder RF Betriebsart war. Das könnte an der Antenne liegen oder an einem Fehler im Tuner-Modul oder in den Schaltkreisen um I200 herum.
000e	(nur Dolby Digital-Geräte) Internes Versagen des Dolby Digital Decoder Moduls.
Kodes 01xx geben das Versagen der I2C Steuerung eines Aggregats an, welches durch xx identifiziert wird. Die unterstützten Kodes sind wie folgt.	
0184	Der Mikroprozessor versagte bei der Steuerung des MSP3410 Ton-Prozessors (I400).
018a	Der Mikroprozessor versagte bei der Steuerung des TDA9320 Eingabe-Prozessors (I200).
018c	Der Mikroprozessor versagte bei der Steuerung des TDA9330 Ausgabe-Prozessors (IE02).
Kodes 02xx geben die interne Rückstellung eines von I2C gesteuerten Aggregats an, welches durch xx identifiziert wird. Die Aggregatkodes sind identisch mit dem entsprechenden 01xx Kode. Die unterstützten Kodes sind wie folgt.	
0284	Eine Netz Ein-Grundstellung des MSP3410 Ton-Prozessors (I400) wurde entdeckt.
028a	Eine Netz Ein-Grundstellung des TDA9320 Eingabe-Prozessors (I200) wurde entdeckt.

Fehlerkode	Beschreibung
028c	Eine Netz Ein-Grundstellung des TDA9330 Ausgabe-Prozessors (IE02) wurde entdeckt.
Kodes 0300 beziehen sich auf das DTT Modul. Sie gelten nur für IDTV Geräte.	
0300	Der Mikroprozessor des Fernsehers unterließ es, mit dem DTT Modul über die RS232 Verbindung zu kommunizieren. Das liegt eventuell am Versagen der DTT Stromversorgung, den Drähten zwischen dem Fernseher und den DTT Modulen oder an einem internen Fehler des DTT Moduls.
0301	Das DTT Modul meldete ein Versagen des AV Speichers.
0302	Das DTT Modul meldete ein nicht-flüchtiges Speicher-Versagen.
0304	Das DTT Modul meldete ein Versagen des the PAL Farbcoders.
0305	Das DTT Modul meldete ein Versagen des Eingangs-Demodulators.
0306	Das DTT Modul meldete ein Versagen des Eingangs-FEC.
0307	Das DTT Modul meldete ein Versagen des AFE-Tuners.
0308	Das DTT Modul meldete ein Versagen des Altera-Aggregats (IC400).
0309	Das DTT Modul meldete ein Versagen des Modems.
030a	Das DTT Modul meldete ein Versagen der Chipkarten-Schnittstelle.
030b	Das DTT Modul meldete ein Signal/Bild-Versagen.

Wie oben angeführt, wird für jeden Fehler ein Statuswert gespeichert. Die Statuswerte bestehen aus der folgenden Information: - Bit Meaning

- Eine Zählung, wie oft ein Fehler festgestellt wurde. Sie zählt bis 9 und nicht weiter. Diese Zahl erhöht sich nur einmal, wenn der Fernseher eingeschaltet wird.
- Eine Angabe, wann der Fehler das letzte mal passierte. Ein Wert von 7 bedeutet, der Fehler ist der neueste, der passierte, ein Wert von 0 bedeutet, der Fehler ist der am längsten zurückliegende.
- Eine Angabe, ob der Fehler im Augenblick nicht vorliegt. Falls oben nicht angegeben, steht diese Angabe auf falsch, wenn der Fernseher aus der Bereitschaft genommen wird, und auf wahr, wenn der Fehler entdeckt wird.

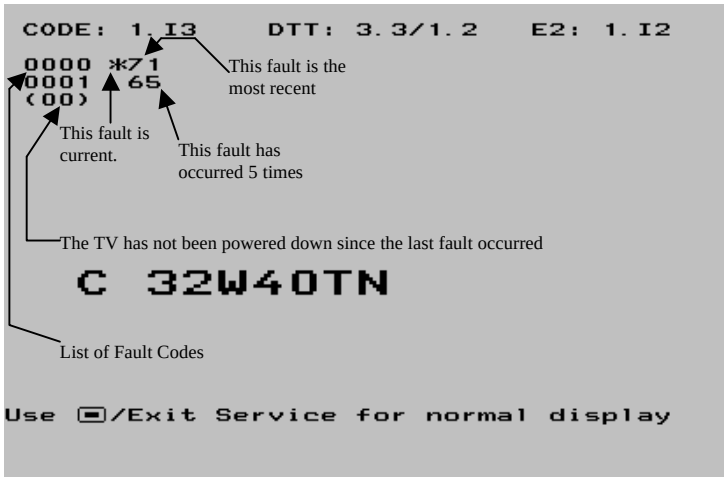
Eine Abbildung, wie diese Information auf dem Bildschirm dargestellt wird, finden Sie weiter unten.

STROMPERIODENZÄHLER.

Der EEPROM speichert die Zählung, wie oft der Fernseher eingeschaltet wird. Diese Zählung erhöht sich jedesmal um 1, wenn der Fernseher eingeschaltet wird, und wird auf Null gestellt, wenn ein Fehler auftritt, und gibt somit die Zeit seit dem letzten Fehler an. Wenn die Zählung den Wert 30 (dezimal) erreicht, werden alle Fehlerstatuswerte automatisch rückgestellt, weil die Fehler nicht mehr als wichtig betrachtet werden.

ANZEIGE DER GESPEICHERTEN FEHLER-INFORMATION.

Unten finden Sie eine typische Anzeige der Fehler-Information, die man sehen könnte, wenn der Fernseher im Wartungsbetrieb ist. Fehlerkode 0000 (Mikroprozessor-Aufpasser) liegt vor, und Fehlerkode 1 (Minuspol der Stromversorgung) ist 5 mal aufgetreten.

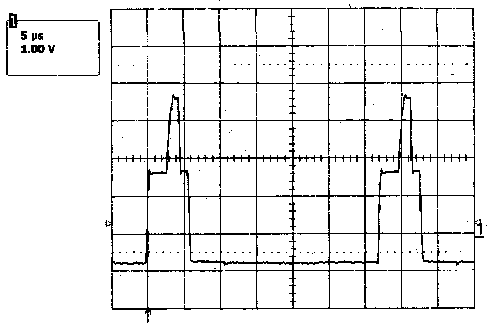

CODE: 1.I3 DTT: 3.3/1.2 E2: 1.I2
0000 *71
0001 65
(00)
This fault is the most recent
This fault is current.
This fault has occurred 5 times
The TV has not been powered down since the last fault occurred
C 32W40TN
List of Fault Codes
Use ⊡/Exit Service for normal display

DIAGNOSE-SCHNITTSTELLE.

Die Fernseher-Software erlaubt den Anschluss eines PC, um bestimmte Diagnosefunktionen auszuüben. Für diesen Anschluss werden die Stifte 10 und 12 von SCART2 (AV2) gebraucht. Diese Diagnose-Schnittstelle ist immer aktiviert, wenn der Fernseher im Wartungsbetrieb ist. In einer Situation, wo ein Fehler vorliegt, der den normalen Zugang zum Wartungsbetrieb verwehrt, können Sie diese Schnittstelle auch aktivieren, wenn Sie den Fernseher einschalten, indem Sie beide LAUTSTÄRKE ± Knöpfe an der Vorderseite des Geräts gleichzeitig drücken.
Bitte wenden Sie sich an Hitachi Home Electronics (Europe) für näheres zu PC Software und Diagnosekabeln, um einen Diagnosebetrieb über diese Schnittstelle zu ermöglichen.

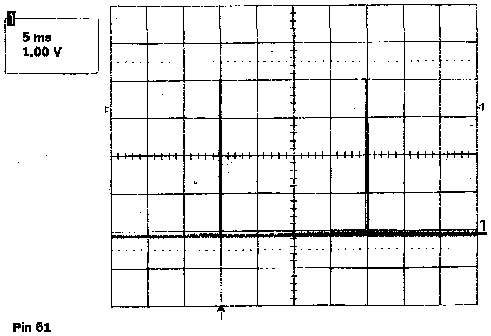
WAVEFORMS

Sandcastle



1 DC 0.58 V

Vertical Sync. 50 Hz

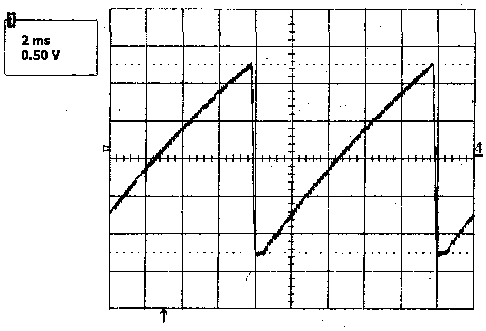


Pin 61

I2D0
TDA9320H

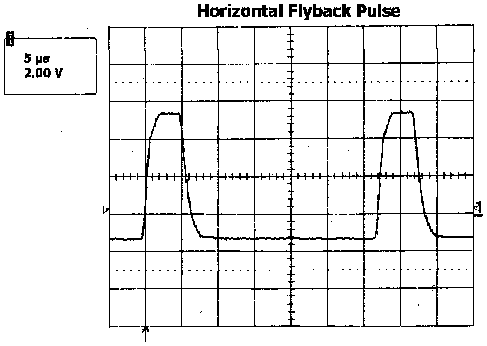
1 DC 3.34 V

Vertical Sawtooth



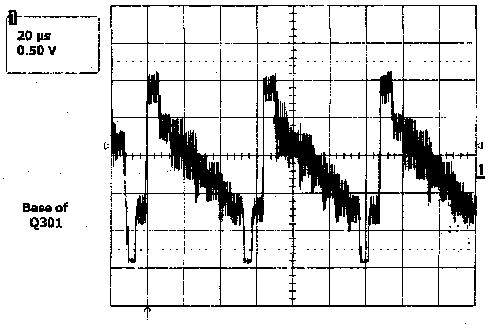
1 DC 0.10 V

Horizontal Flyback Pulse



1 DC 0.36 V

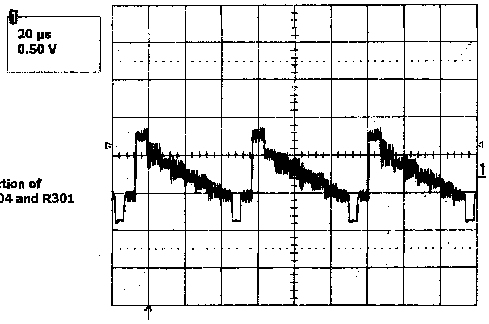
CUBS - Scart



Base of
Q301

1 DC 0.43 V

CUBS



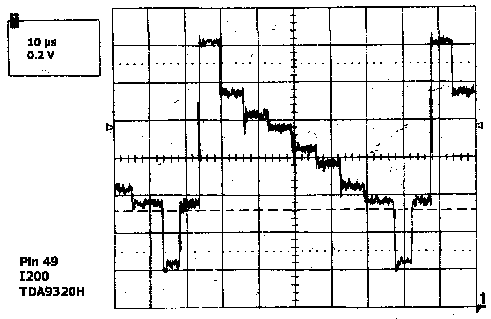
Junction of
R304 and R301

20 µs
1: .5 V AC
2: .5 V AC
3: 50 mV AC
4: 50 mV AC

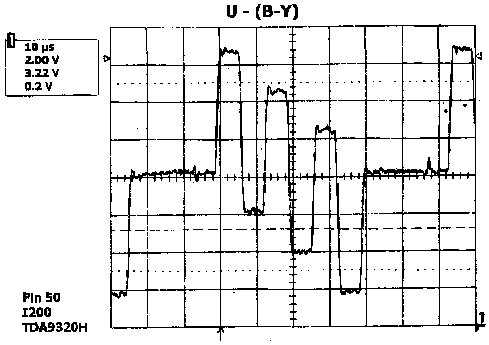
1 DC 0.43 V

100 MS/s

Luminance

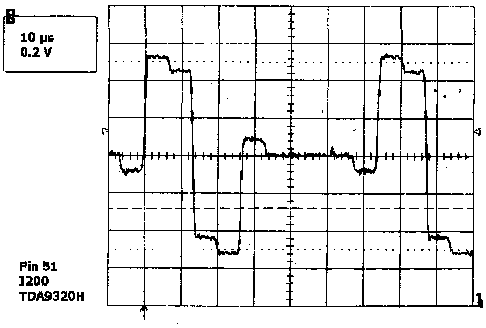


U - (B-Y)



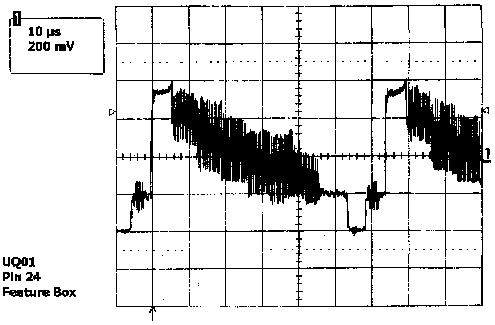
1 DC 29.68 V

V - (R-Y)



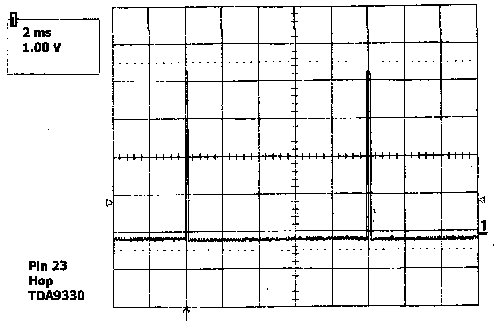
1 DC 25.04 V

CUBS



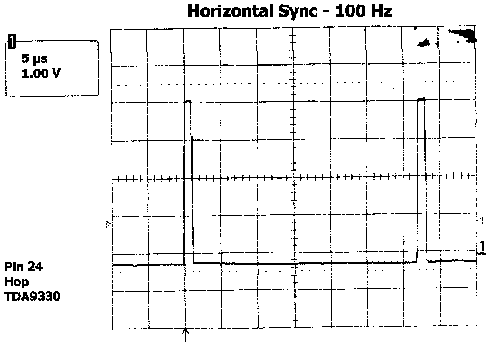
1 DC 0.268 V

Vertical Sync. 100 Hz



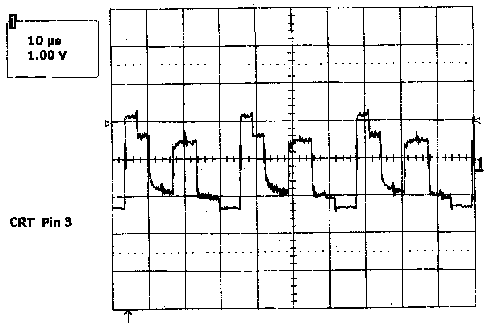
1 DC 0.90 V

Horizontal Sync - 100 Hz

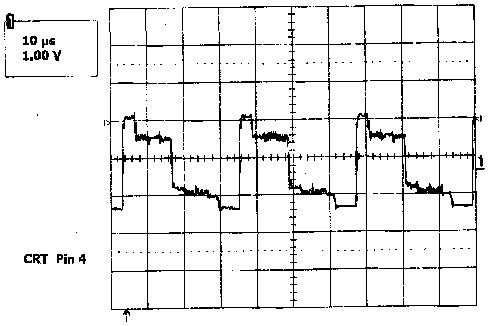


1 DC 0.90 V

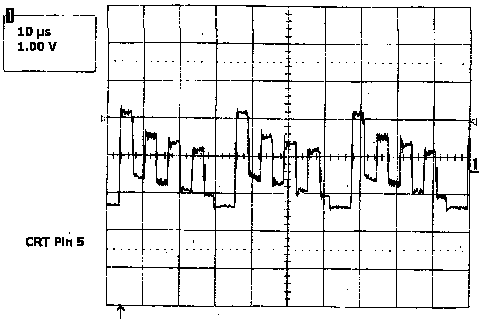
R



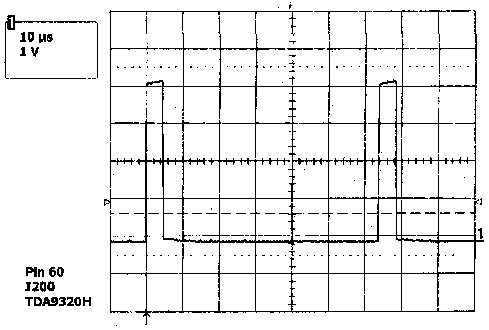
G



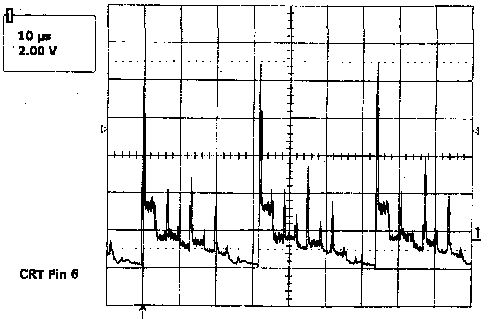
B



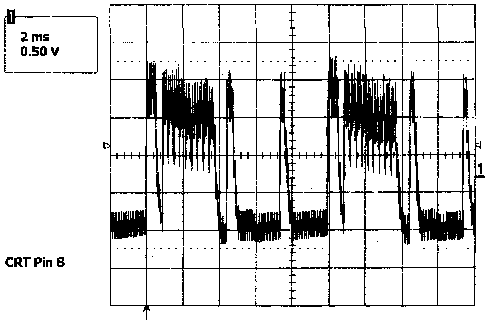
Horizontal Sync. 50 Hz



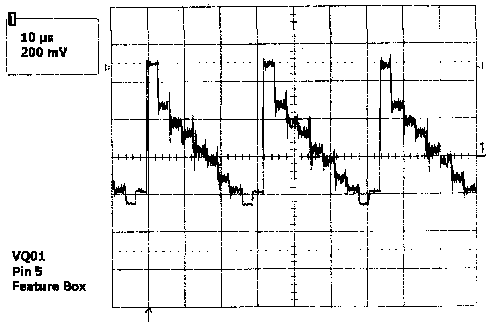
Feedback



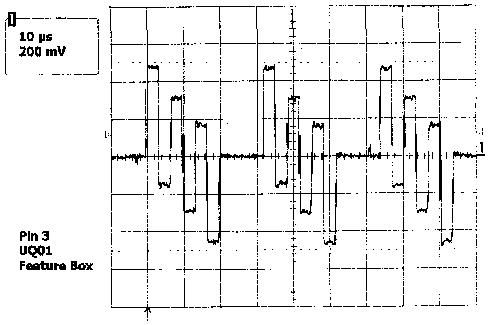
OSD Blanking



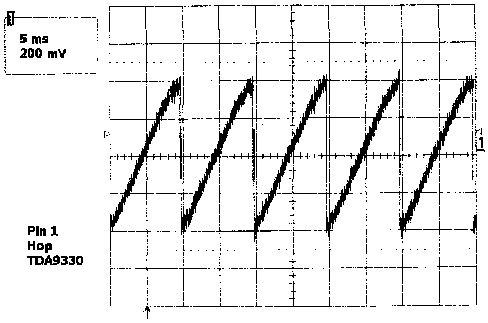
Luminance In - 100Hz



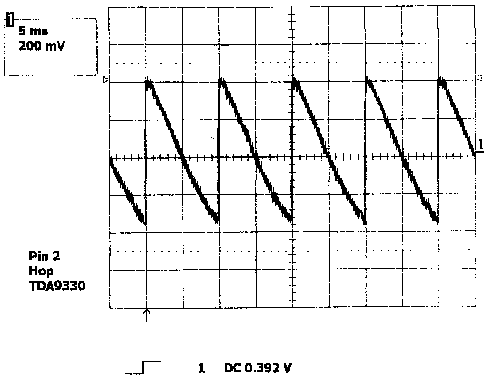
U - (B-Y)



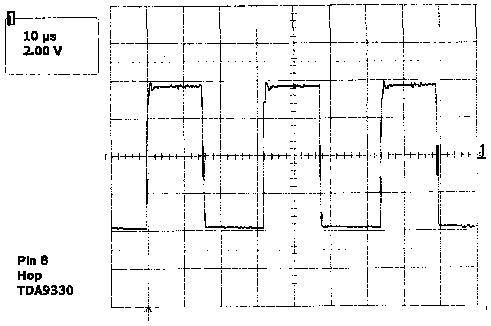
V-Drive A



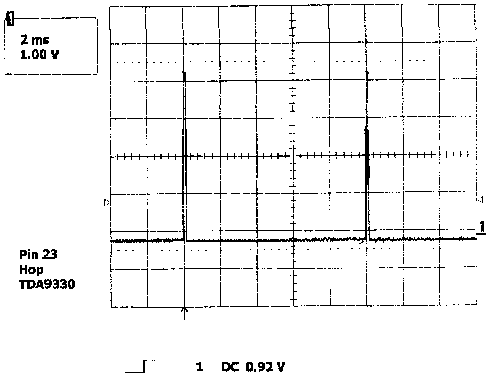
V-Drive B



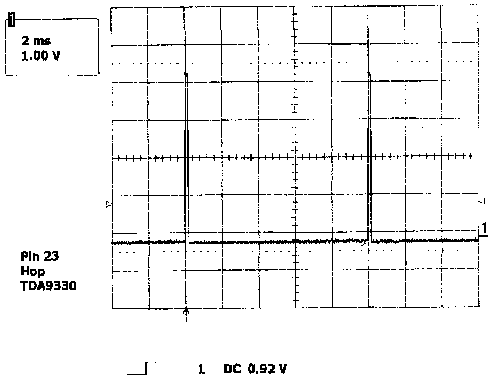
H-Out 100Hz



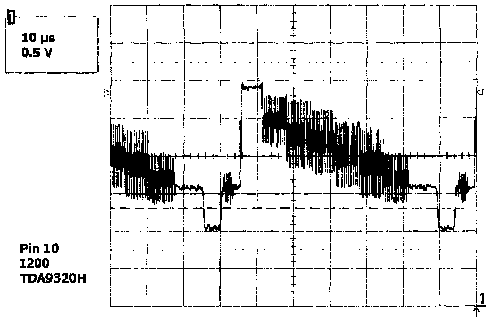
Vertical Sync - 100Hz



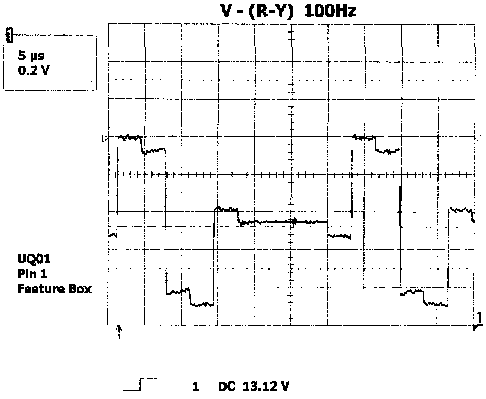
Vertical Sync - 100Hz



IF Video Out



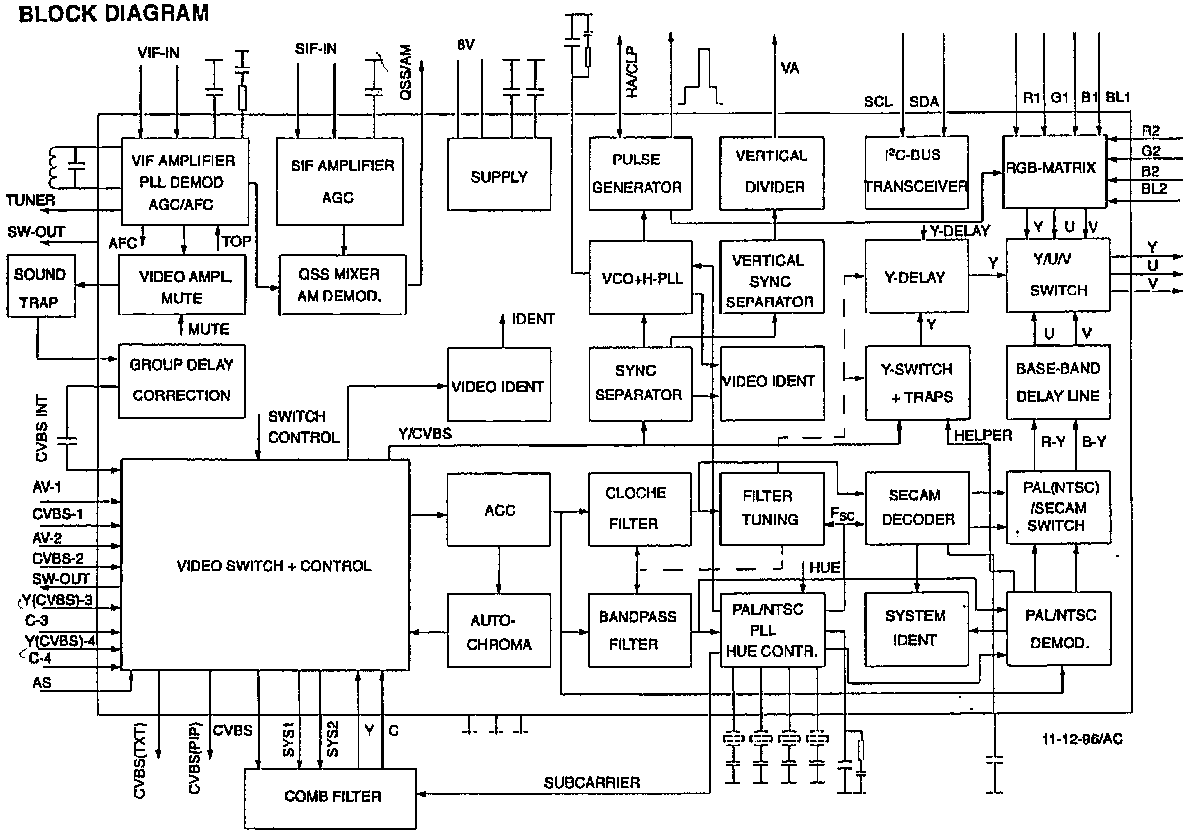
V - (R-Y) 100Hz

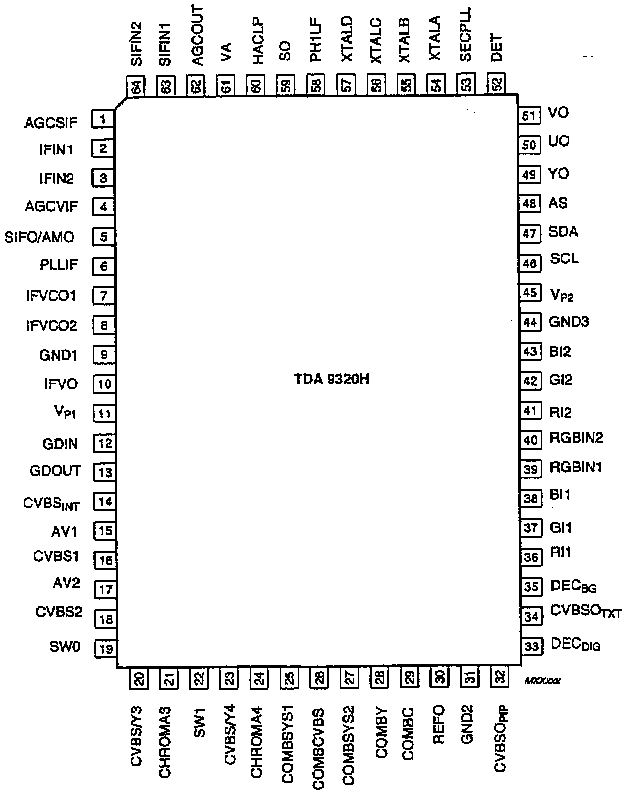


IC DATA

I200

BLOCK DIAGRAM





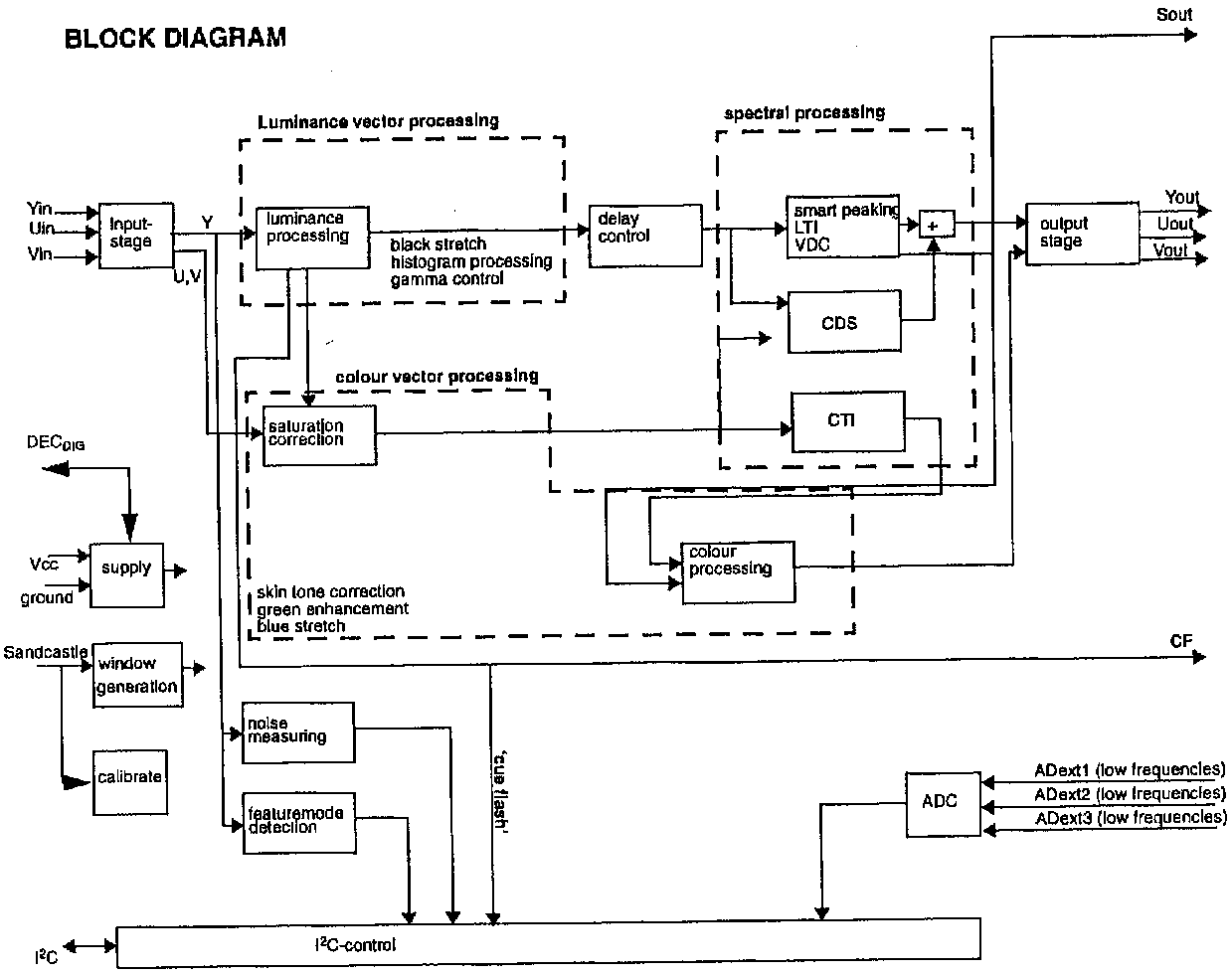
SYMBOL	PIN	DESCRIPTION
RI2	41	R-2 input
GI2	42	G-2 input
BI2	43	B-2 input
GND3	44	ground
V_{P2}	45	positive supply
SCL	46	serial clock input
SDA	47	serial data input/output
AS	48	address select
YO	49	luminance output
UO	50	U-output
VO	51	V-output
DET	52	loop filter burst phase detector
SECPLL	53	SECAM PLL decoupling
XTALA	54	X-tal A (4.433619 MHz)
XTALB	55	X-tal B (3.582056 MHz, PAL-N)
XTALC	56	X-tal C (3.575611 MHz, PAL-M)
XTALD	57	X-tal D (3.579545 MHz, NTSC-M)
PH1LF	58	phase-1 filter
SO	59	sandcastle pulse output
HACLP	60	H_A/CLP output/input
VA	61	V_A output
AGCOUT	62	tuner AGC output
SIFIN1	63	SIF input 1
SIFIN2	64	SIF input 2

PINNING

SYMBOL	PIN	DESCRIPTION
AGC_{SIF}	1	SIF AGC decoupling capacitor
IFIN1	2	IF input 1
IFIN2	3	IF input 2
AGC_{VIF}	4	VIF AGC decoupling capacitor
SIF_{OUT}/AM_{OUT}	5	combined QSS and AM sound output
PLLIF	6	IF-PLL loop filter
IFVCO1	7	IF VCO tuned circuit 1
IFVCO2	8	IF VCO tuned circuit 2
GND1	9	main ground
IFVO	10	IF video output
V_{P1}	11	main supply voltage 1 (+8 V)
GDIN	12	group delay correction input
GDOUT	13	group delay correction output
$CVBS_{INT}$	14	internal CVBS input
AV1	15	AV-1 input
CVBS1	16	CVBS-1 input
AV2	17	AV-2 input
CVBS2	18	CVBS-2 input
SW0	19	output switch (I^2C)
CVBS/Y3	20	CVBS/Y-3 input
CHROMA3	21	chrominance-3 input
SW1	22	output switch (I^2C)
CVBS/Y4	23	CVBS/Y-4 input
CHROMA4	24	chrominance-4 input
COMBSYS1	25	SYS-1 output for comb filter
COMBCVBS	26	CVBS output for comb filter
COMBSYS2	27	SYS-2 output for comb filter
COMBY	28	luminance input (from comb filter)
COMBC	29	chrominance input (from comb filter)
REFO	30	subcarrier output
GND2	31	digital ground
$CVBSO_{PIP}$	32	CVBS (PIP) output
DEC_{DIG}	33	digital supply decoupling
$CVBSO_{TXT}$	34	CVBS (TXT) output
DEC_{BG}	35	bandgap decoupling
RI1	36	R-1 input
GI1	37	G-1 input
BI1	38	B-1 input
RGBIN1	39	RGB-1 insertion input
RGBIN2	40	RGB-2 insertion input

IE01

BLOCK DIAGRAM



PINNING

SYMBOL	PIN	DESCRIPTION
SC	1	sandcastle input
NC	2	not connected
ADEXT1	3	ADC input 1
ADEXT2	4	ADC input 2
ADEXT3	5	ADC input 3
YIN	6	luminance input
ADR	7	Address selection input
UIN	8	colour U input
VIN	9	colour V input
NC	10	not connected
SCL	11	serial clock input (I^2C-bus)
NC	12	not connected
NC	13	not connected
SDA	14	serial data input/output (I^2C-bus)
DEC_{DIG}	15	Decoupling digital supply
VOUT	16	colour V output
UOUT	17	colour U output
V_{EE}	18	ground
YOUT	19	luminance output
V_{CC}	20	supply voltage
SOUT	21	scavem output
CF	22	Cue flash output
NC	23	not connected
NC	24	not connected

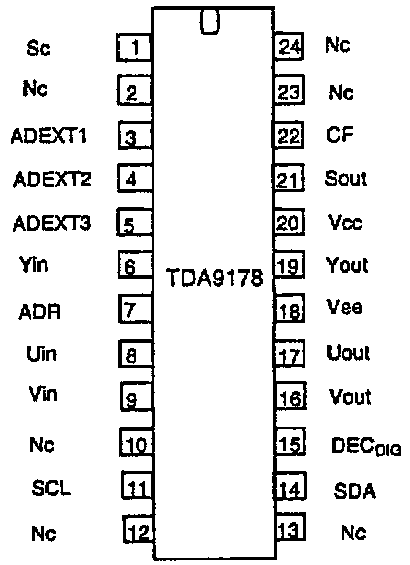
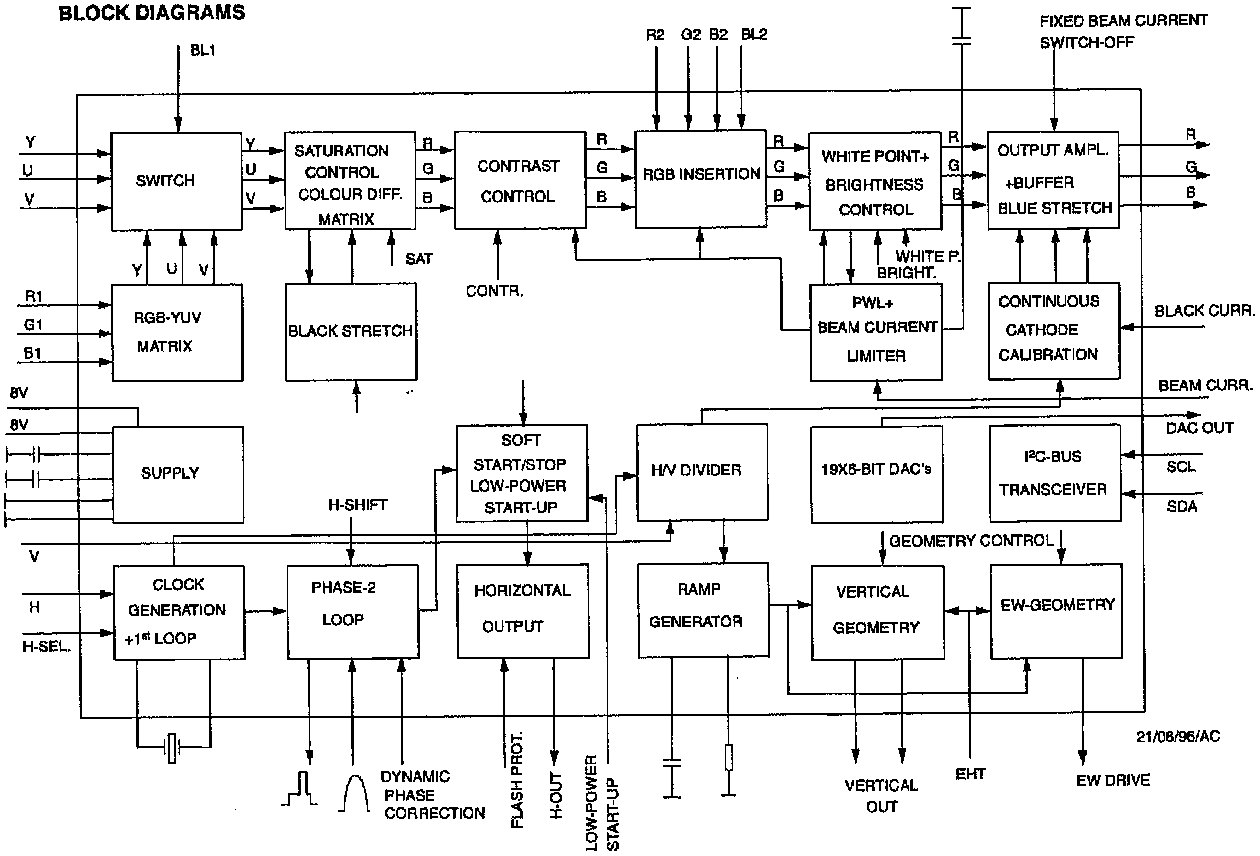
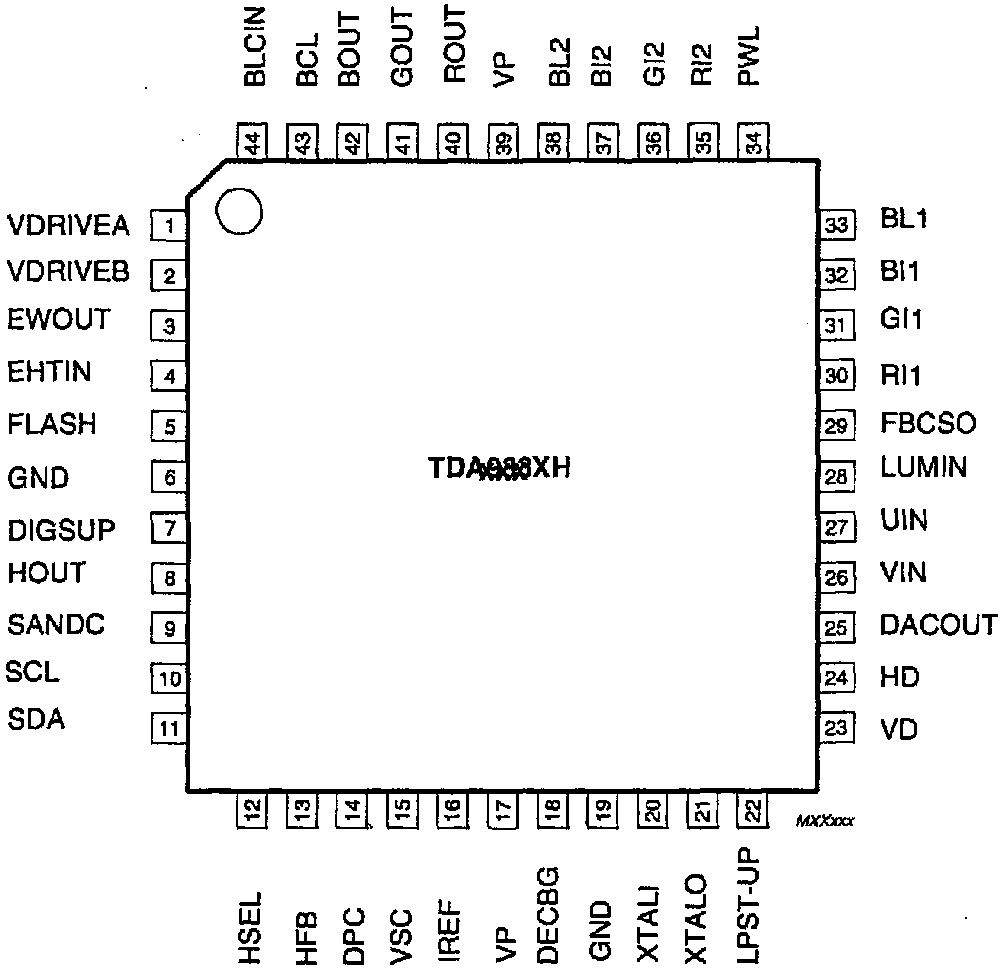


Fig.2 Pin configuration.

IE02

BLOCK DIAGRAMS



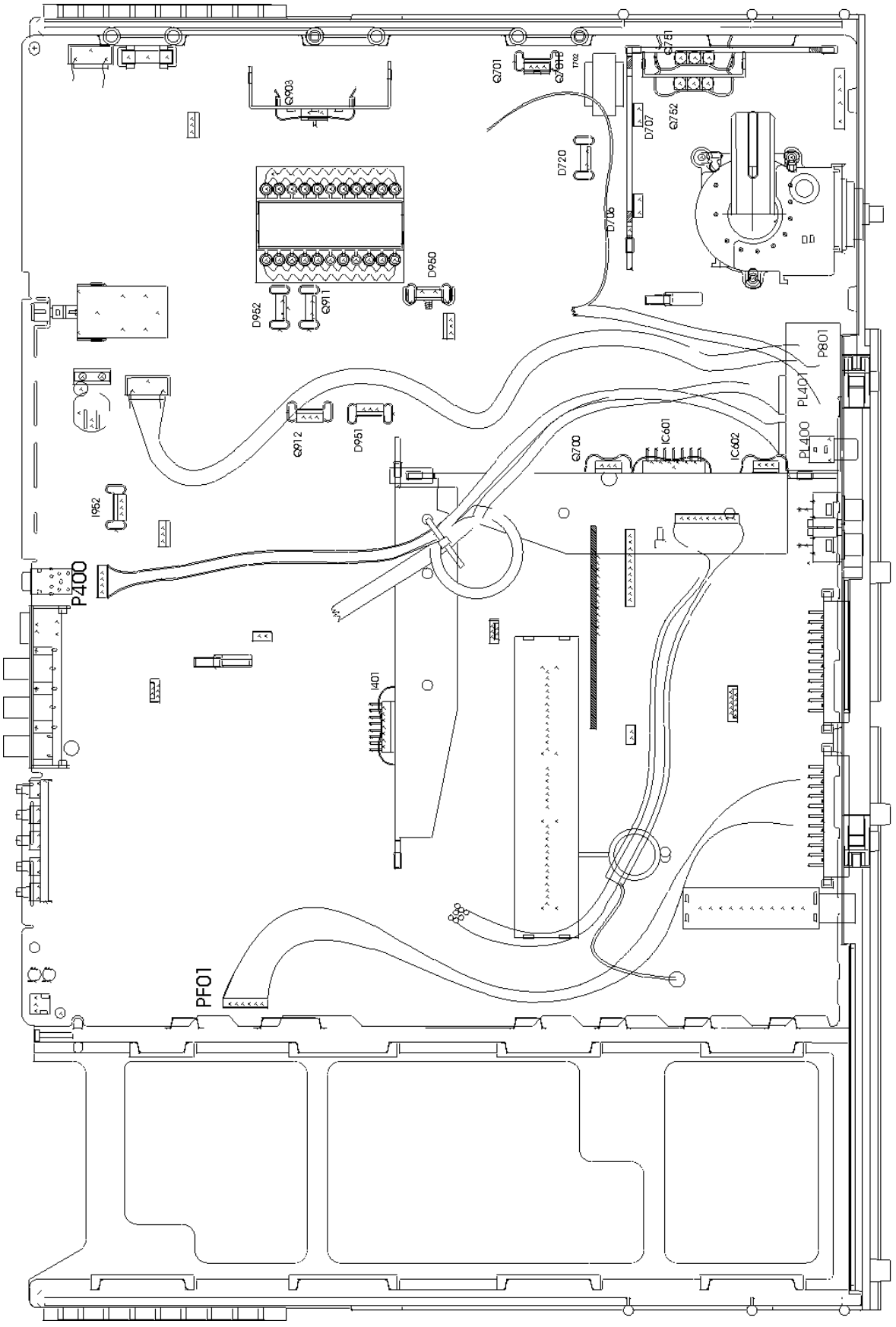


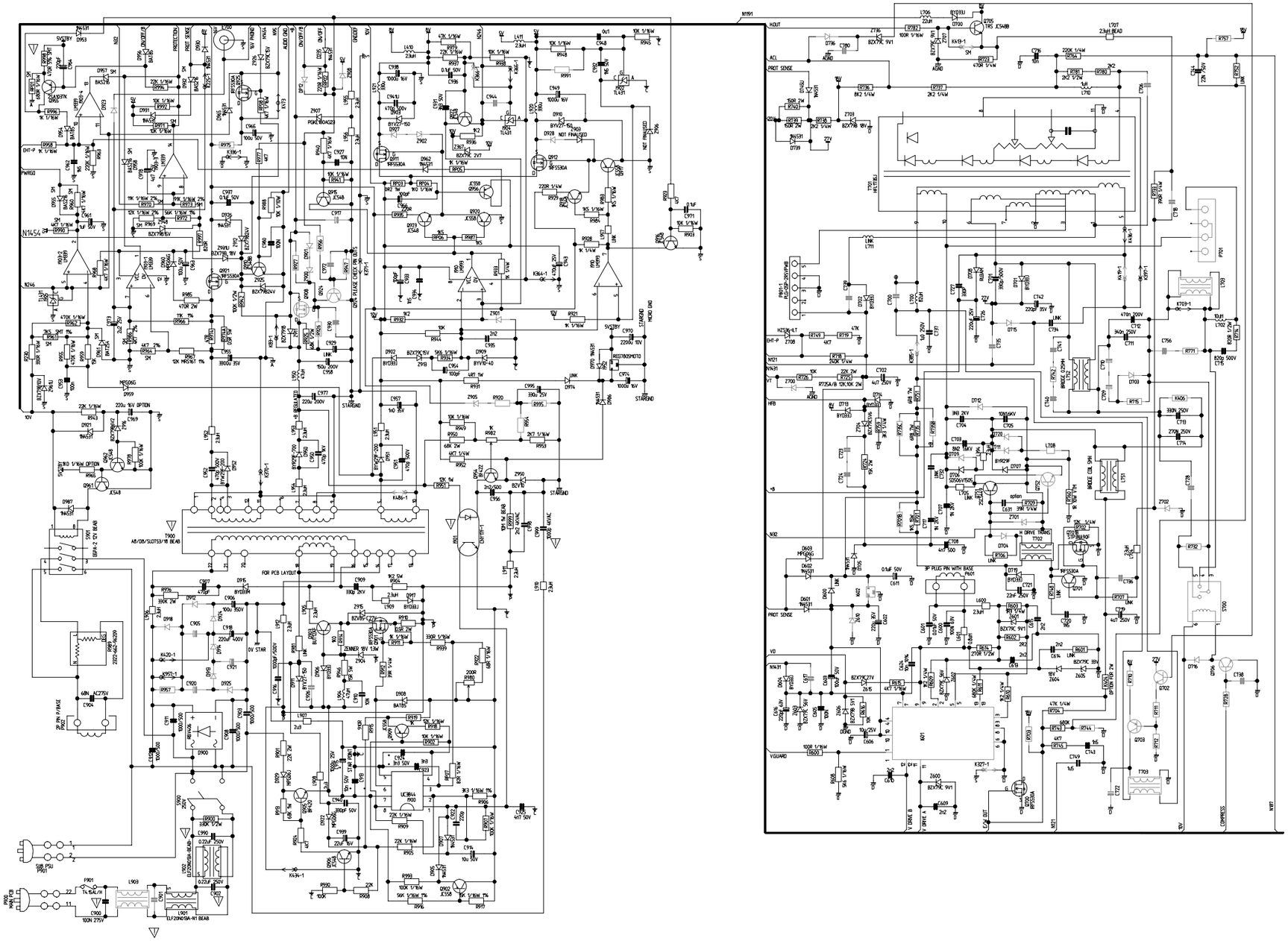
SYMBOL	PIN	DESCRIPTION
PWL	34	Peak white limiting decoupling
RI2	35	R-2 input for insertion
GI2	36	G-2 input for insertion
BI2	37	B-2 input for insertion
BL2	38	*Fast blanking/blending input for RGB-2*
V_P	39	Positive supply
ROUT	40	Red output
GOUT	41	Green output
BOUT	42	Blue output
BCL	43	Beam current limiting input
BLCIN	44	Black current input

PINNING

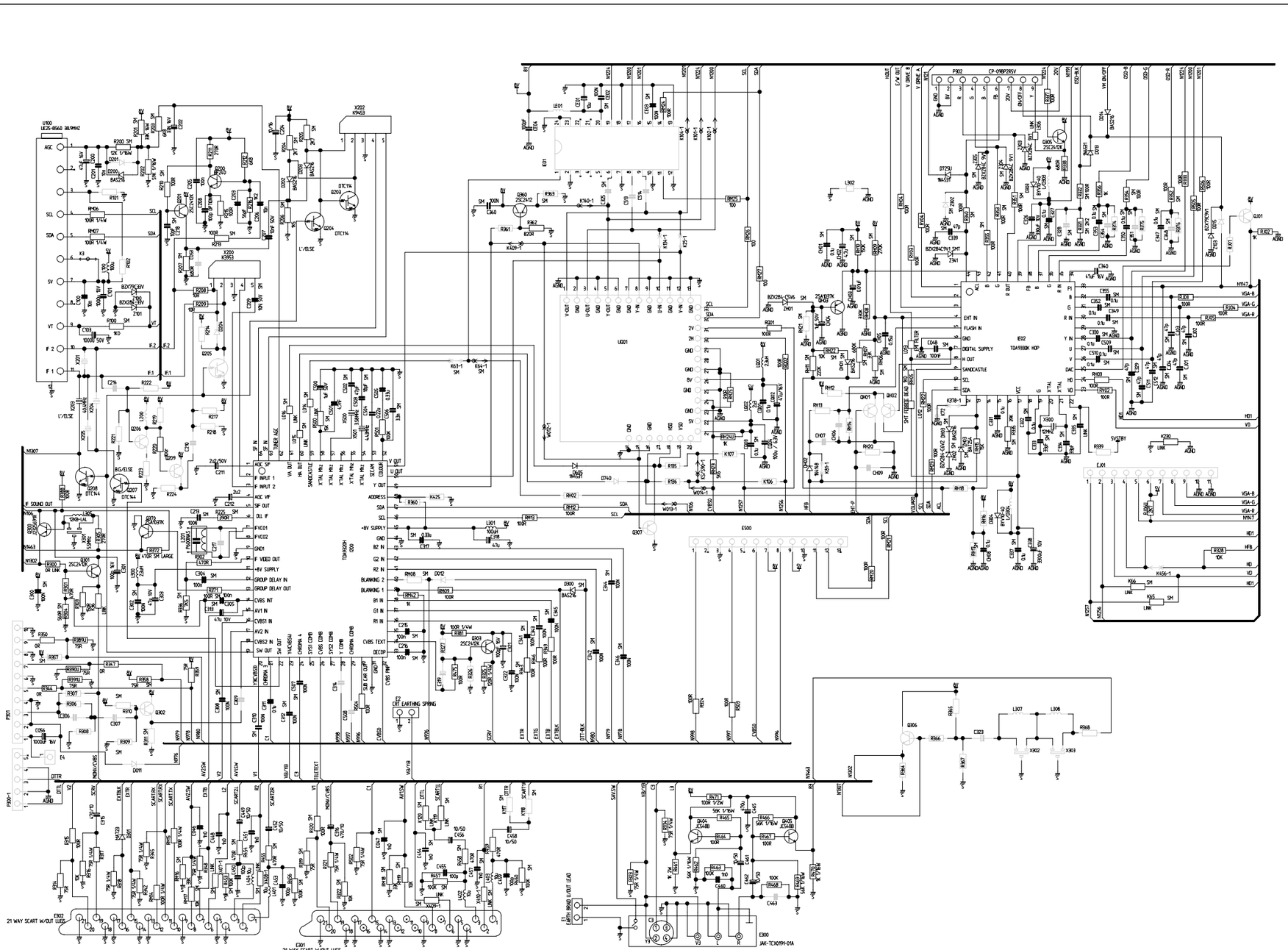
SYMBOL	PIN	DESCRIPTION
VDRIVEA	1	Vertical drive A
VDRIVEB	2	Vertical drive B
EWOUT	3	E-W output
EHTIN	4	EHT compensation input
FLASH	5	Flash detection input
GND	6	Ground
DIGSUP	7	Digital supply decoupling
HOUT	8	Horizontal output
SANDC	9	Sandcastle pulse output
SCL	10	Serial clock input
SDA	11	Serial data input
HSEL	12	Selection of horizontal frequency
HFB	13	Horizontal flyback pulse input
DPC	14	Dynamic phase compensation
VSC	15	Vertical sawtooth capacitor
I_{REF}	16	Reference current input
V_P	17	Positive supply
DEC_{BG}	18	Bandgap decoupling
GND	19	Ground
XTALI	20	X-tal input
XTALO	21	X-tal output
LPST-UP	22	Low-power start-up supply
V_D	23	V_D input
H_D	24	H_D input
DACOUT	25	DAC output
VIN	26	V-signal input
UIN	27	U-signal input
LUMIN	28	Luminance input
FBCSO	29	Fixed beam current switch-off input
RI1	30	R-1 input for insertion
GI1	31	G-1 input for insertion
BI1	32	B-1 input for insertion
BL1	33	Fast blanking input for RGB-1

MECHANICAL

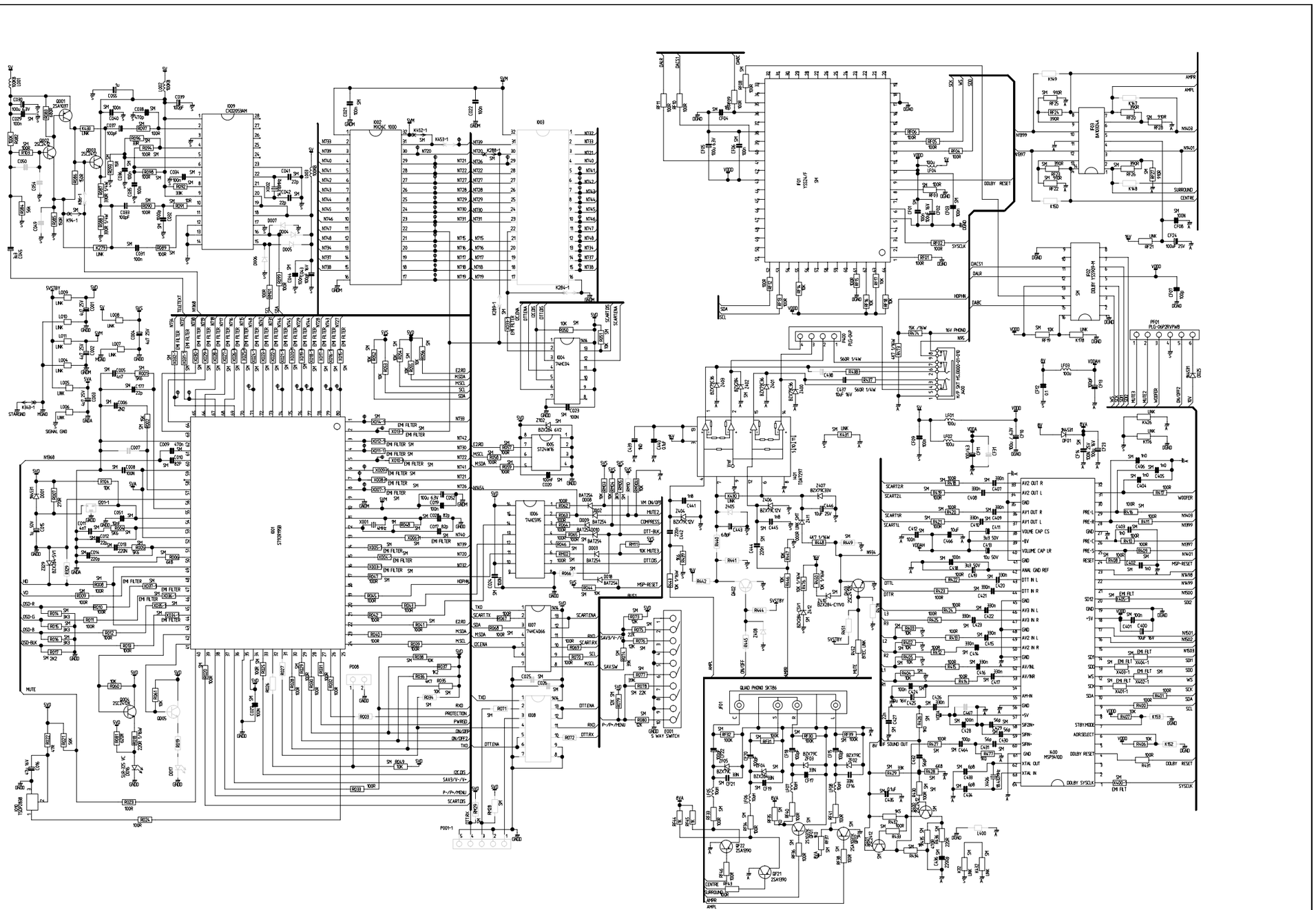

Q903
Q701
Q751
Q752
D707
D720
D705
D950
D952
Q911
Q912
D951
P801
PL401
PL400
Q700
IC601
IC402
I952
P400
I401
PF01
Remove this screw prior to removing PCB



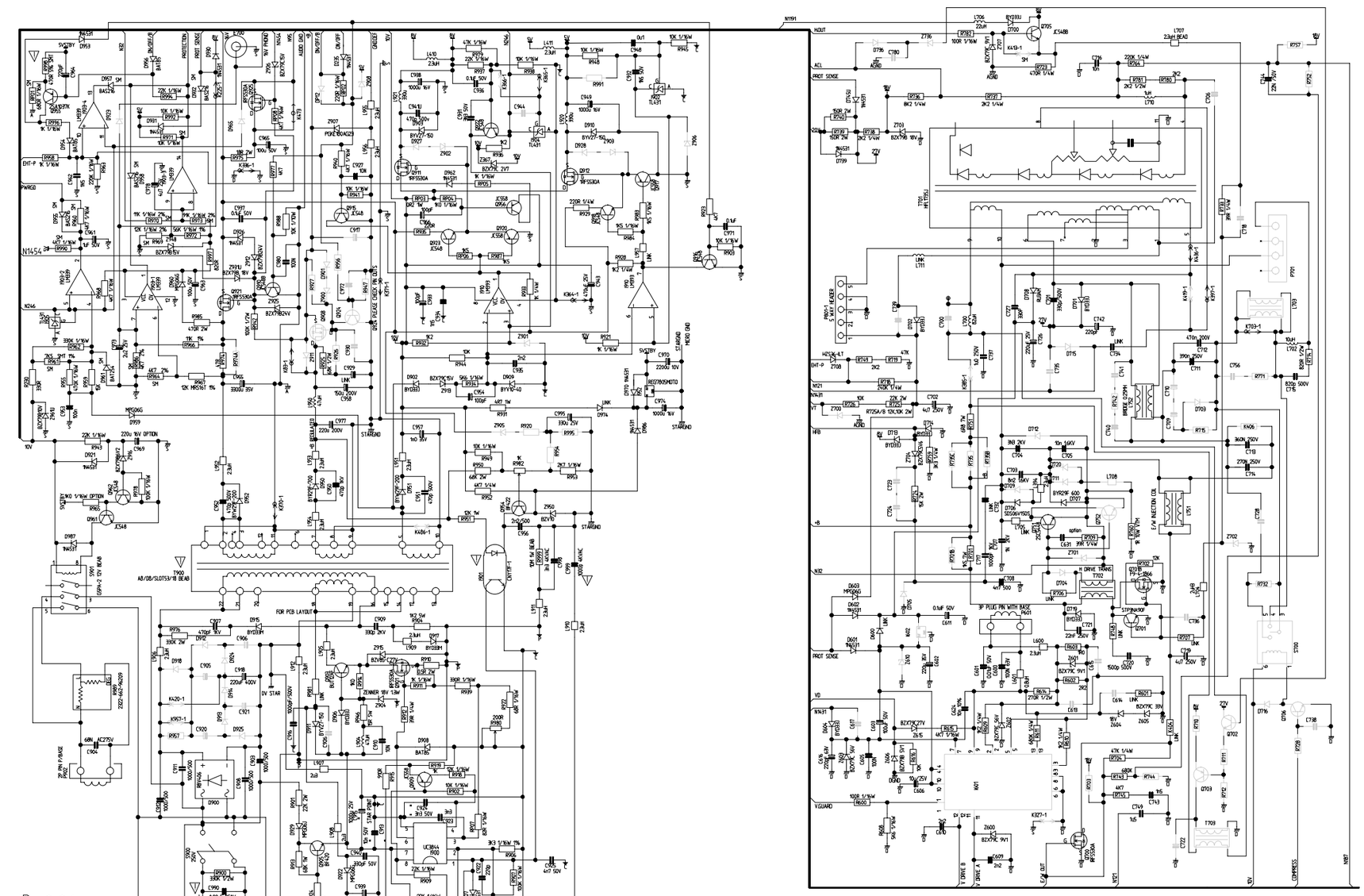
No 00021	1 of 12	MAIN PCB 1 of 3	HITACHI



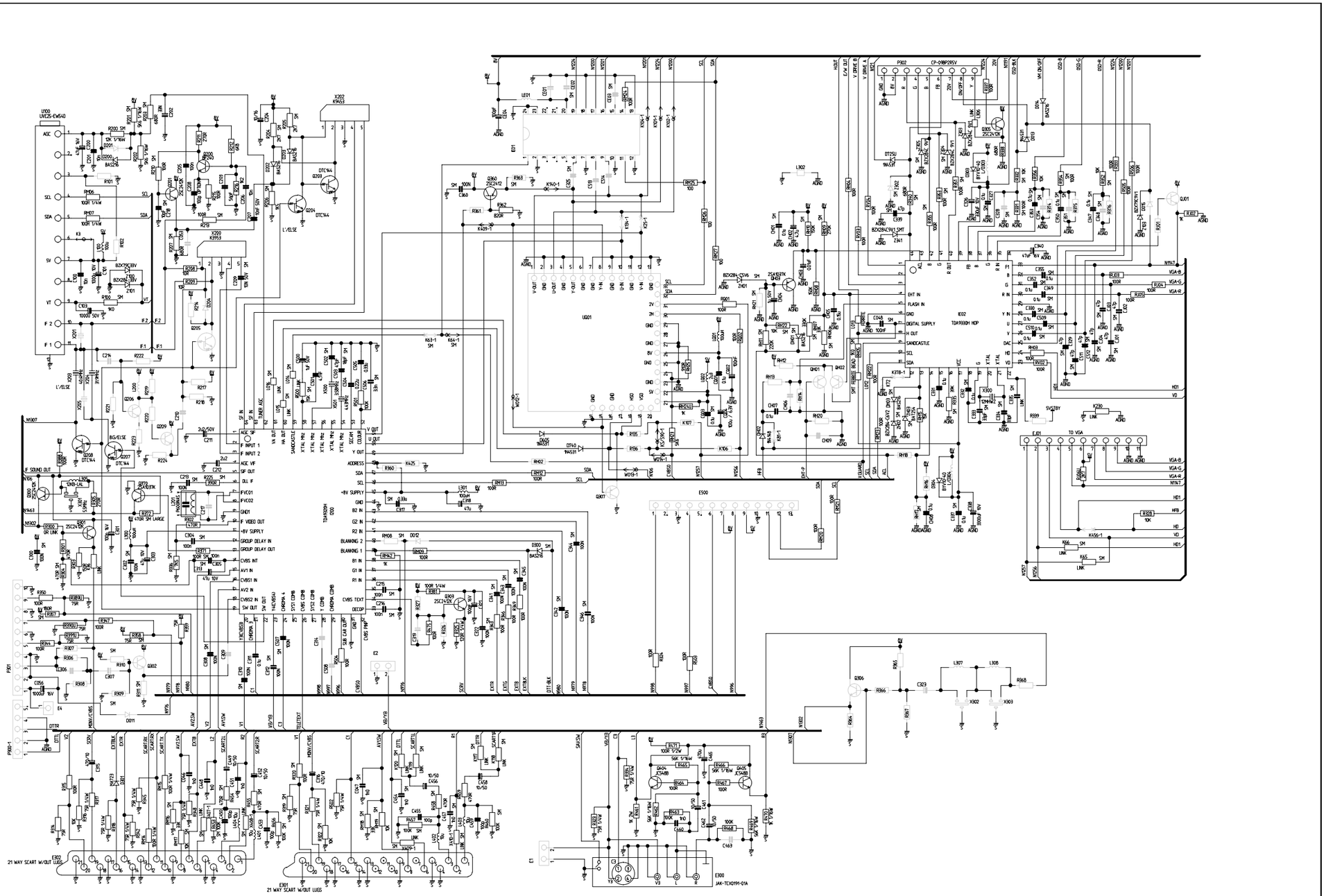
No 00021	2 of 12	MAIN PCB 2 OF 3	HITACHI



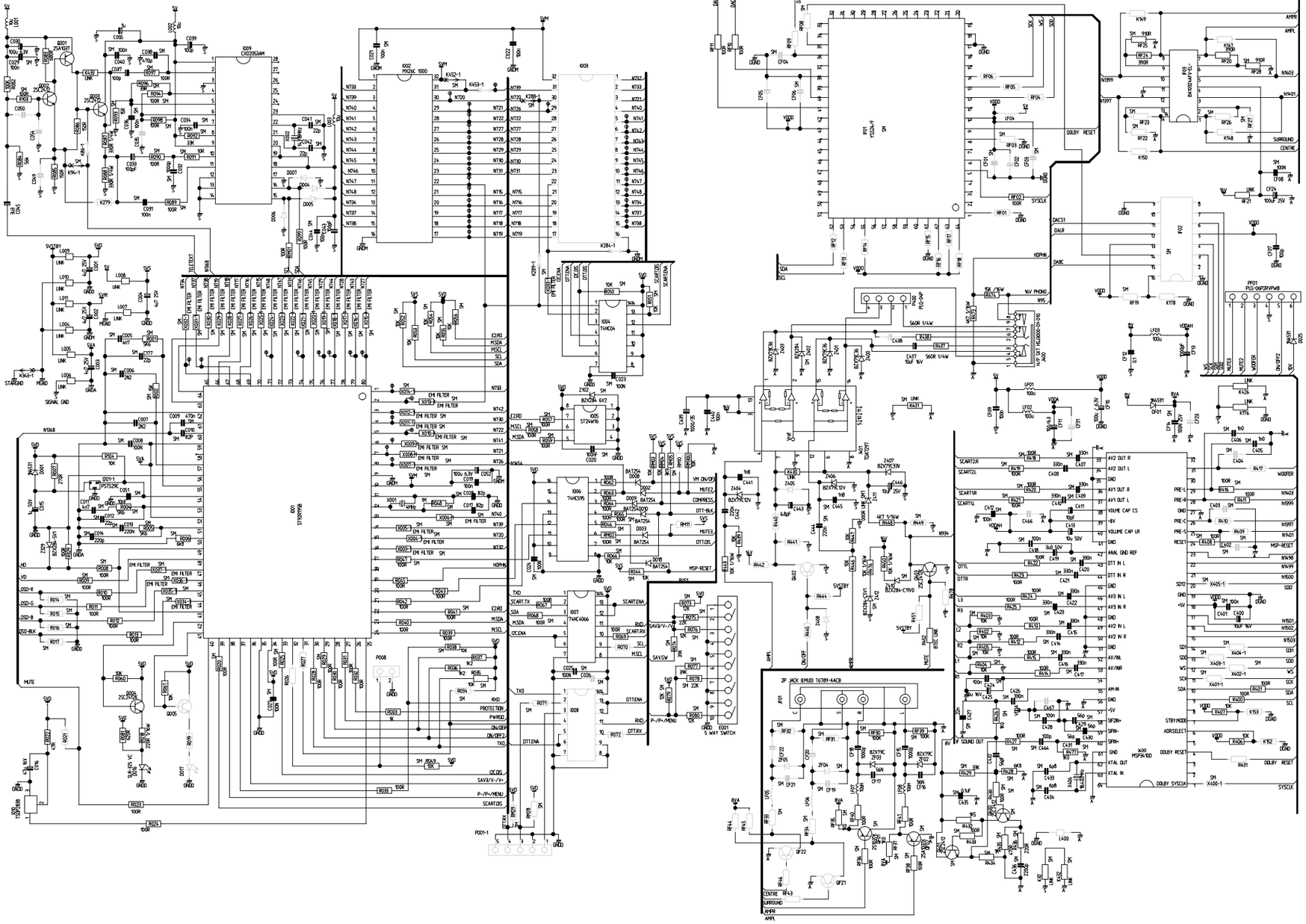
No 00021	3 of 12	MAIN PCB 3 OF 3	HITACHI



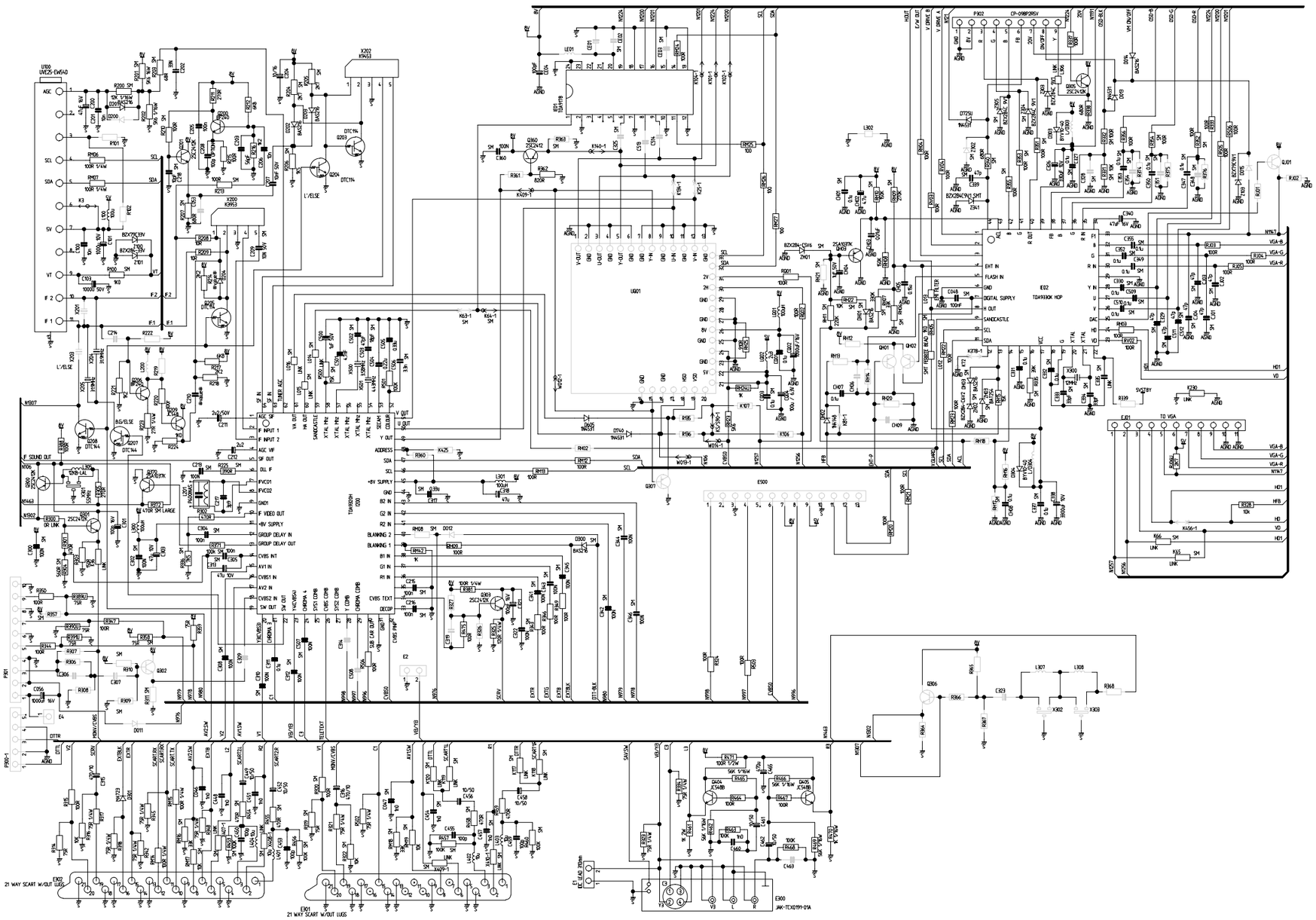
No 00021	1 of 12	MAIN PCB 1 OF 3	HITACHI



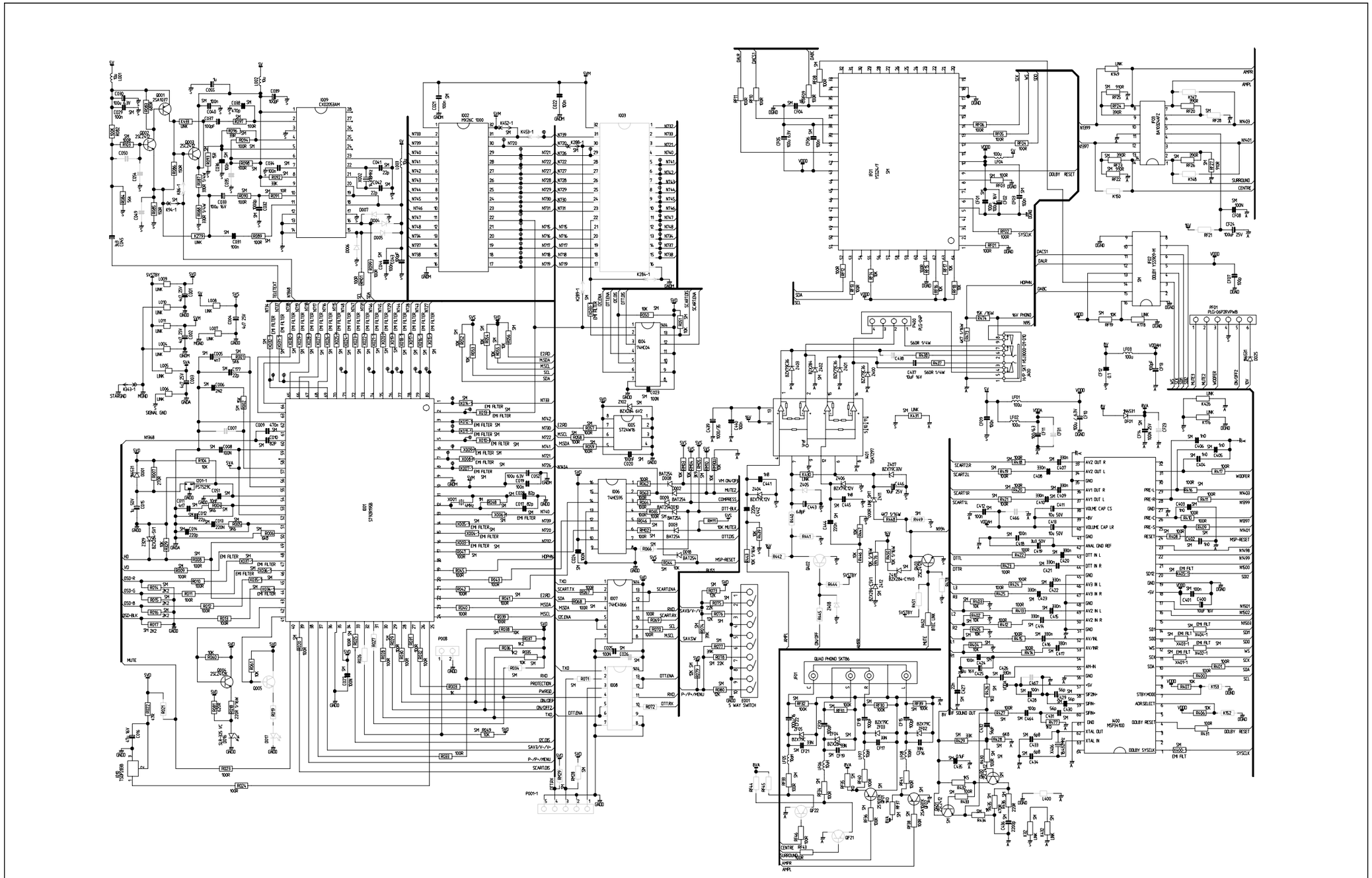
No 00021	2 of 12	MAIN PCB 2 OF 3	HITACHI



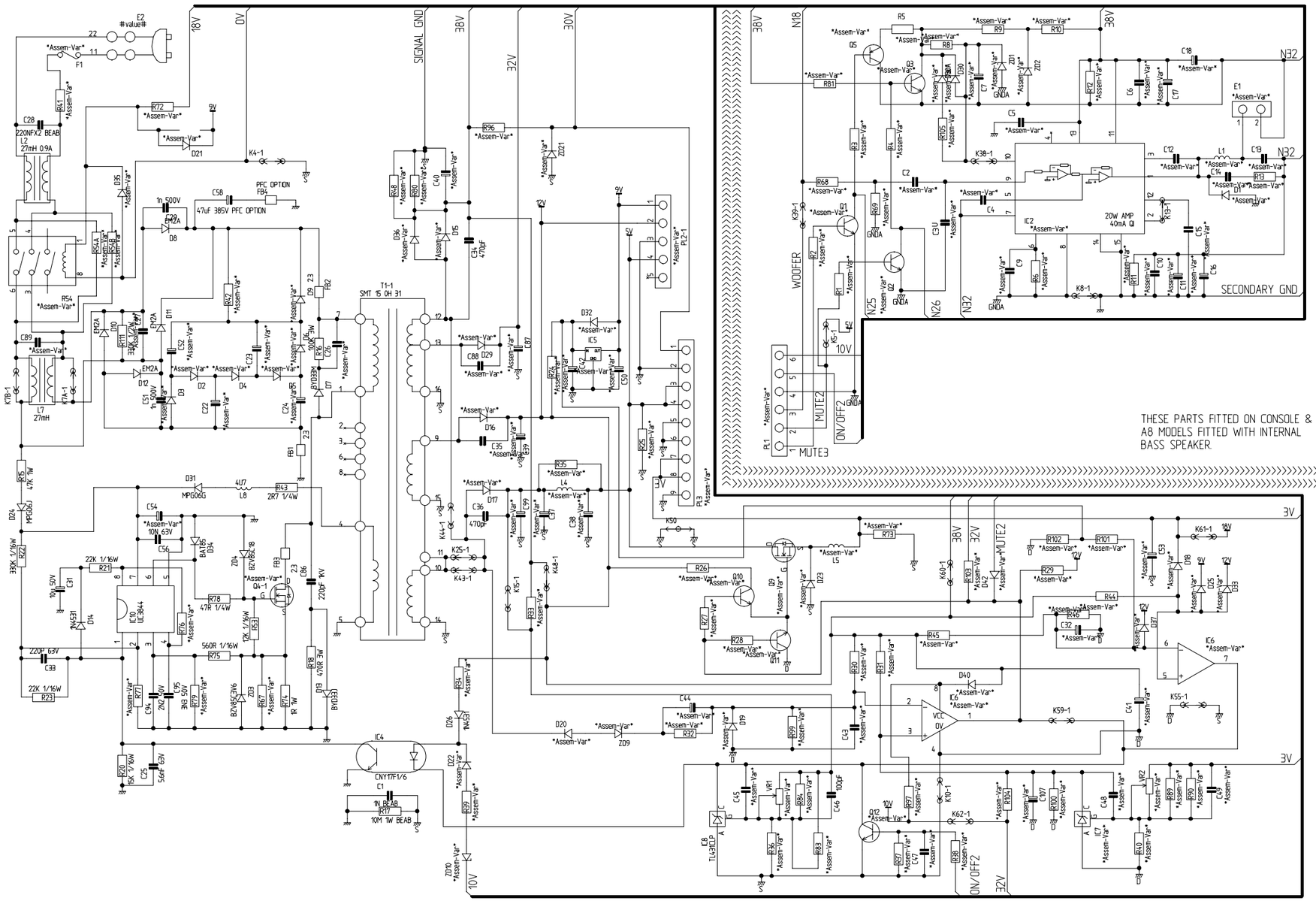
No 00021	3 of 12	MAIN PCB 3 OF 3	HITACHI

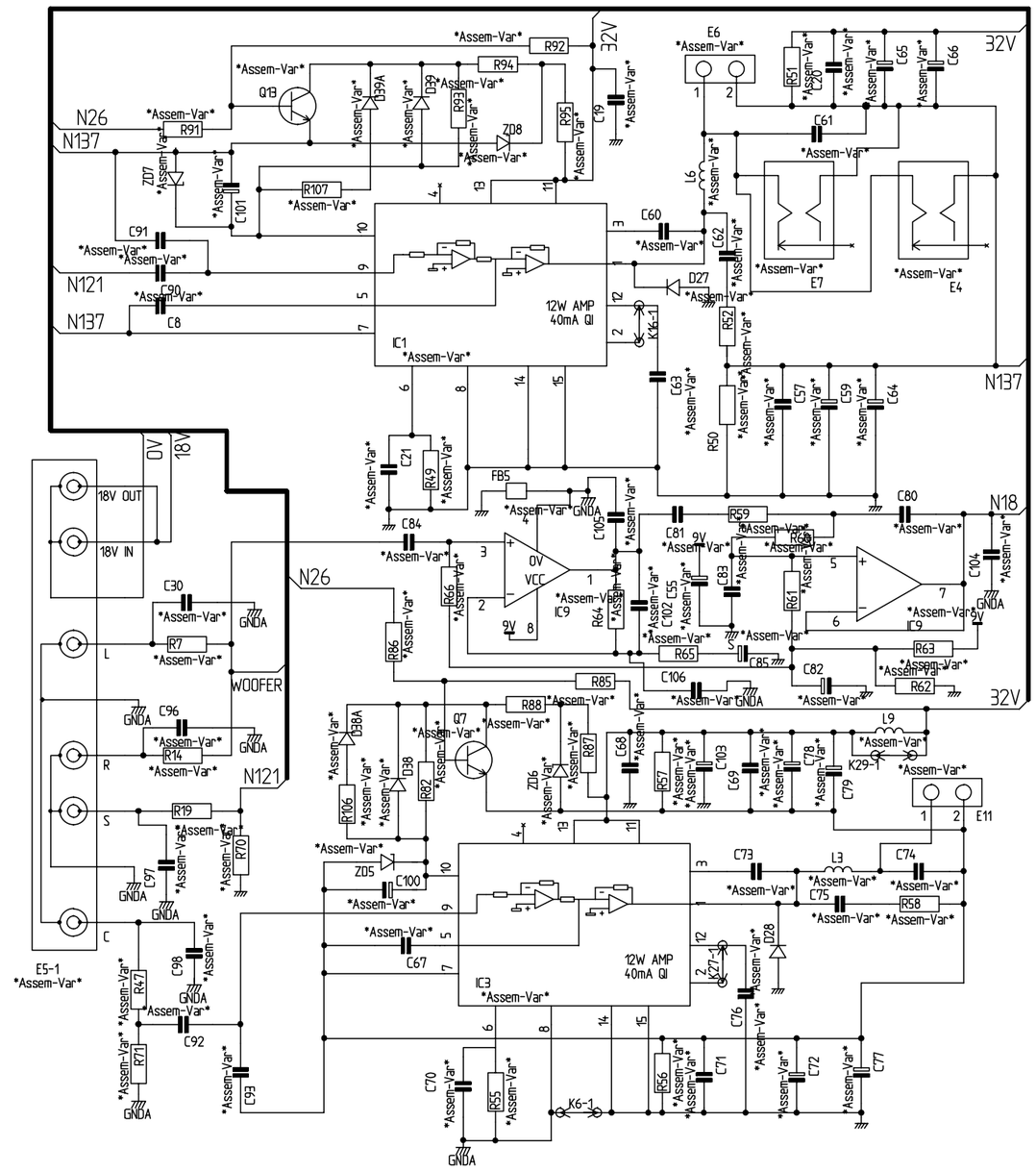


No 00021	2 of 12	MAIN PCB 2 OF 3	HITACHI

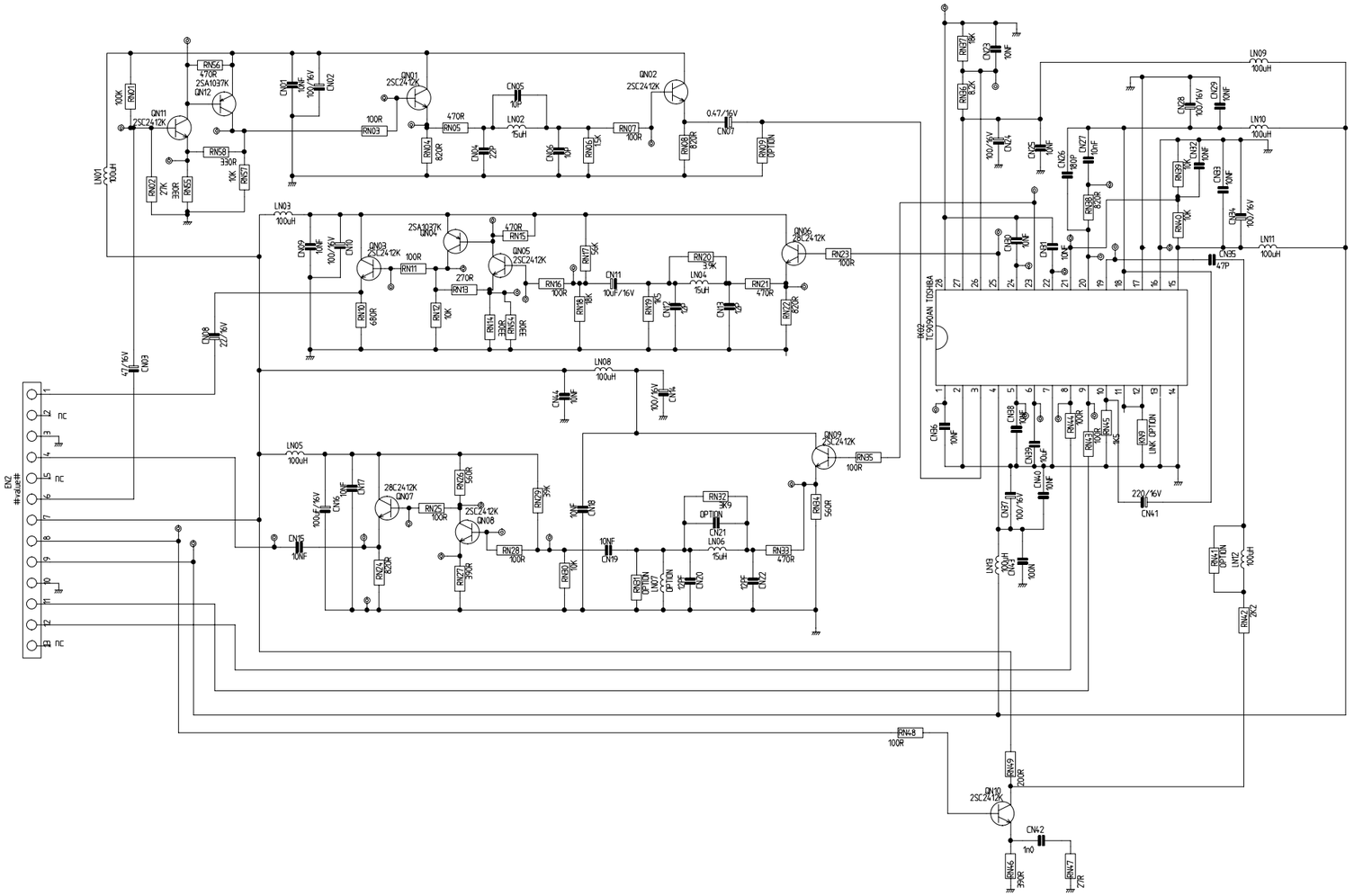


No 00021	3 of 12	MAIN PCB 3 OF 3	HITACHI

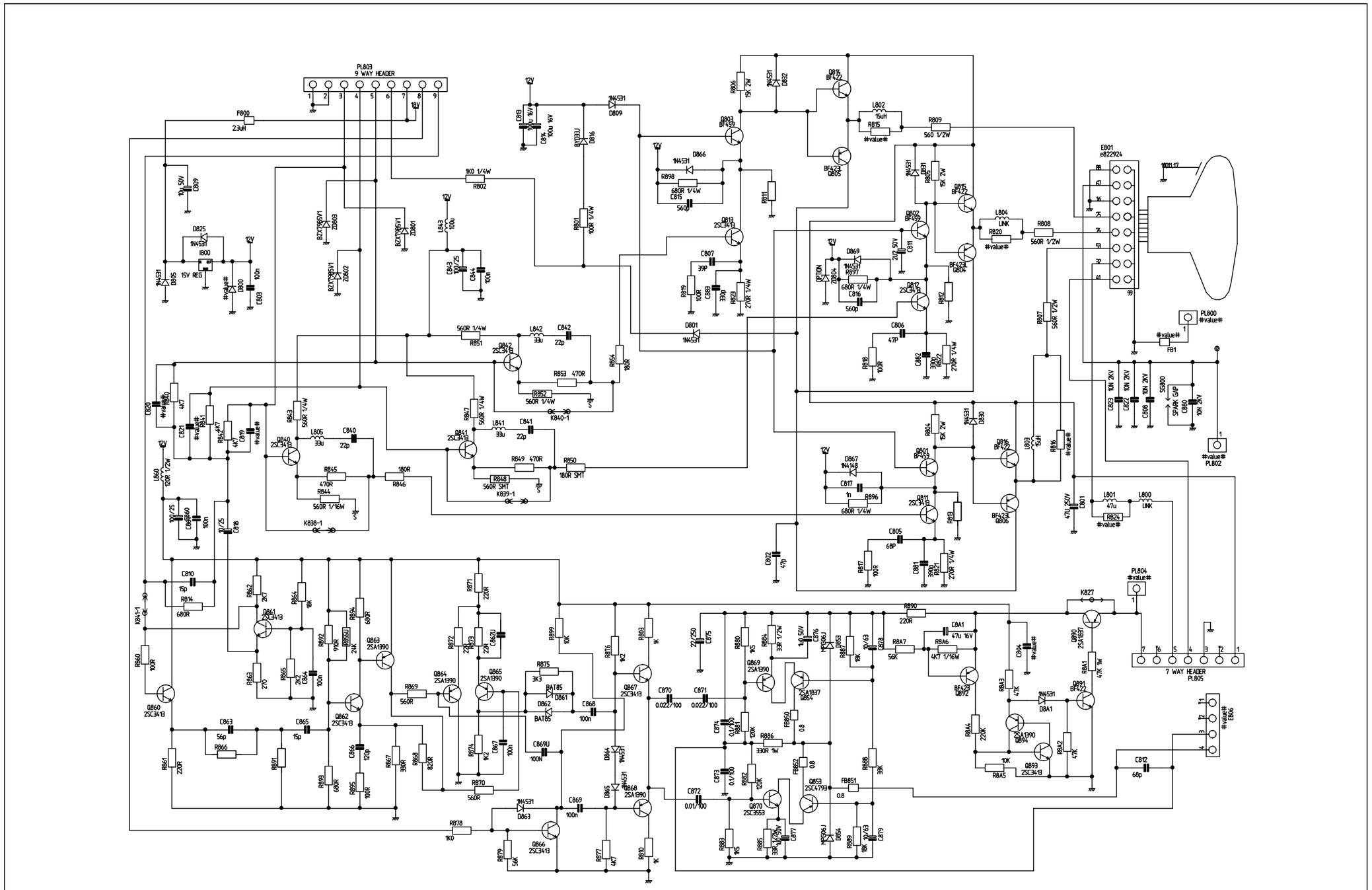

SECONDARY GND
WOOFER
MUTE3
ON/OFF2
MUTE2
20W AMP
40mA IQ
IC2
THESE PARTS FITTED ON CONSOLE & A8 MODELS FITTED WITH INTERNAL BASS SPEAKER.
T1-1
SMT 75 0H 31
PFC OPTION
47uF 385V PFC OPTION
L7
27mH
IC10
UC3844
IC4
CNY17F1/6
IC8
TL431CLP
IC5
IC6
VCC
0V
L2
27mH 0.9A
C28
220NFX2 BEAB
F1
#value#
F2
K4-1
K38-1
K8-1
K10-1
K62-1
K59-1
K55-1
K61-1
K60-1
K44-1
K43-1
K25-1
K48-1
K15-1
K50
K39-1
K13-1
K1-1
K2-1
K78-1
K77-1
K76-1
K75-1
K74-1
K73-1
K72-1
K71-1
K70-1
K69-1
K68-1
K67-1
K66-1
K65-1
K64-1
K63-1
K62-1
K61-1
K60-1
K59-1
K55-1
K48-1
K44-1
K43-1
K38-1
K25-1
K15-1
K13-1
K10-1
K8-1
K4-1
K2-1
K1-1
18V
0V
SIGNAL GND
38V
32V
30V
12V
9V
10V
3V
N18
N32
N25
N26
PL2-1
PL3
PL1
L1
L4
L5
L8
E1
FB1
FB2
FB3
FB4
FB5
FB6
FB7
FB8
FB9
FB10
FB11
FB12
FB13
FB14
FB15
FB16
FB17
FB18
FB19
FB20
FB21
FB22
FB23
FB24
FB25
FB26
FB27
FB28
FB29
FB30
FB31
FB32
FB33
FB34
FB35
FB36
FB37
FB38
FB39
FB40



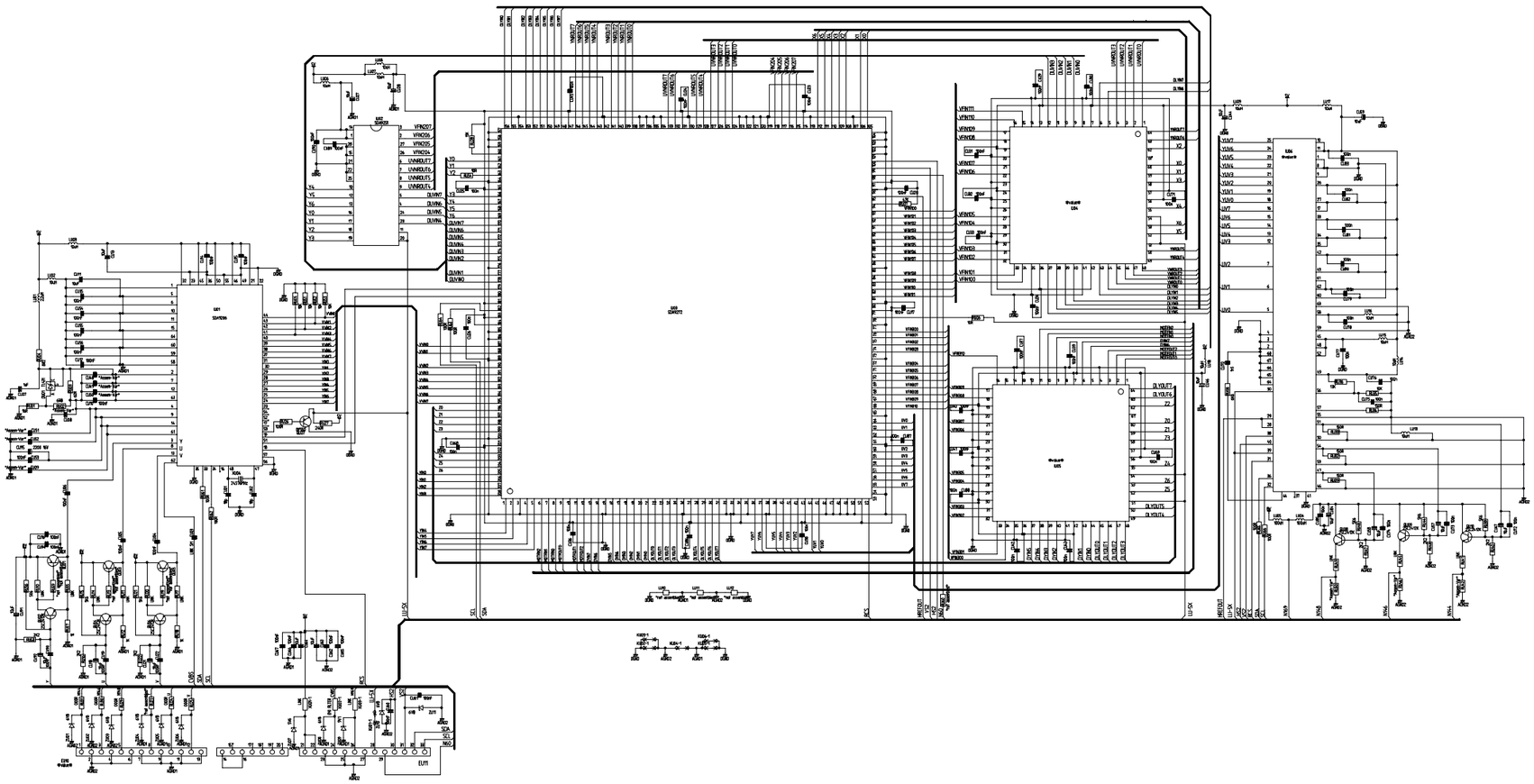
No 00021	5 of 12	SUB POWER 2 OF 2	HITACHI



No 00021	6 of 12	COMB FILTER	HITACHI



No 00021	7 of 12	CRT BASE	HITACHI



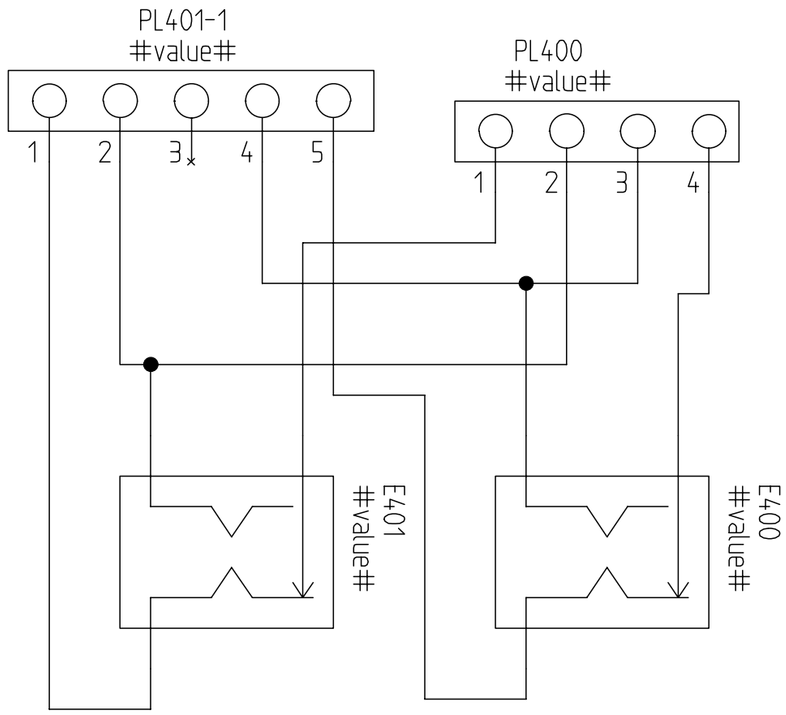
No 00021	8 of 12	FEATURE BOX	HITACHI

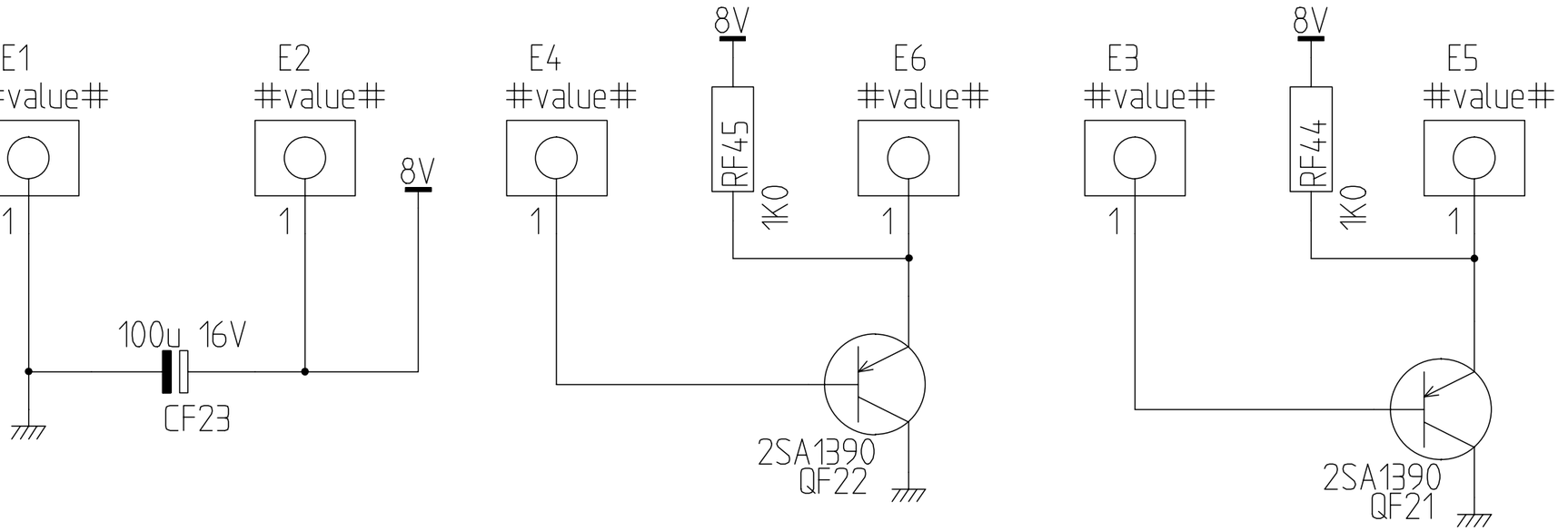
No 00021

9 of 12

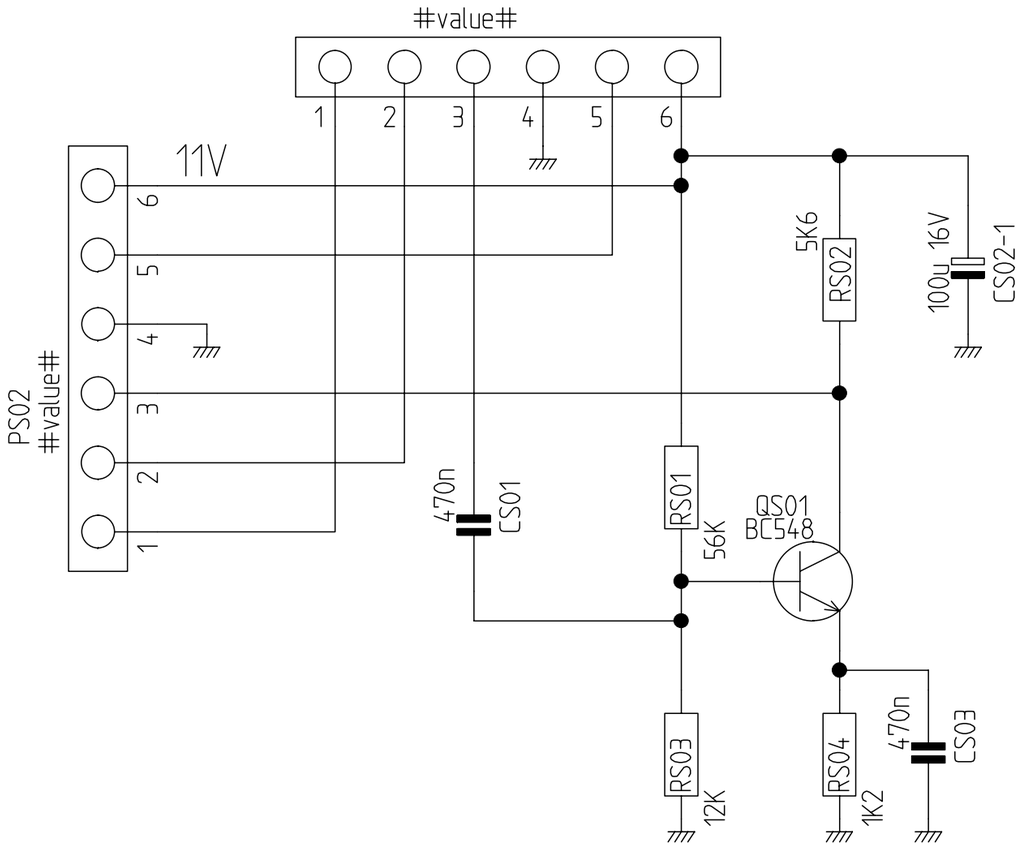
DIN SOCKET

HITACHI

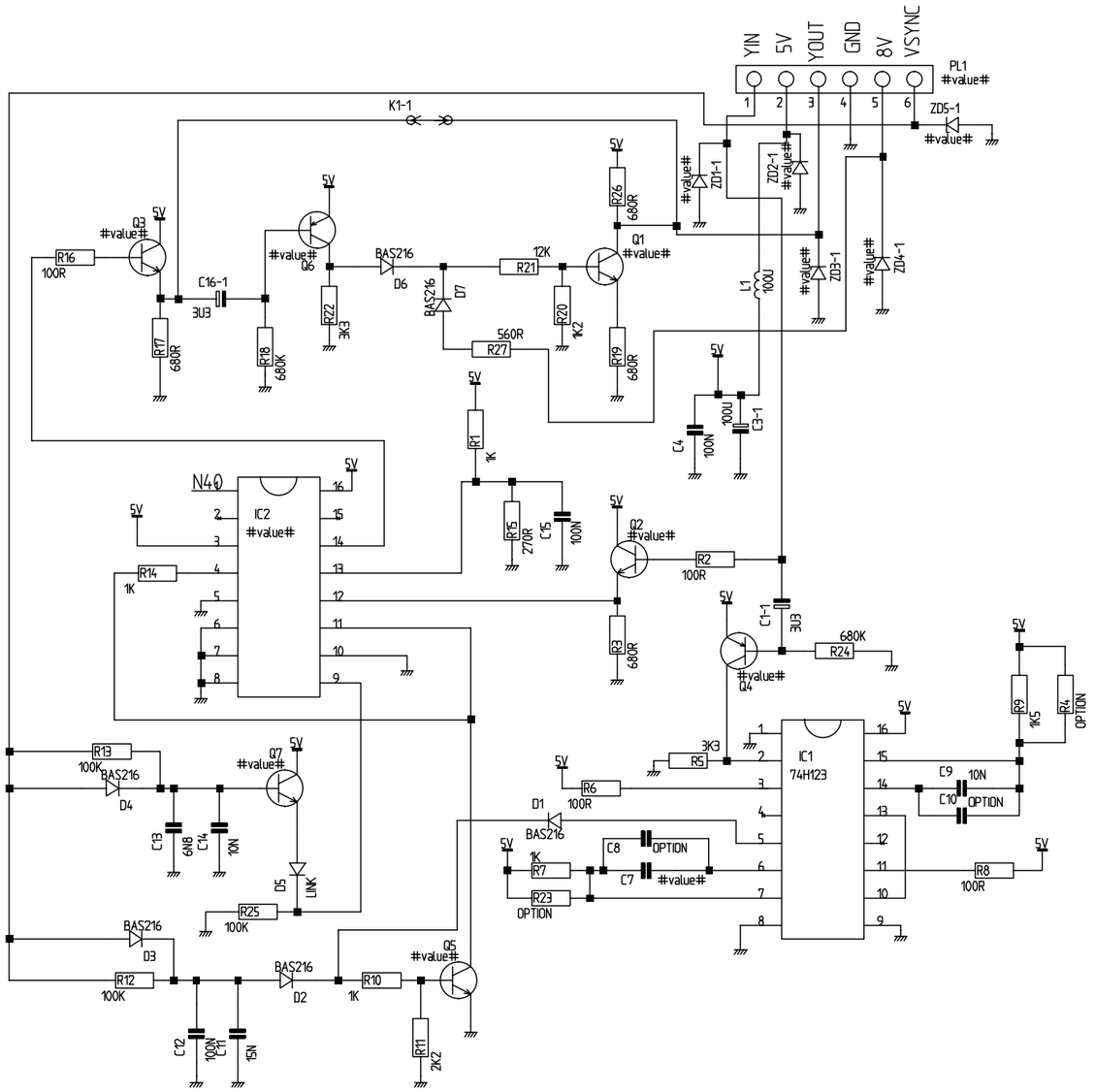




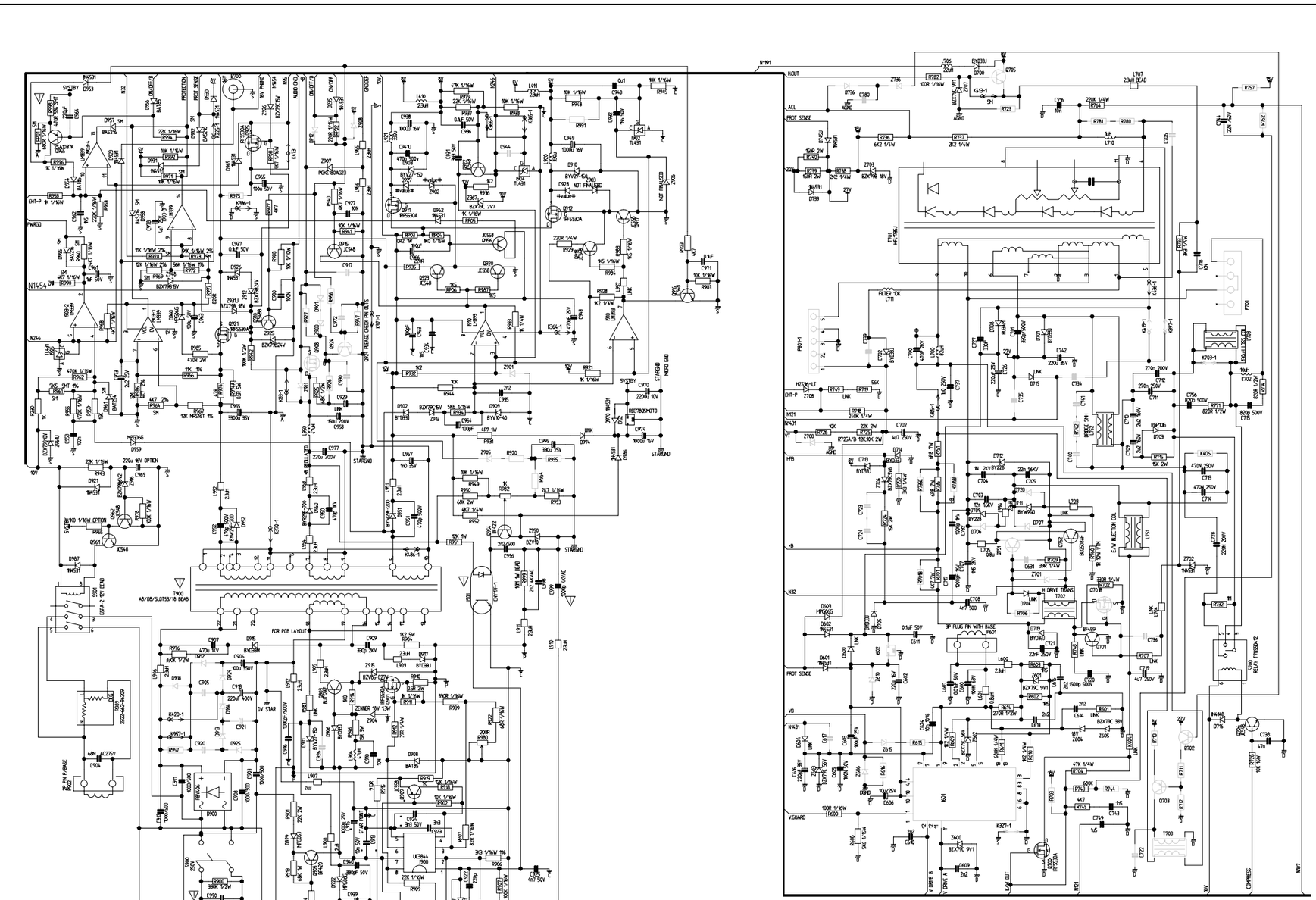
No 00021	10 of 12	AUDIO BUFFER	HITACHI



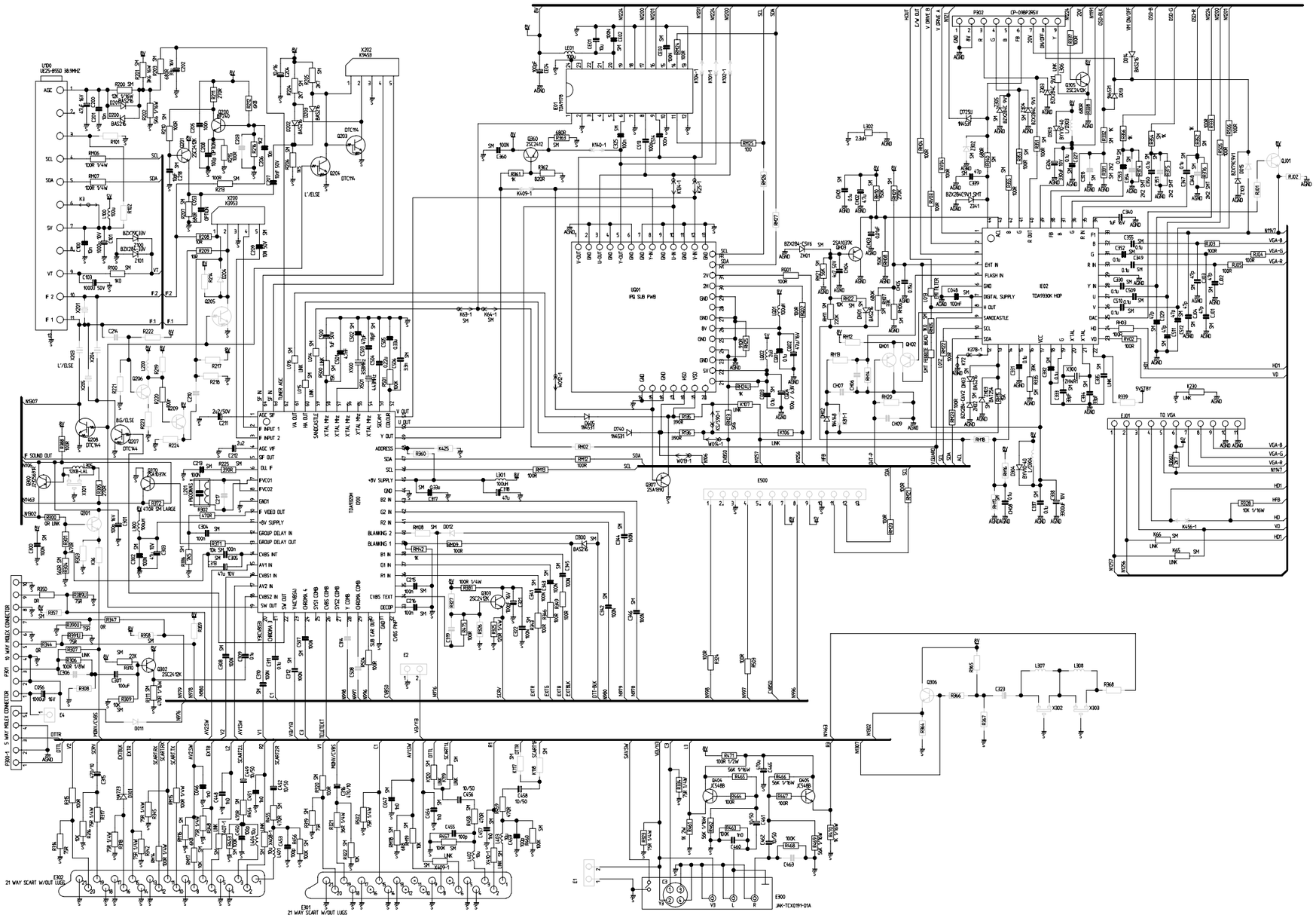
No 00021	11 of 12	BASS PRE-AMP	HITACHI



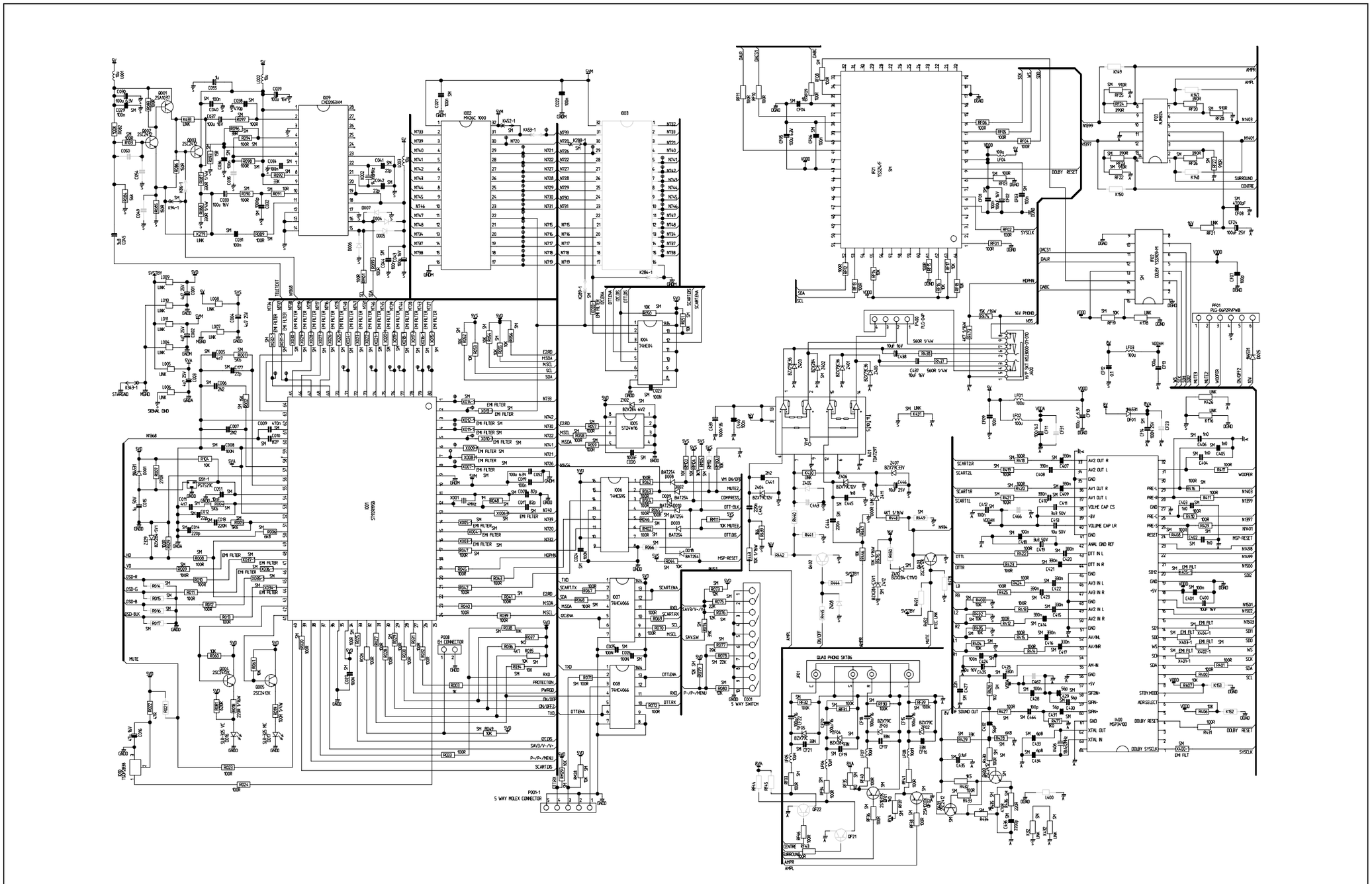
No 00021	12 of 12	MACRO VISION GATE	HITACHI



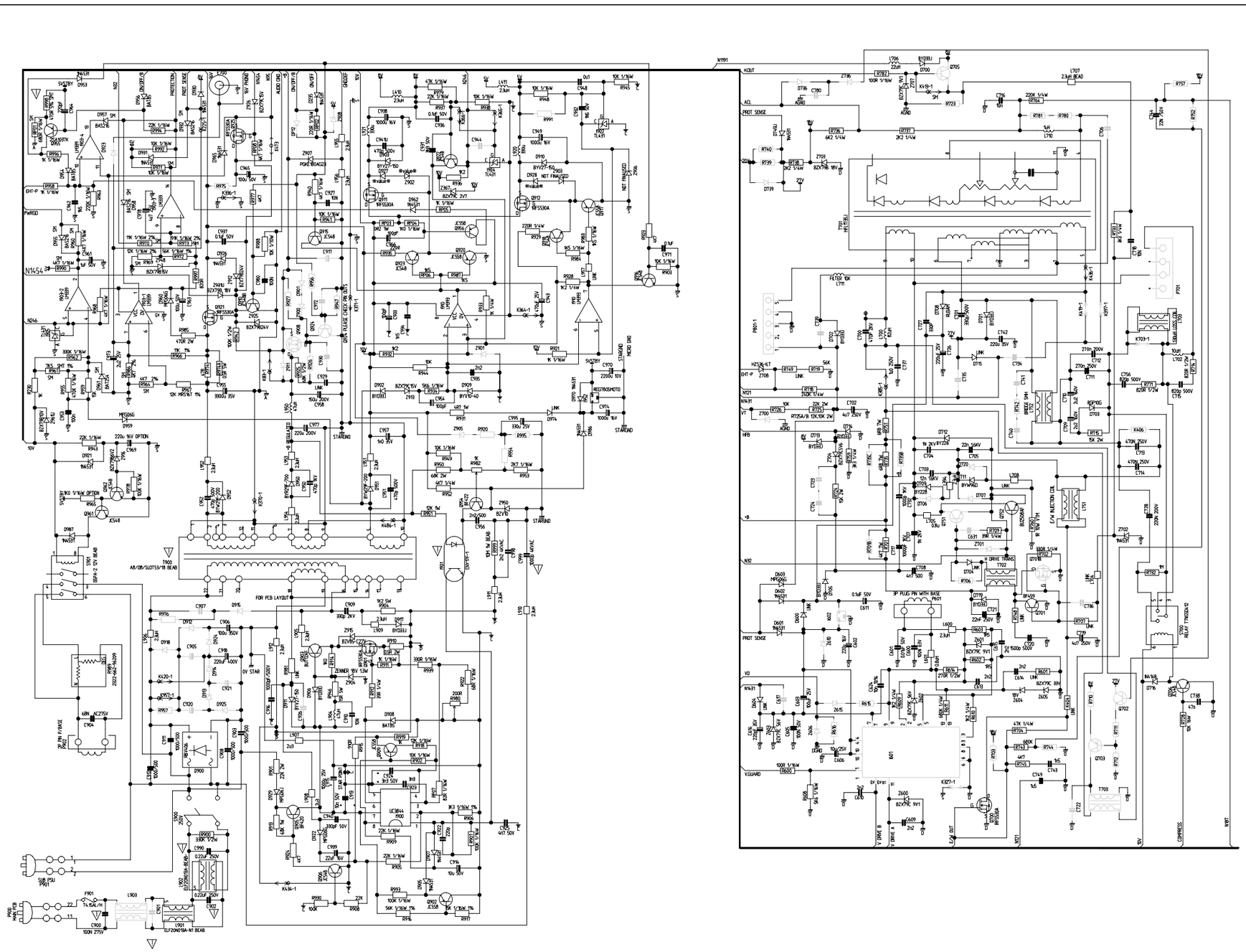
No 00021	1 of 16	MAIN PCB 1 OF 3	HITACHI



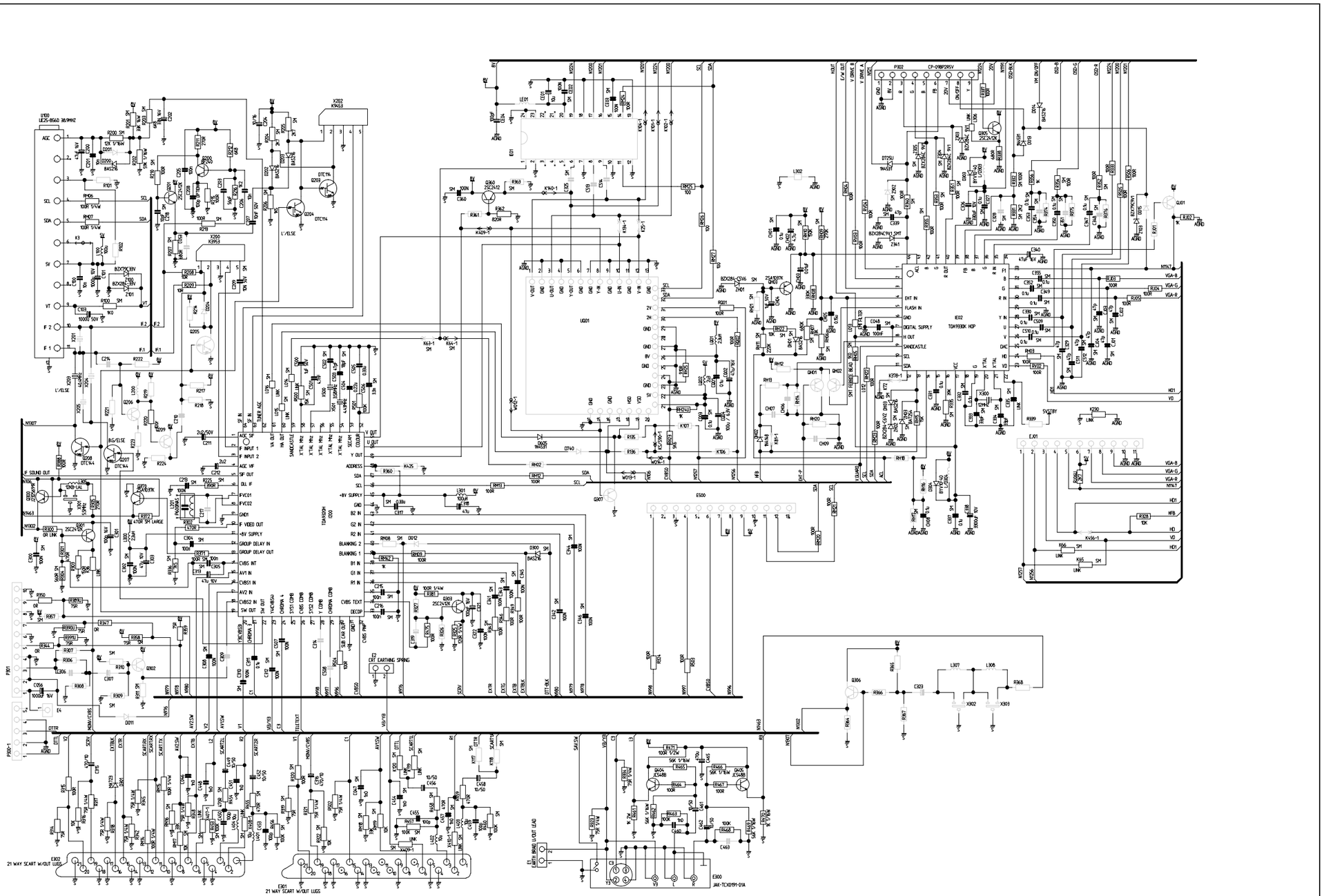
No 00021	2 of 16	MAIN PCB 2 OF 3	HITACHI



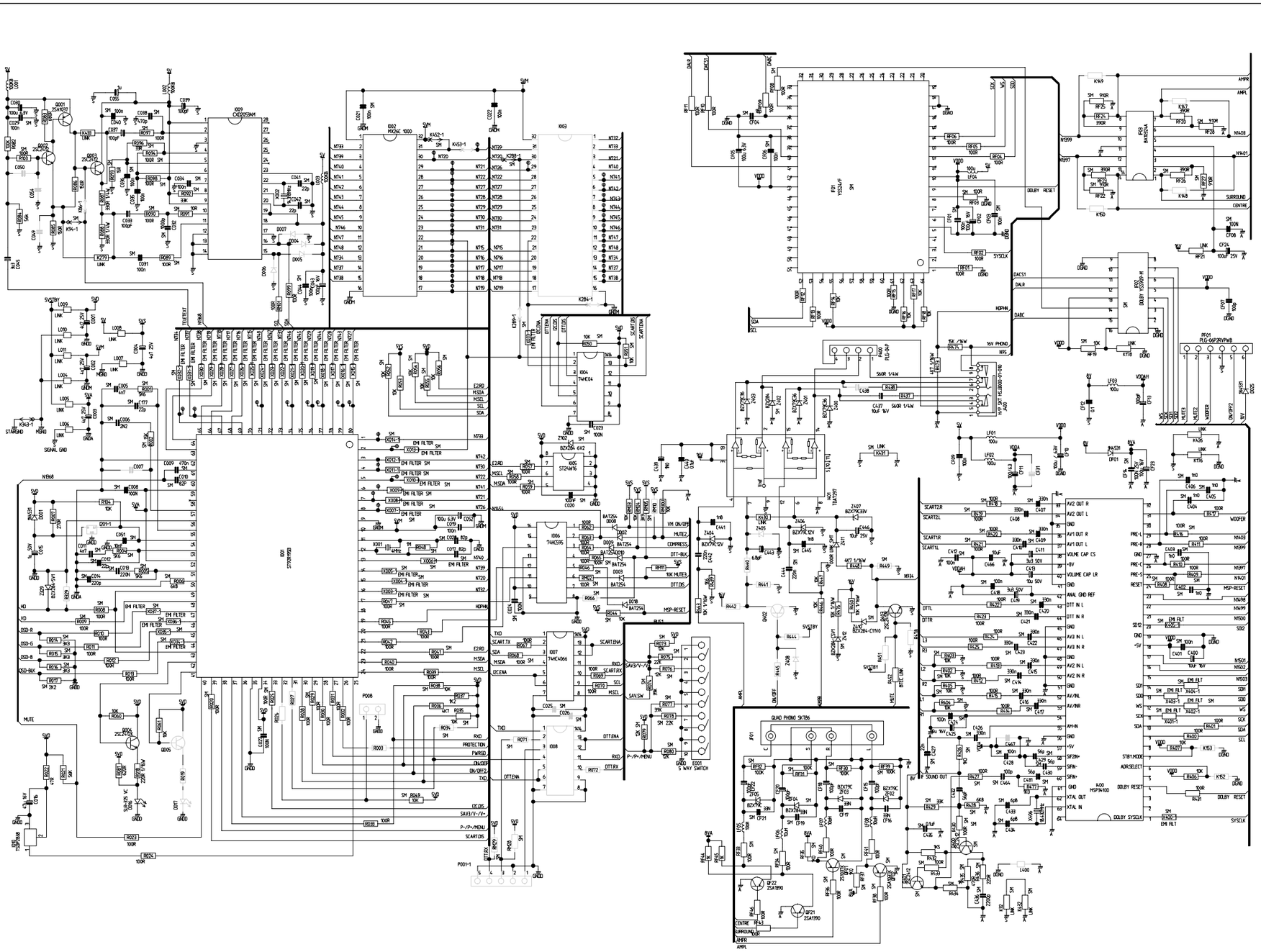
No 00021	3 of 16	MAIN PCB 3 OF 3	HITACHI



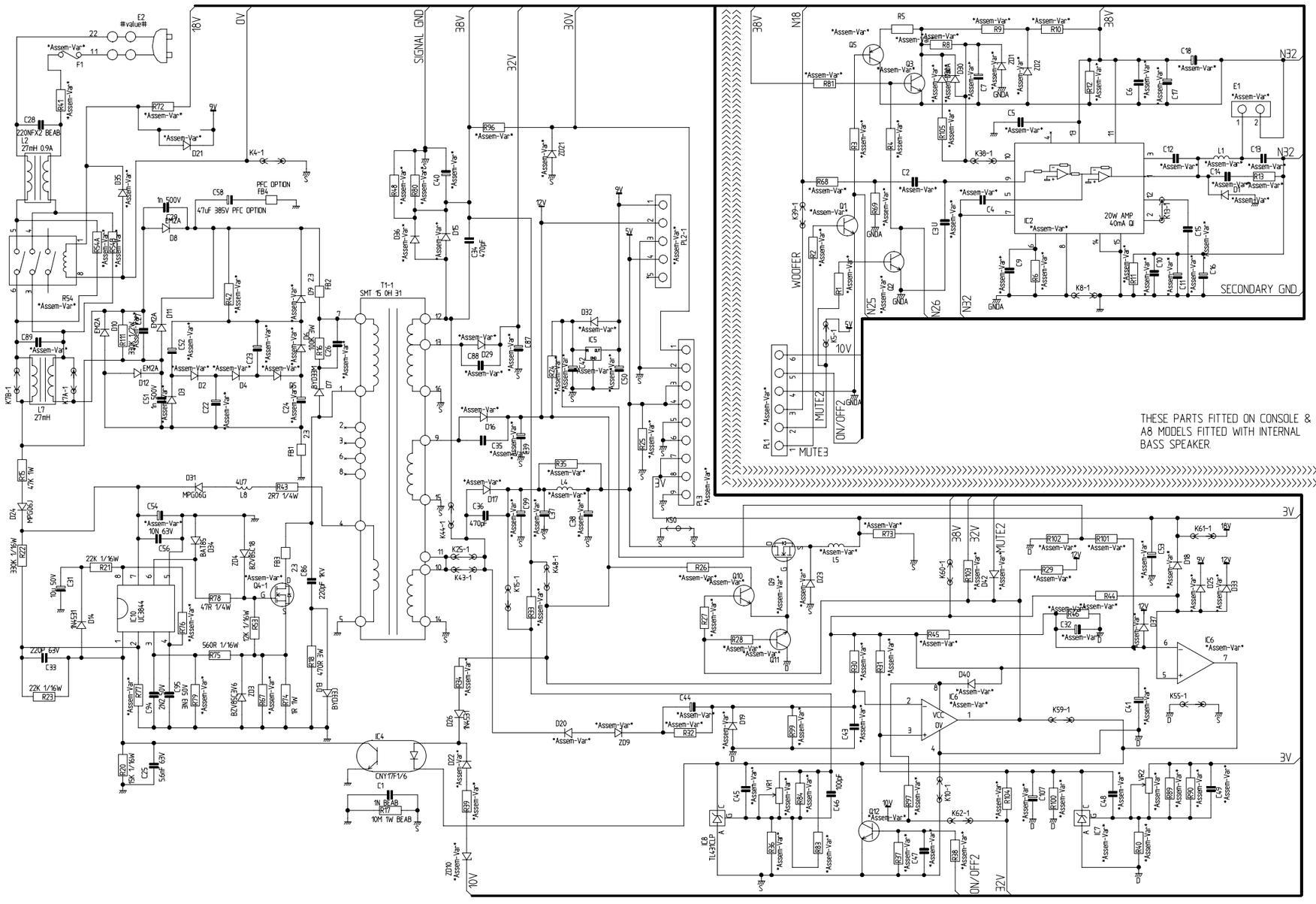
No 00021	1 of 16	MAIN PCB 1 OF 3	HITACHI



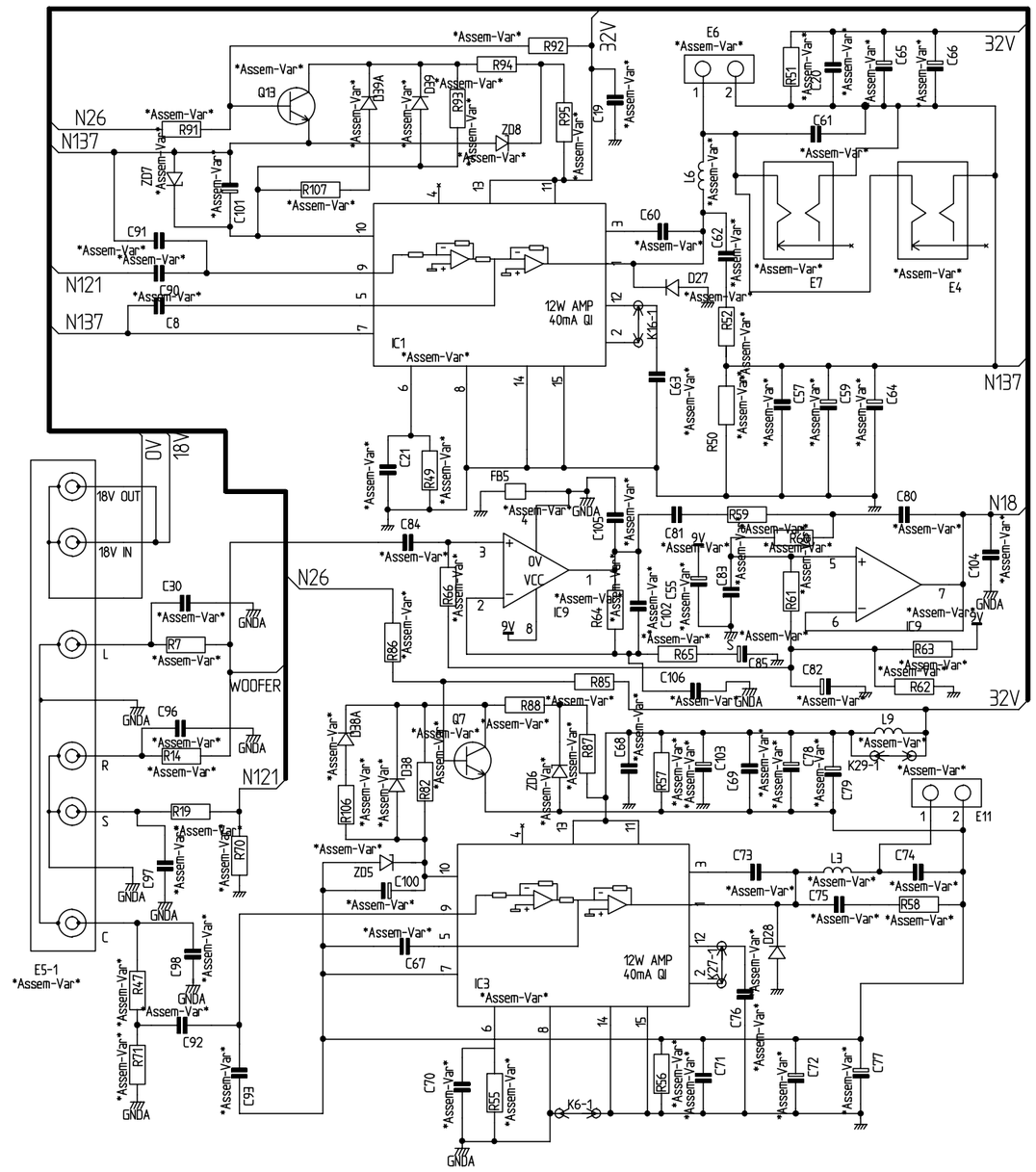
No 00021	2 of 12	MAIN PCB 2 OF 3	HITACHI



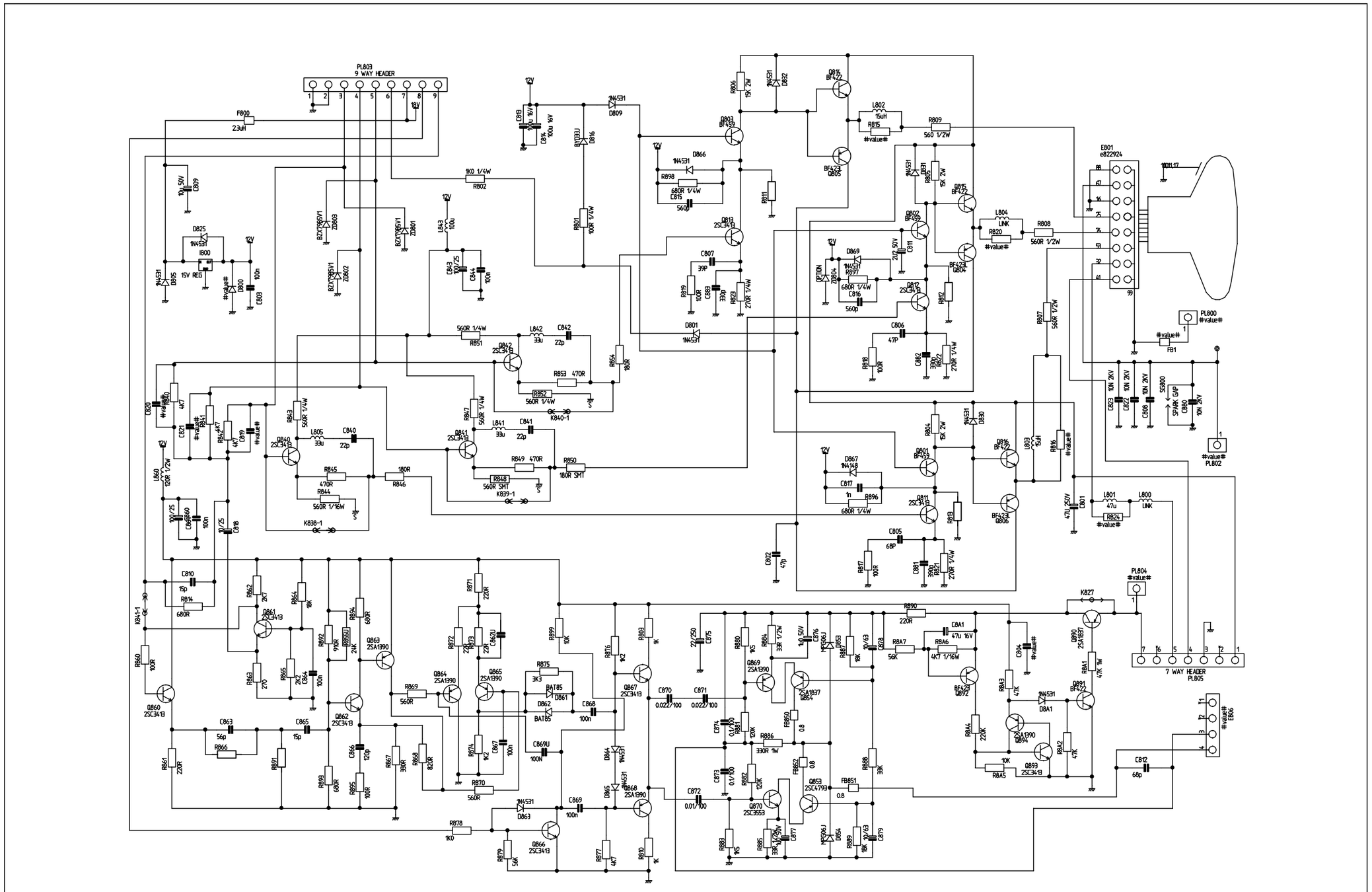
No 00021	3 of 12	MAIN PCB 3 OF 3	HITACHI



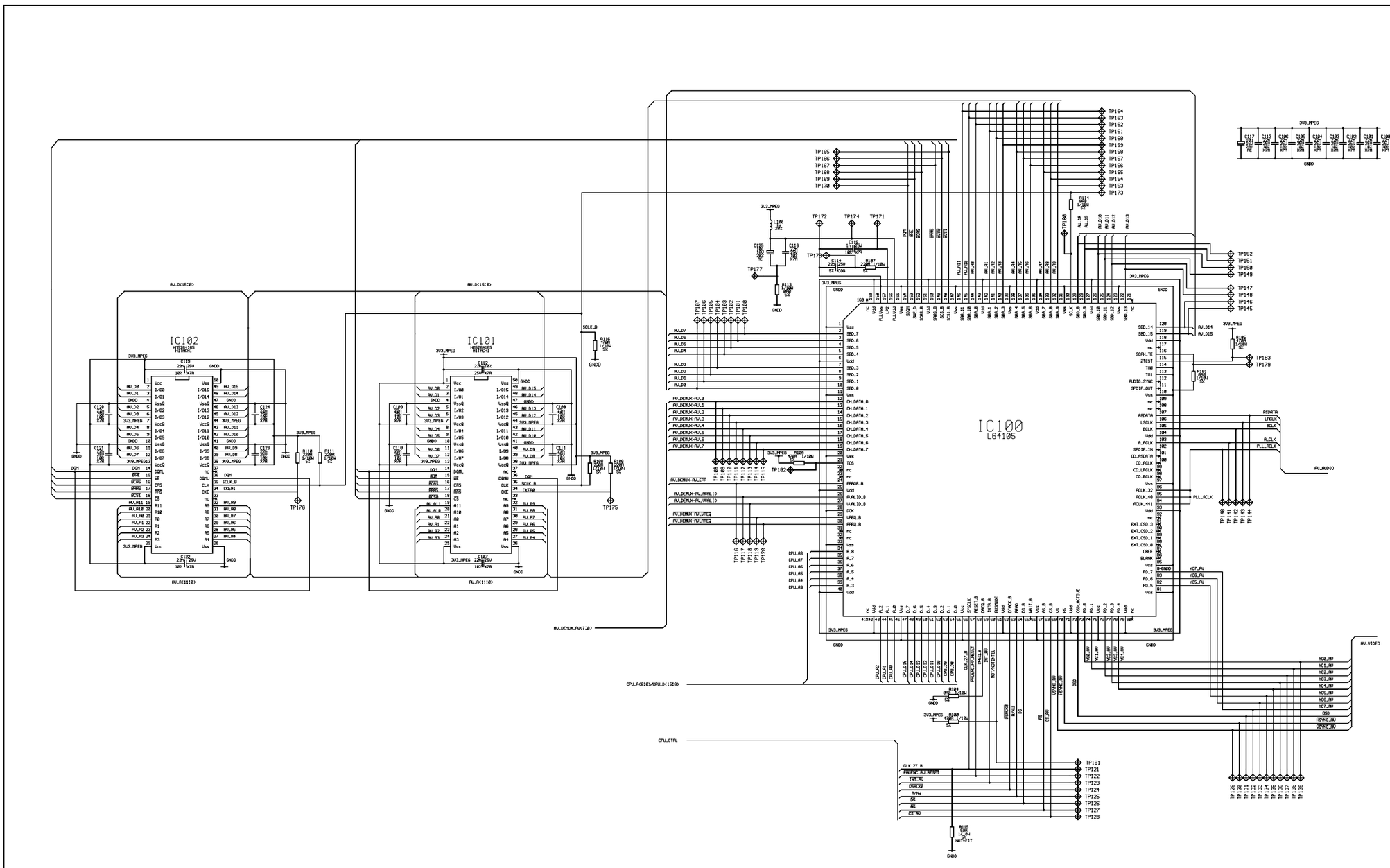
No 00021	4 of 16	SUB POWER 1 OF 2	HITACHI



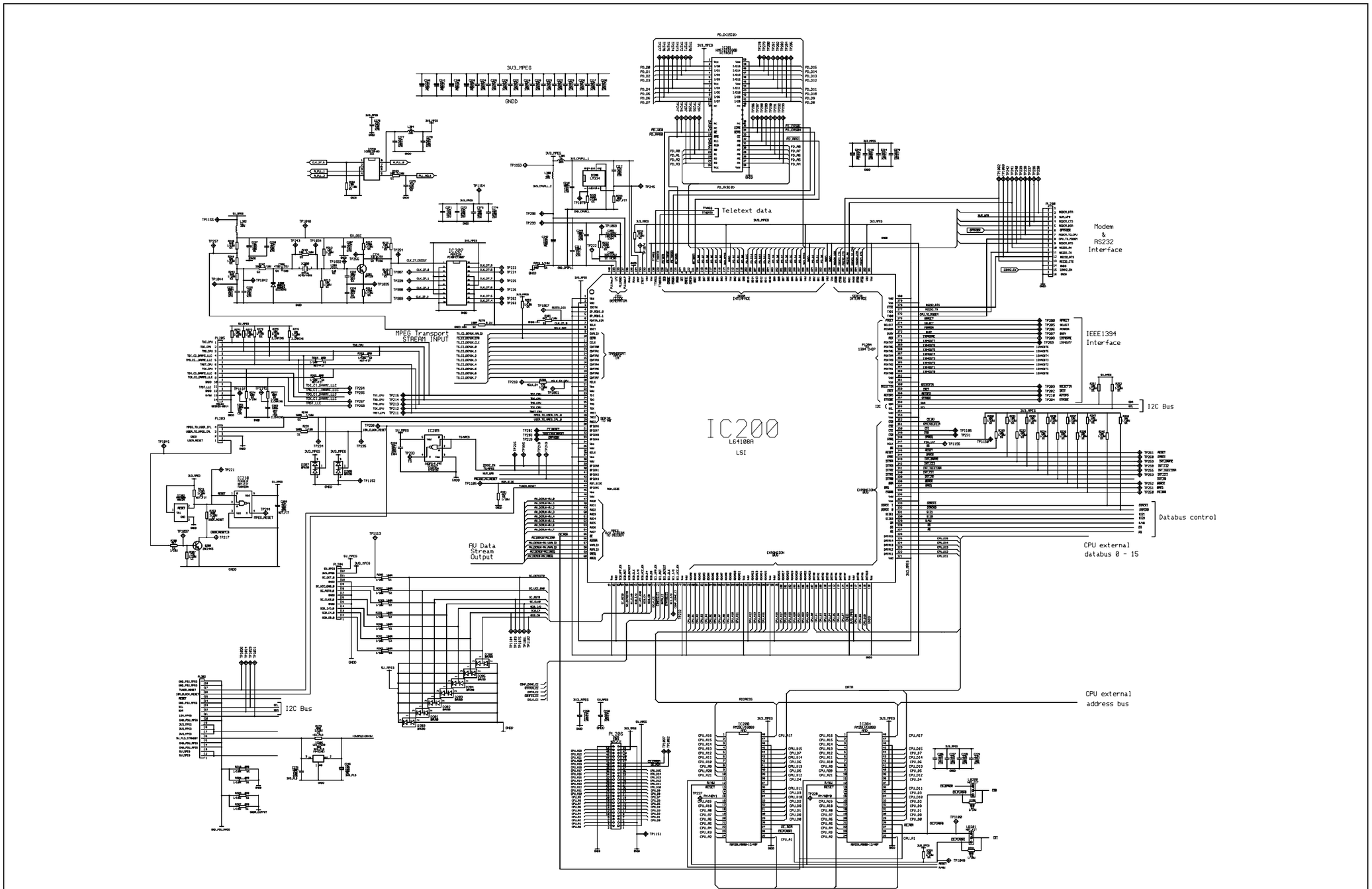
No 00021	5 of 16	SUB POWER 2 OF 2	HITACHI



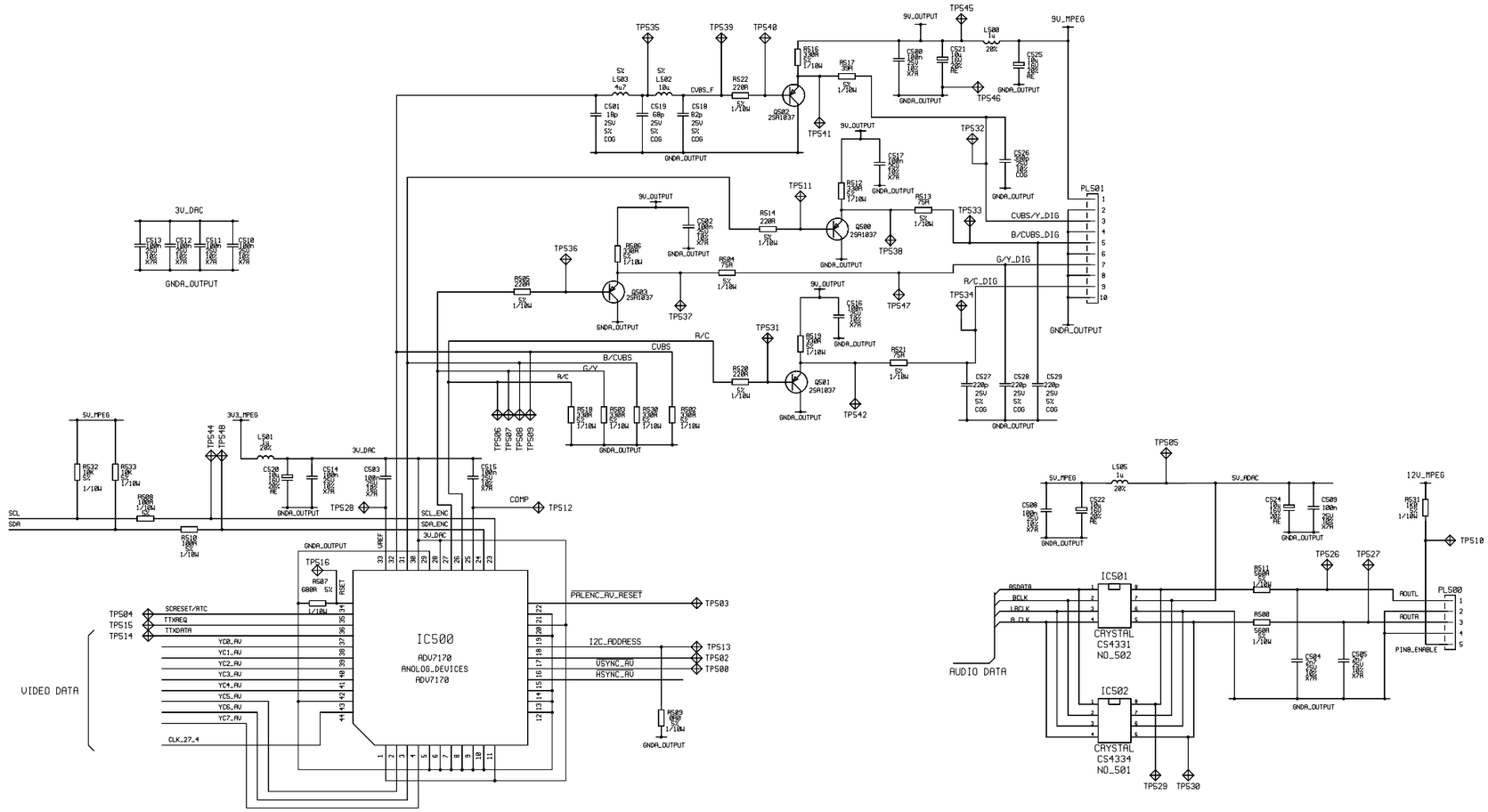
No 00021	6 of 16	CRT BASE	HITACHI



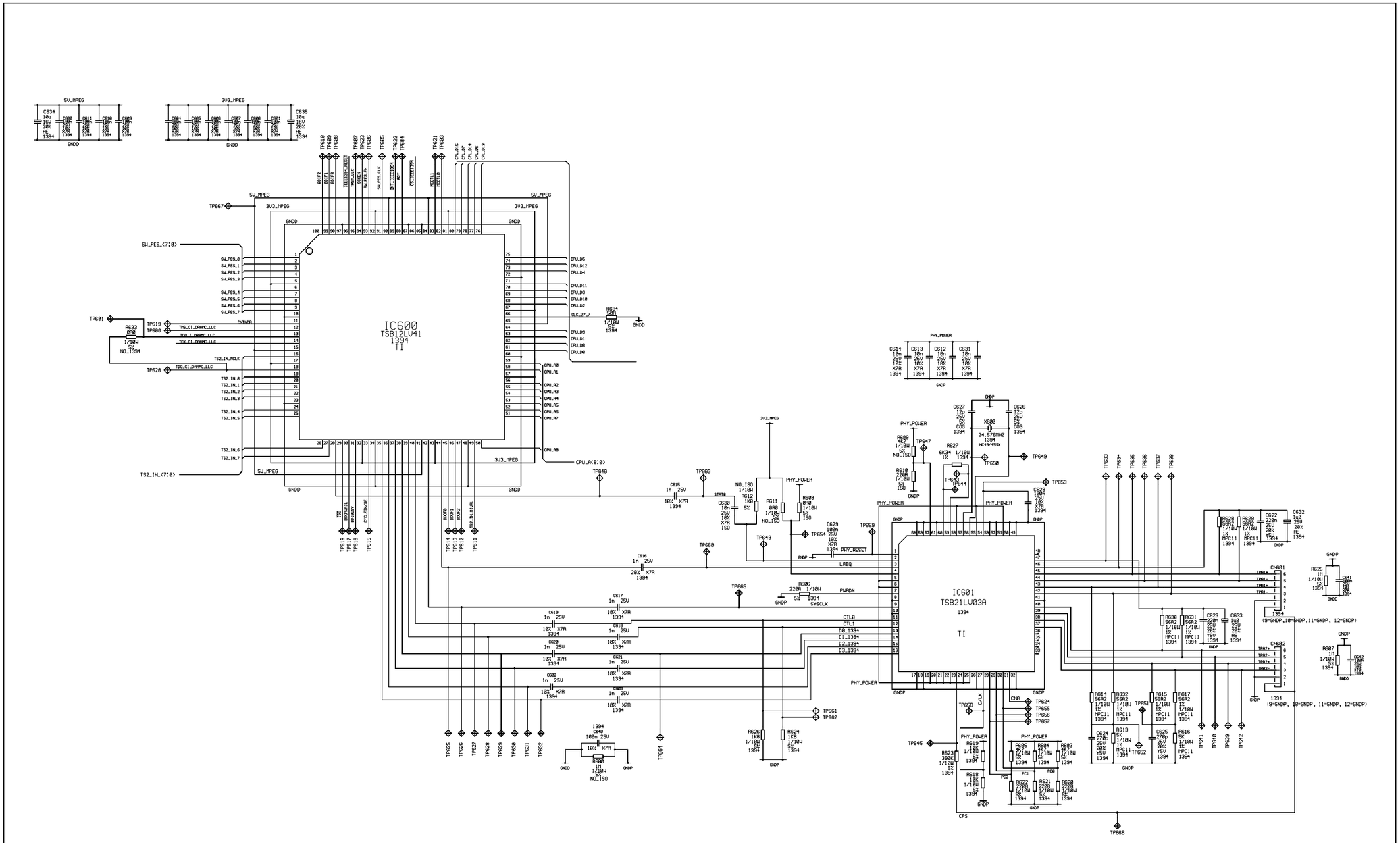
No 00021	7 of 16	MPEG 1 OF 6	HITACHI

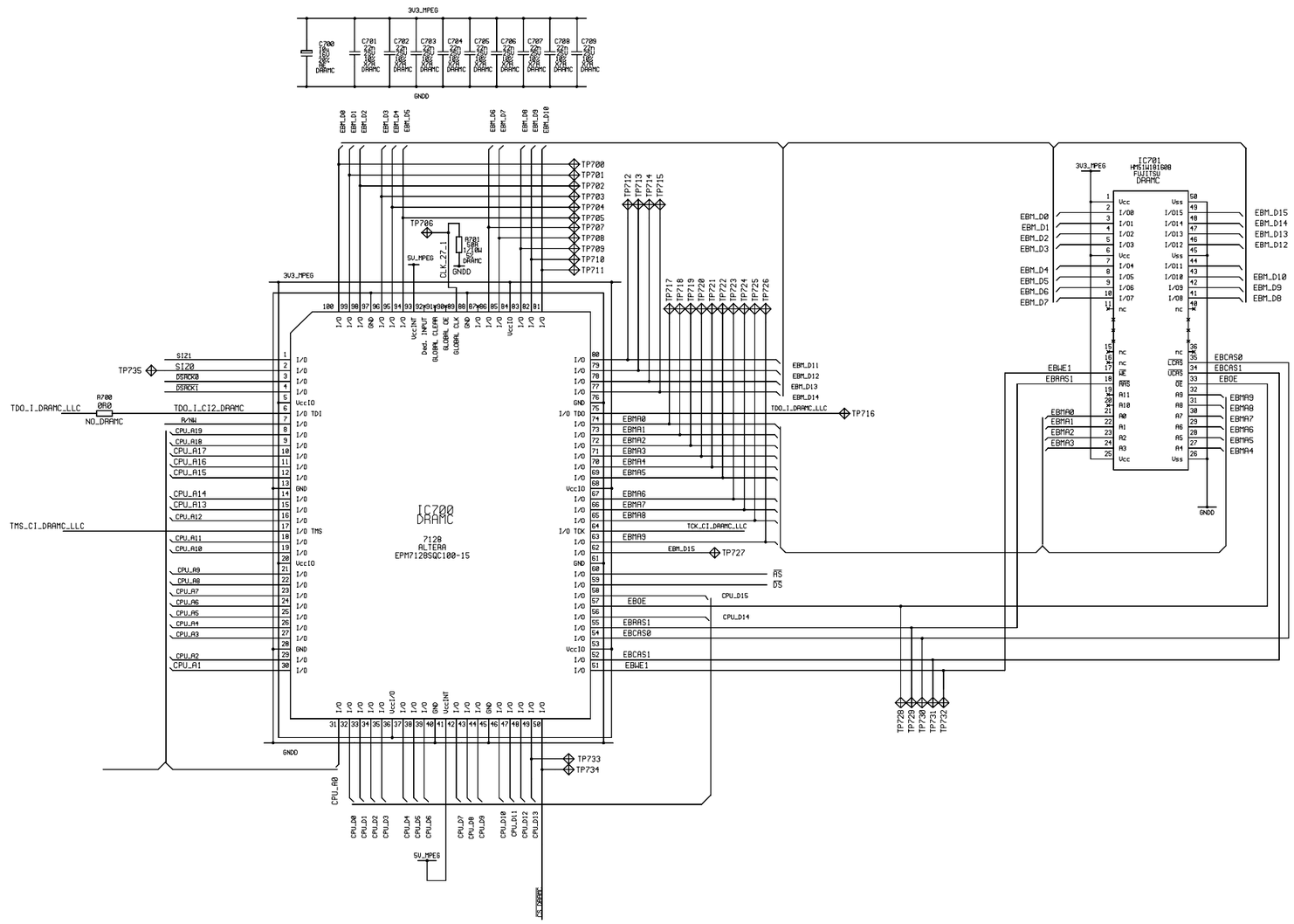


No 00021	8 of 16	MPEG 2 OF 6	HITACHI

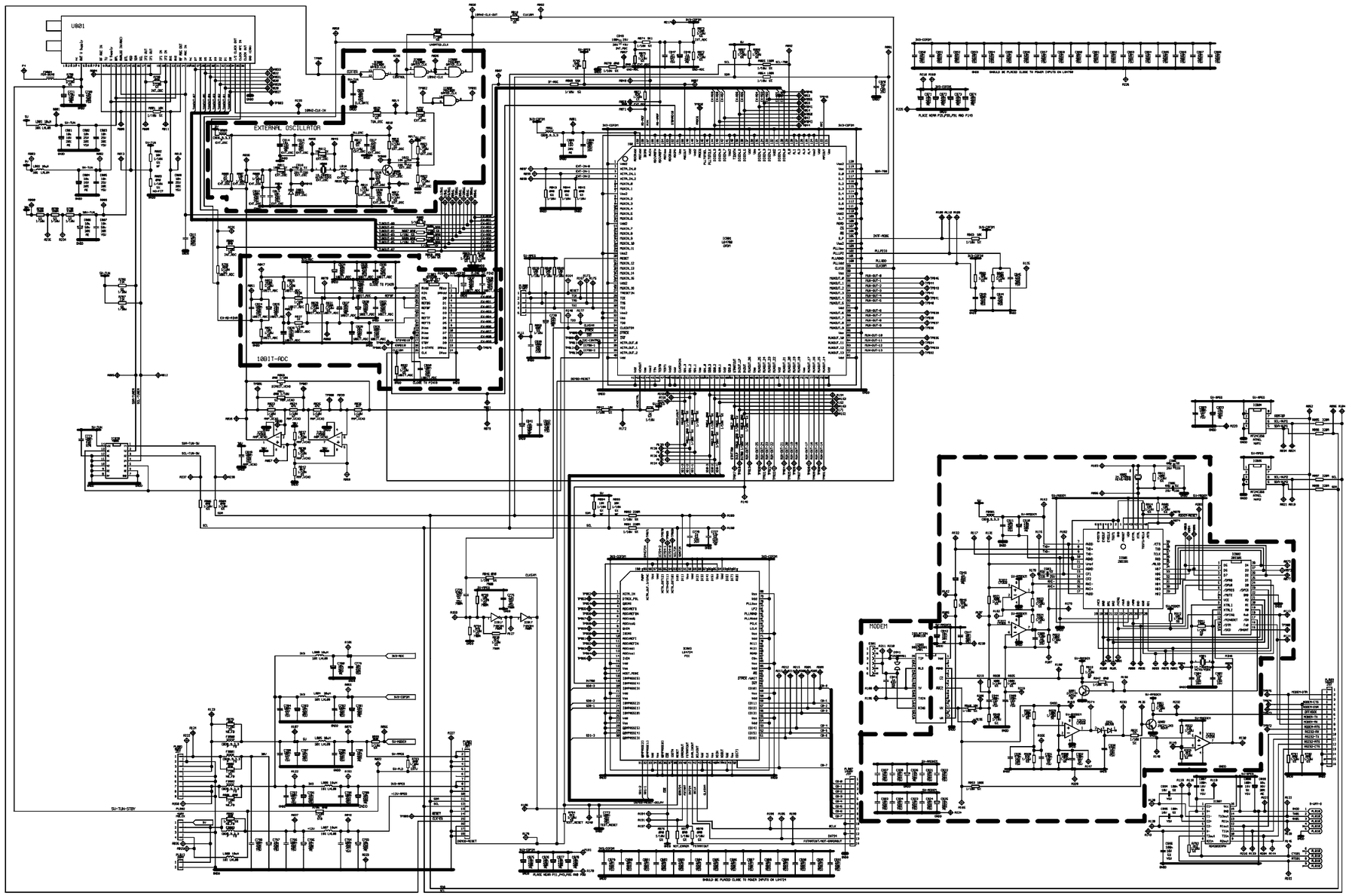


No 00021	10 of 16	MPEG 4 OF 6	HITACHI


IC600
TSB12LV41
1394
TI
IC601
TSB21LV03A
1394
TI
5V_MPEG
3V3_MPEG
GNDD
GNDP
SW_PES_(7:0)
TS2_IN_(7:0)
CPU_A(8:0)
CPU_D(15:0)
PHY_POWER
PHY_RESET
LREQ
SYSCLK
PWRDN
CTL0
CTL1
D0_1394
D1_1394
D2_1394
D3_1394
24.576MHz
CN601
CN602
(9=GNDP,10=GNDP,11=GNDP, 12=GNDP)



No 00021	12 of 16	MPEG 6 OF 6	HITACHI



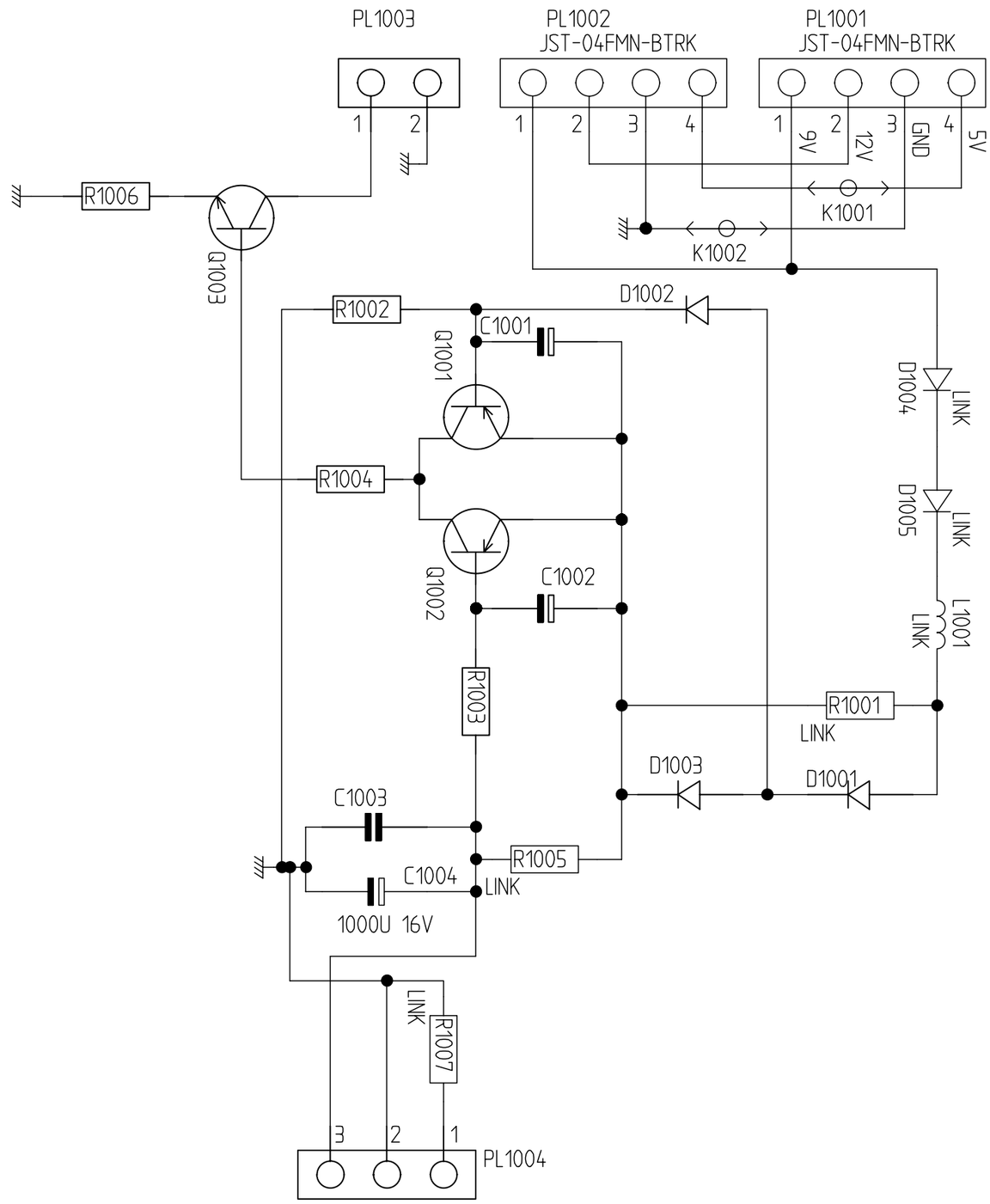
No 00021	13 of 16	TER FRONT END	HITACHI

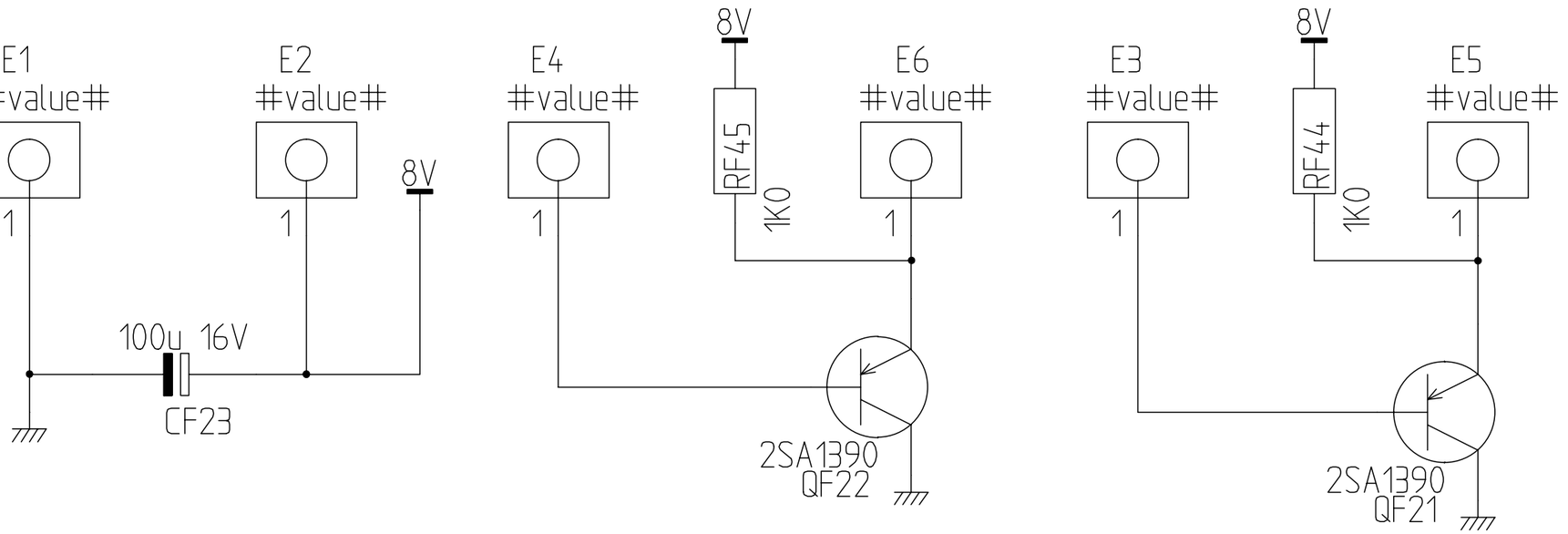
No 00021

14 of 16

FAN PROTECTION

HITACHI





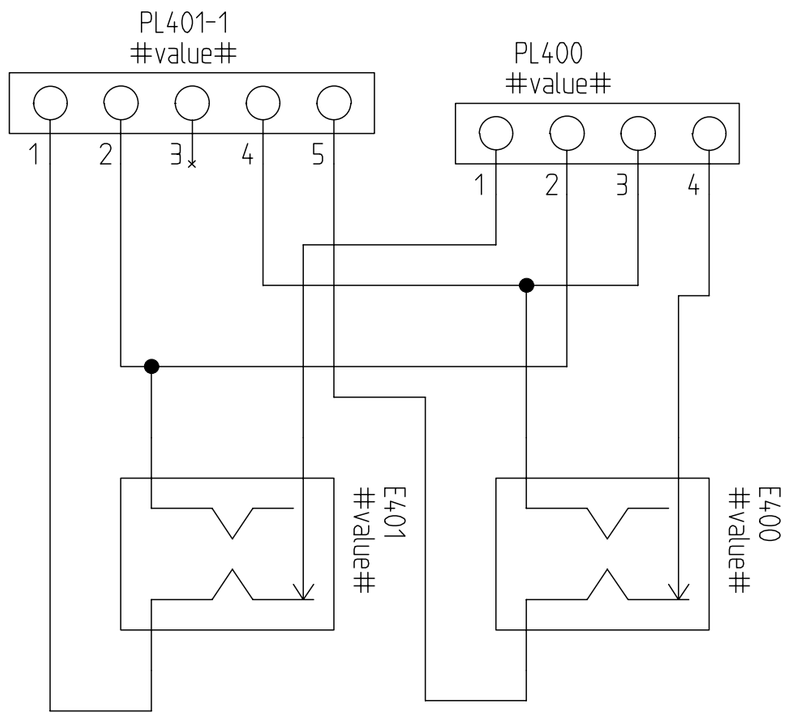
No 00021	15 of 16	AUDIO BUFFER	HITACHI

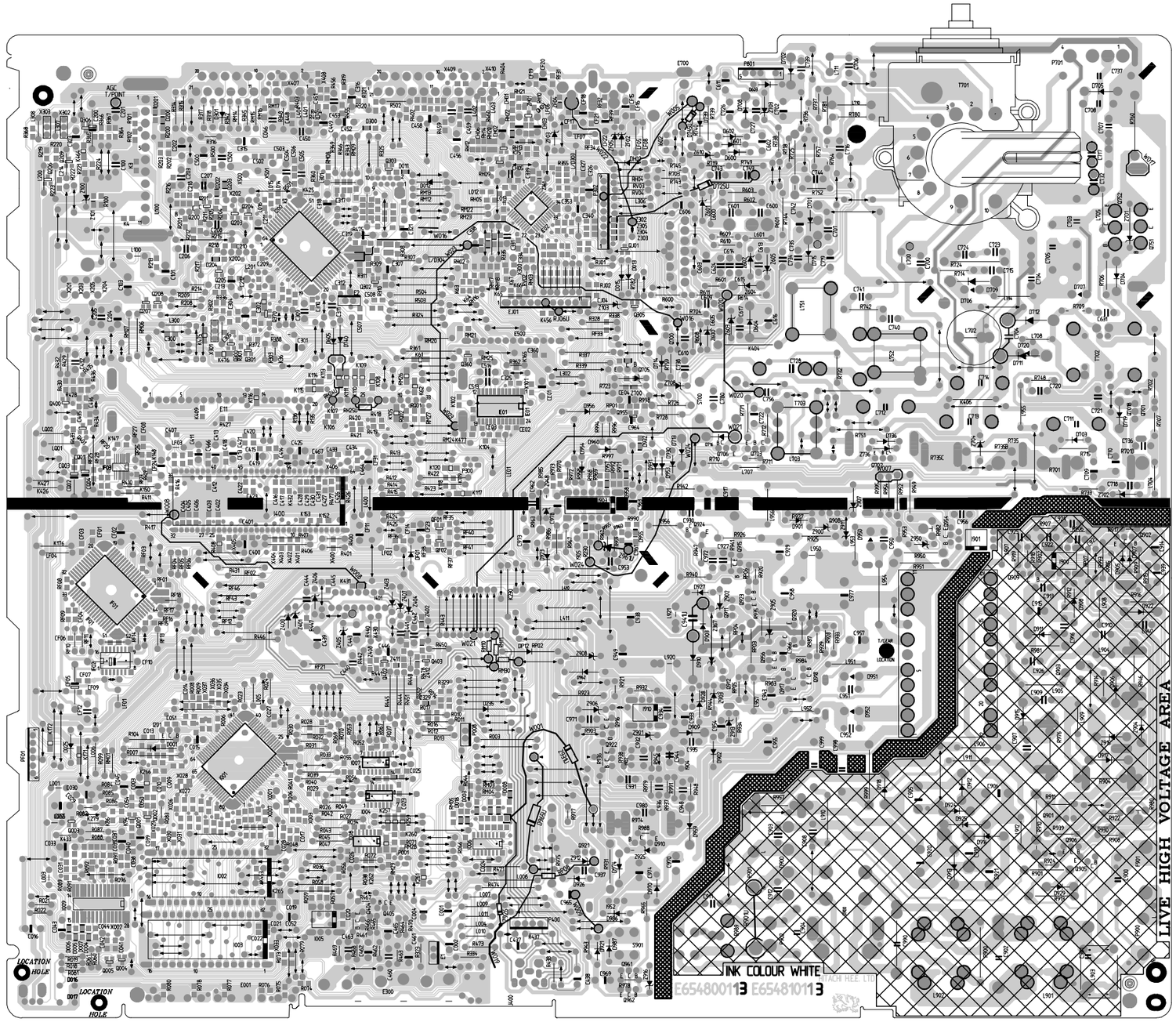
No 00021

16 of 16

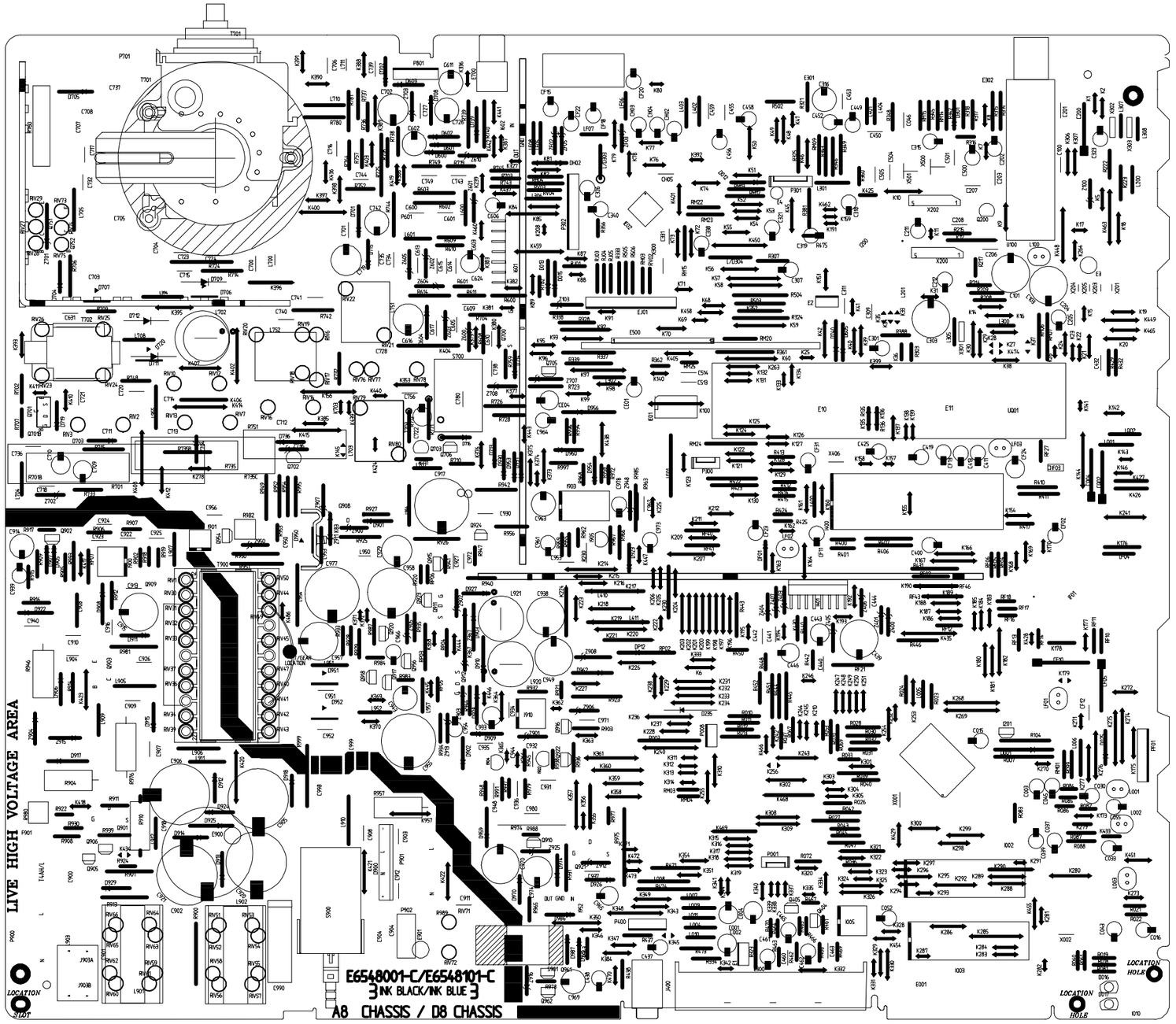
DIN SOCKET

HITACHI

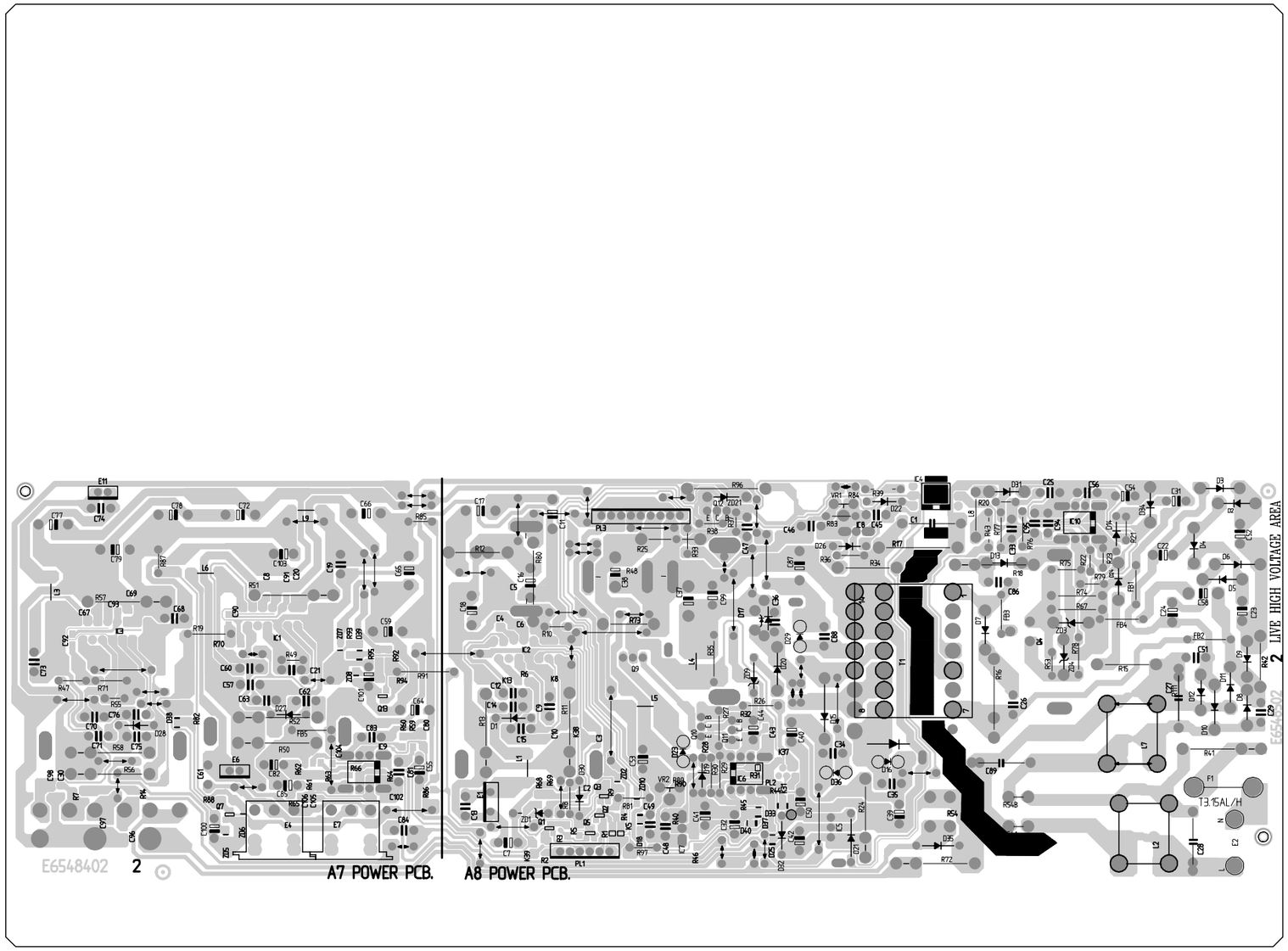




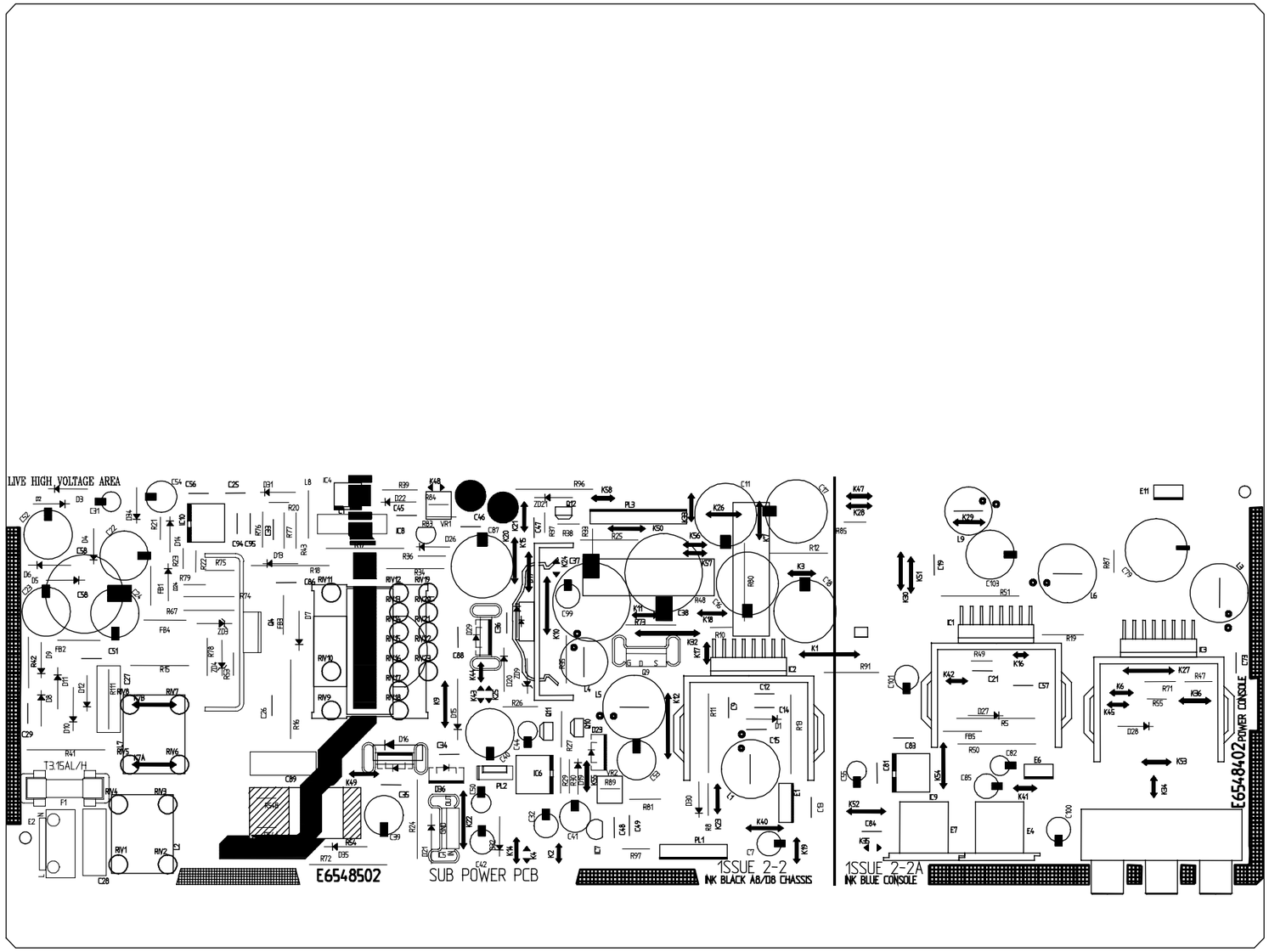
No 00021	1 of 11	MAIN PCB (SOLDER SIDE)	HITACHI



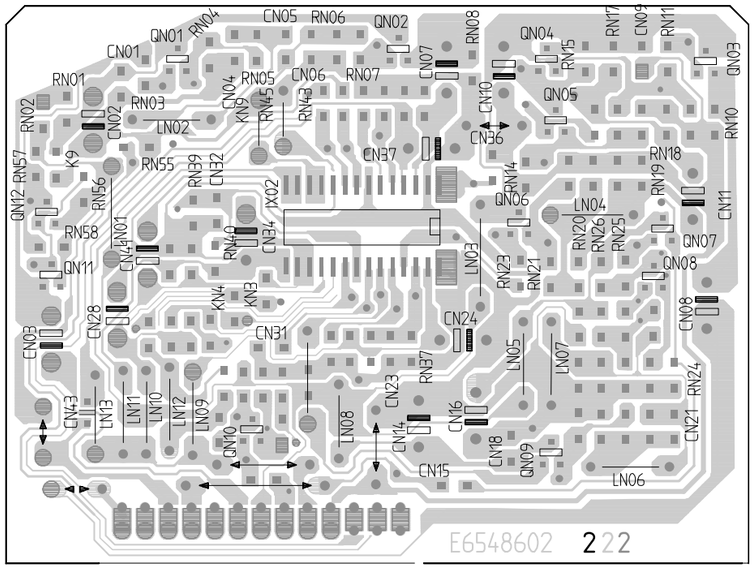
No 00021	2 of 11	MAIN PCB (COMPONENT SIDE)	HITACHI

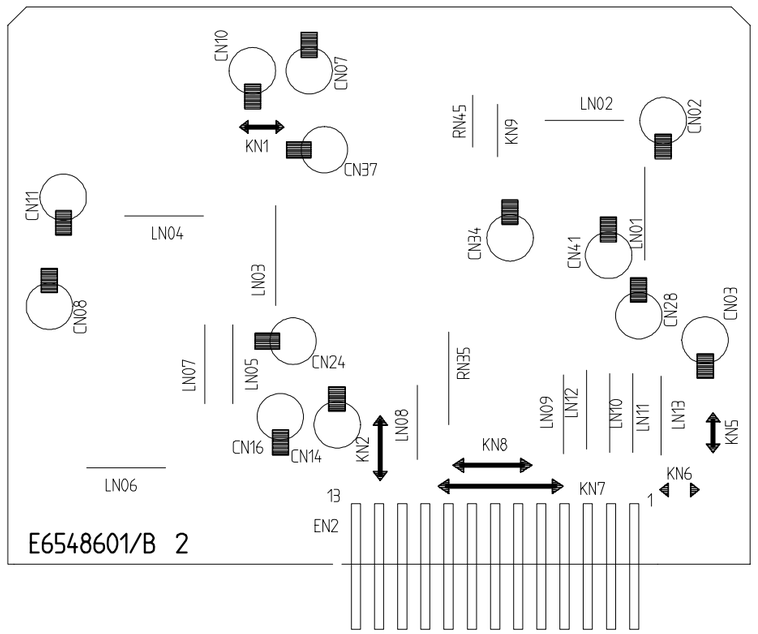


No 00021	3 of 11	SUB POWER (SOLDER SIDE)	HITACHI

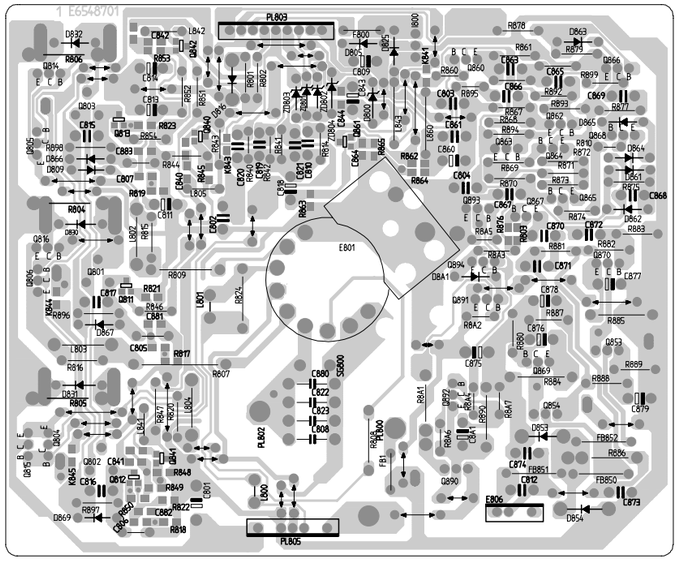


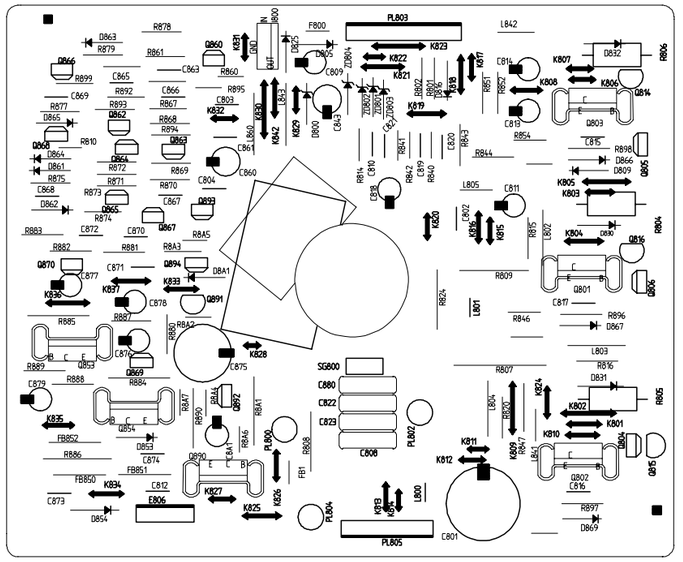
No 00021	4 of 11	SUB P	HITACHI



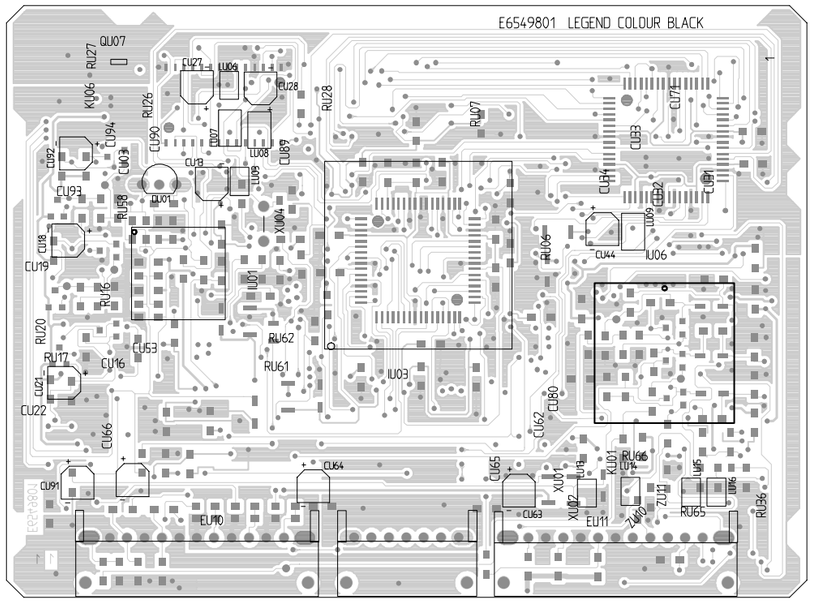


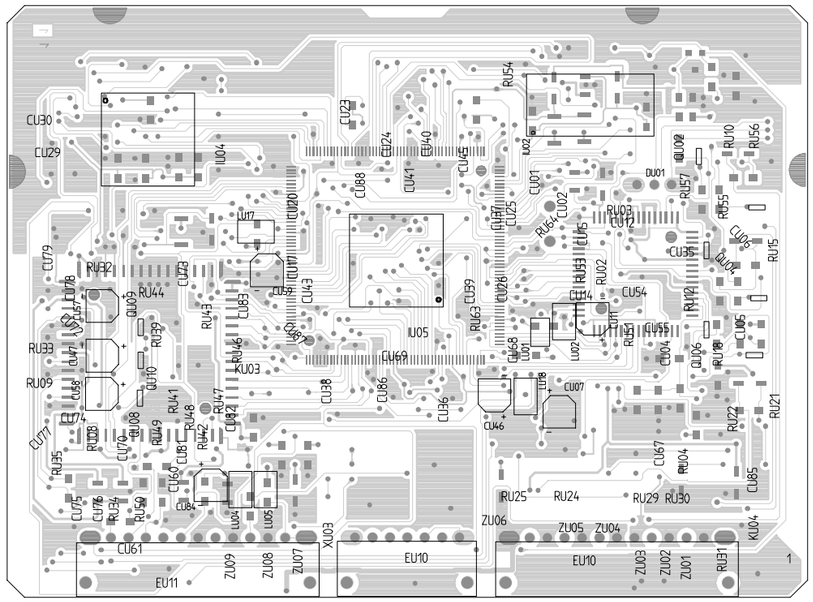
No 00021	5 of 11	COMB FILTER	HITACHI





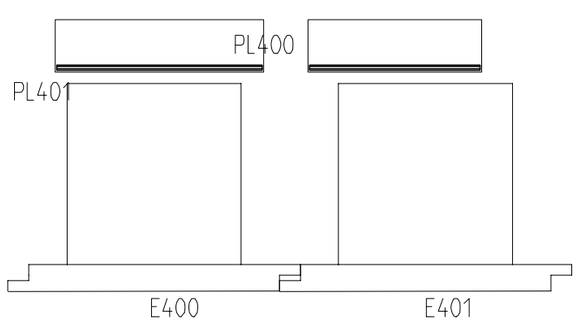
No 00021	6 of 11	CRT BASE	HITACHI

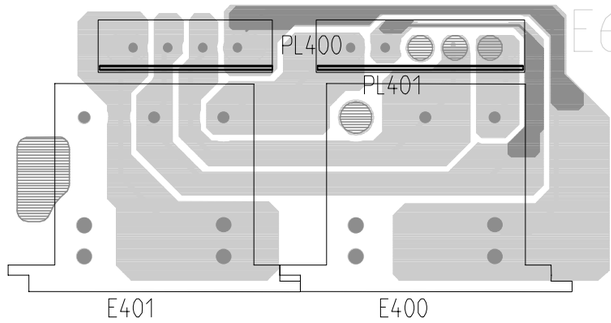




No 00021	7 of 11	FEATURE BOX	HITACHI

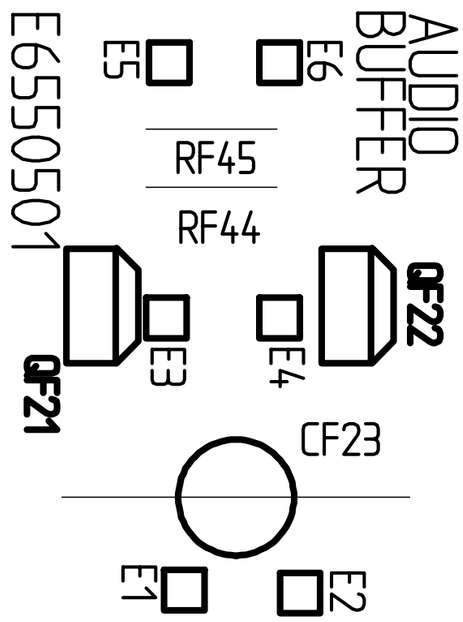
ISSUE 1-1
A8 DIN SUB

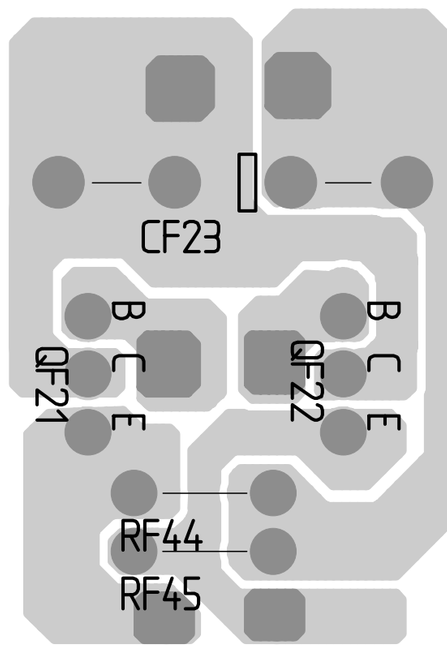




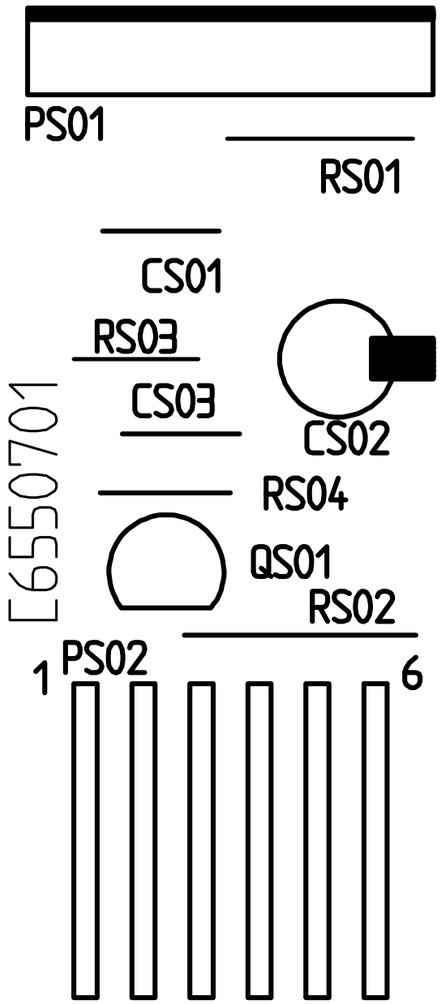
E6549901
1 1

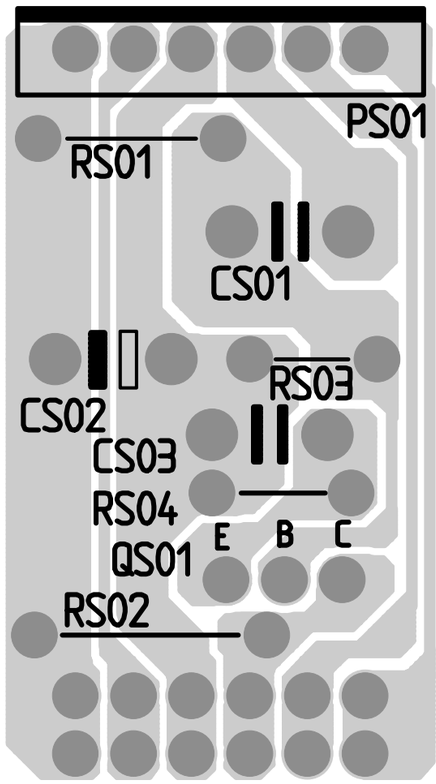
No 00021	8 of 11	DIN SOCKET	HITACHI

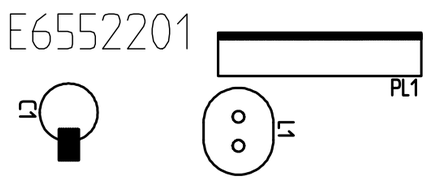




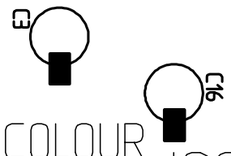
No 00021	9 of 11	AUDIO BUFFER	HITACHI


PS01
RS01
CS01
RS03
CS03
CS02
RS04
QS01
RS02
1
PS02
6
[6550701


PS01
RS01
CS01
CS02
RS03
CS03
RS04
QS01
E
B
C
RS02

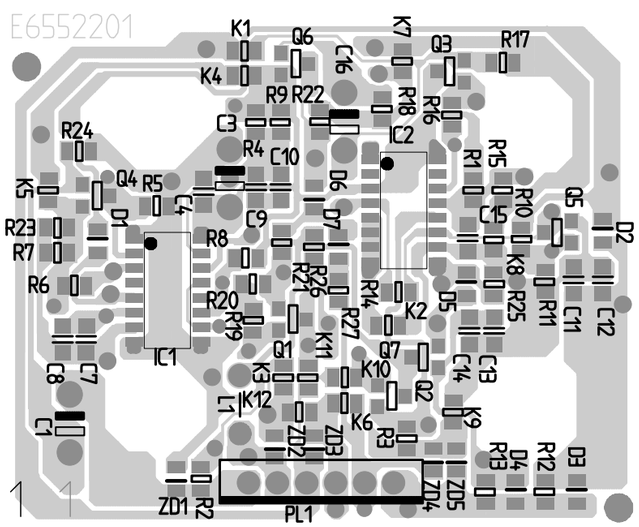


MACRO
VISION
GATE

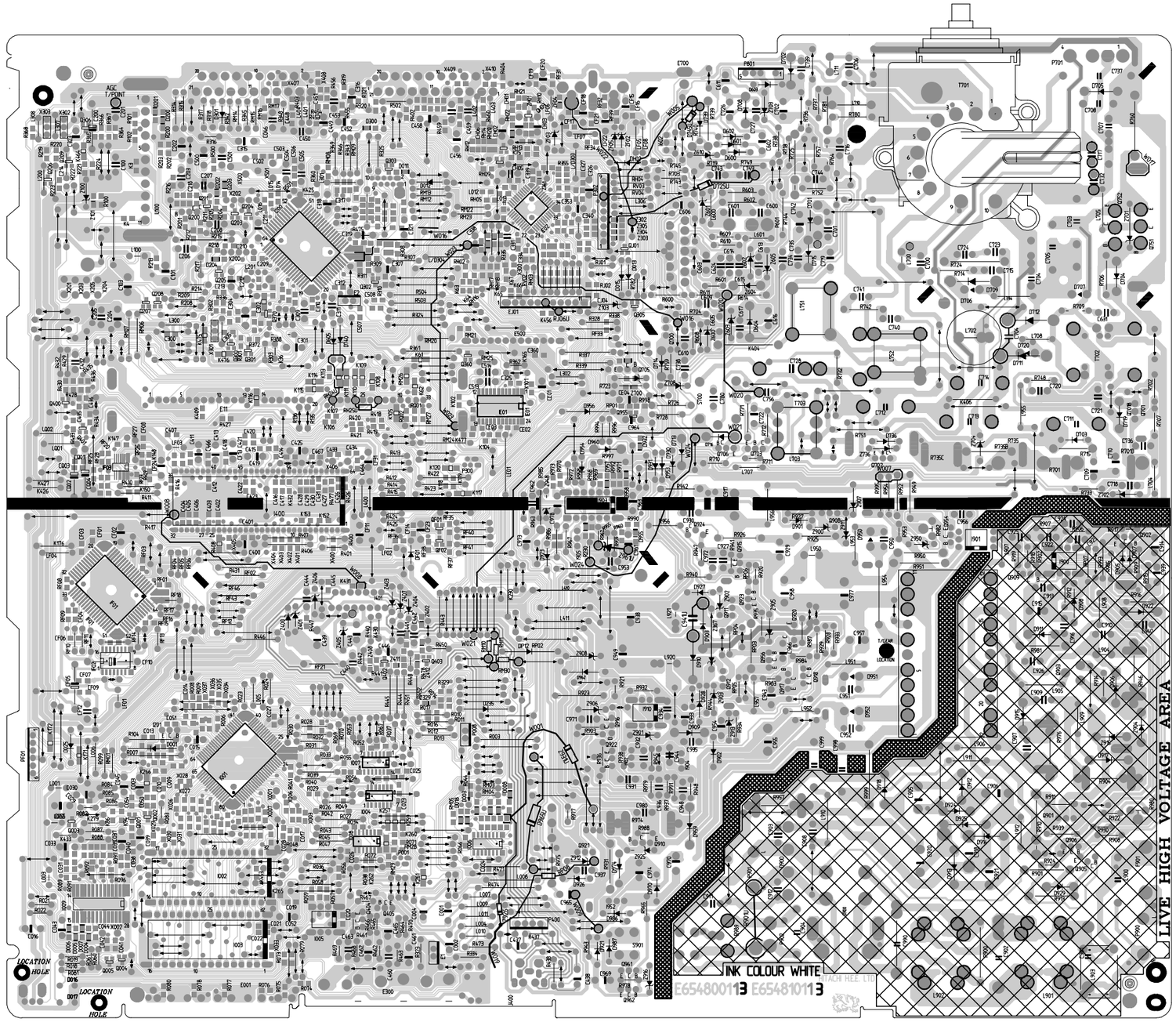


LEGEND COLOUR
BLACK

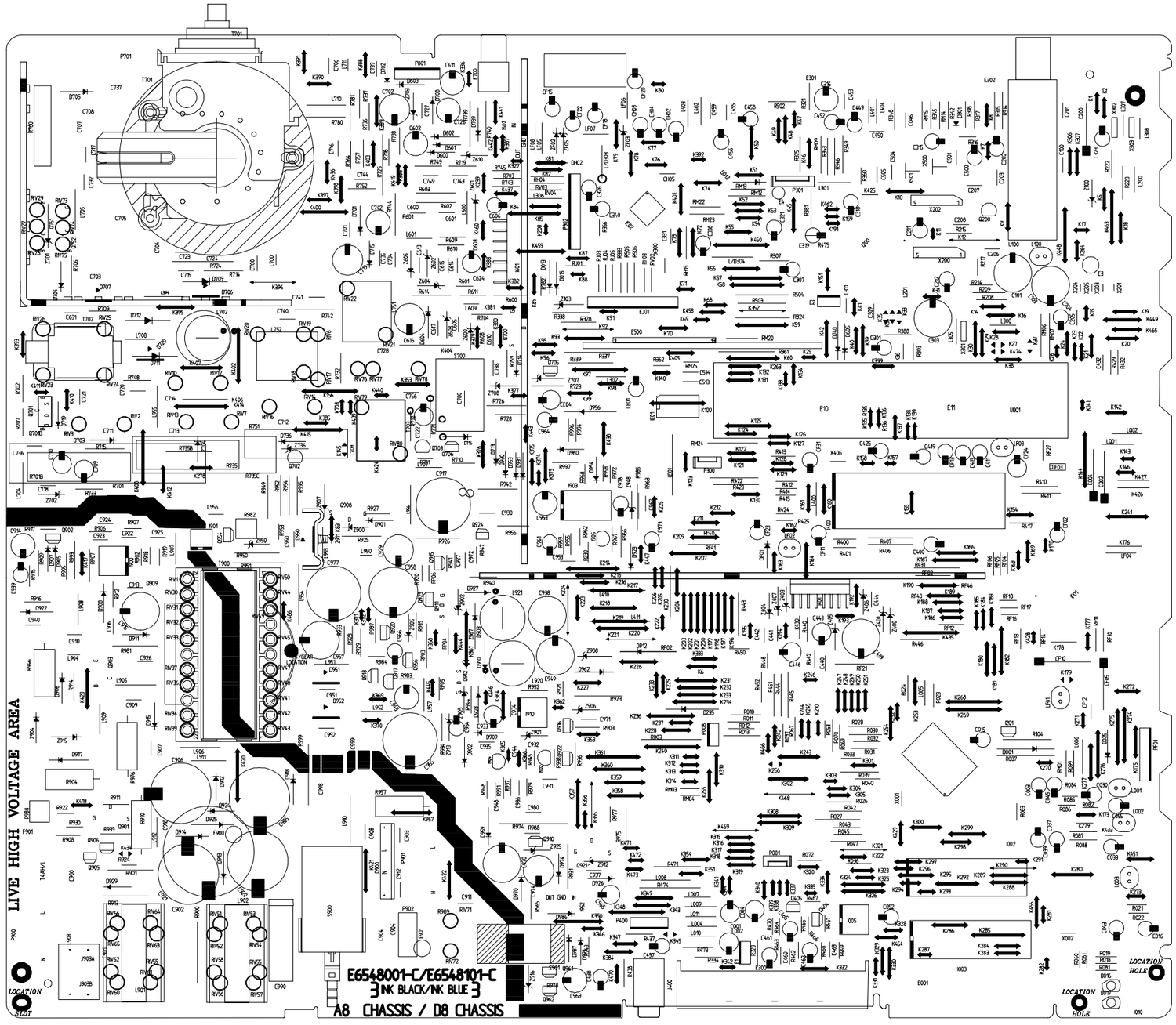
ISSUE 1-1



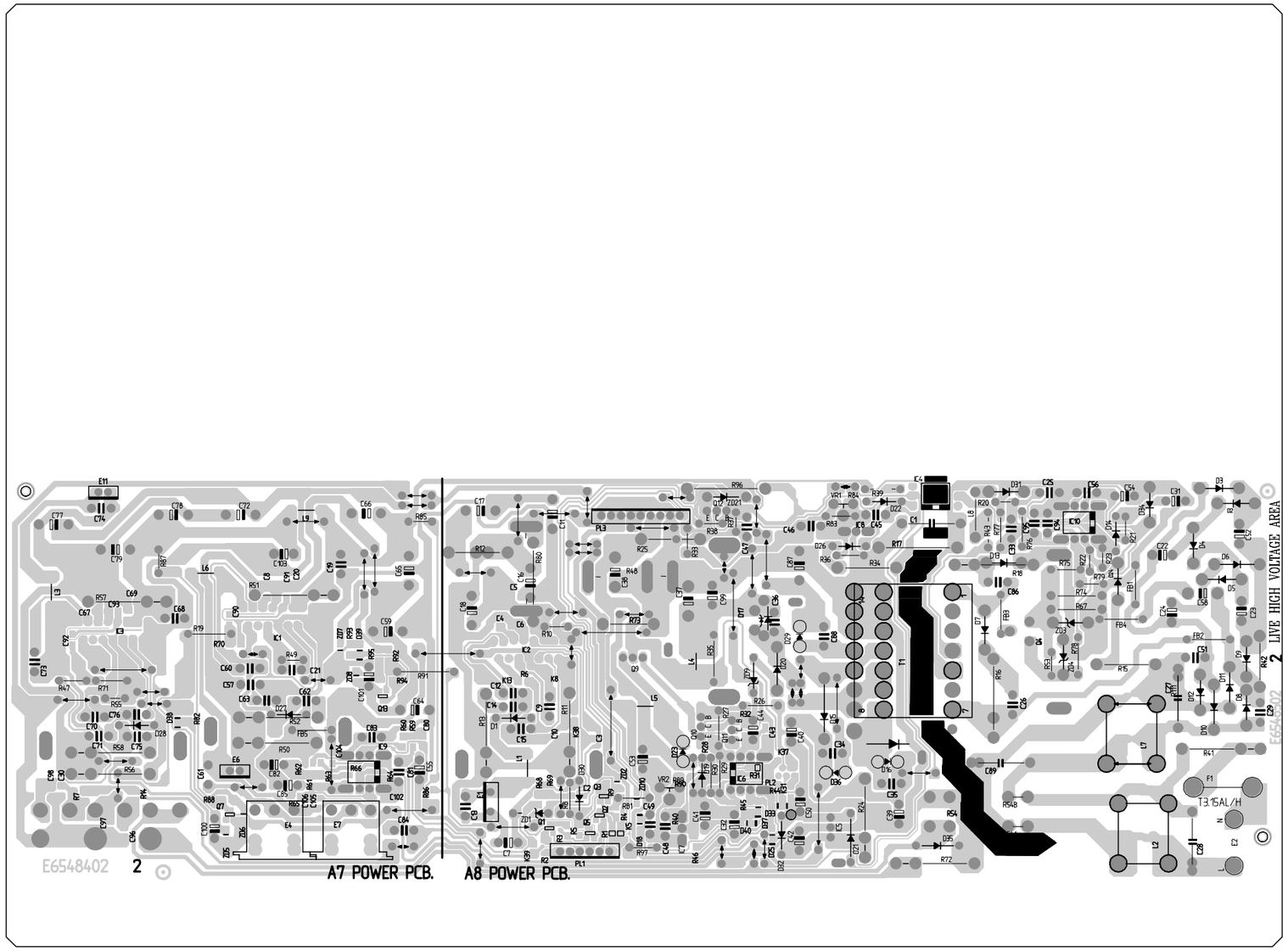
No 00021	11 of 11	MACRO VISION GATE	HITACHI



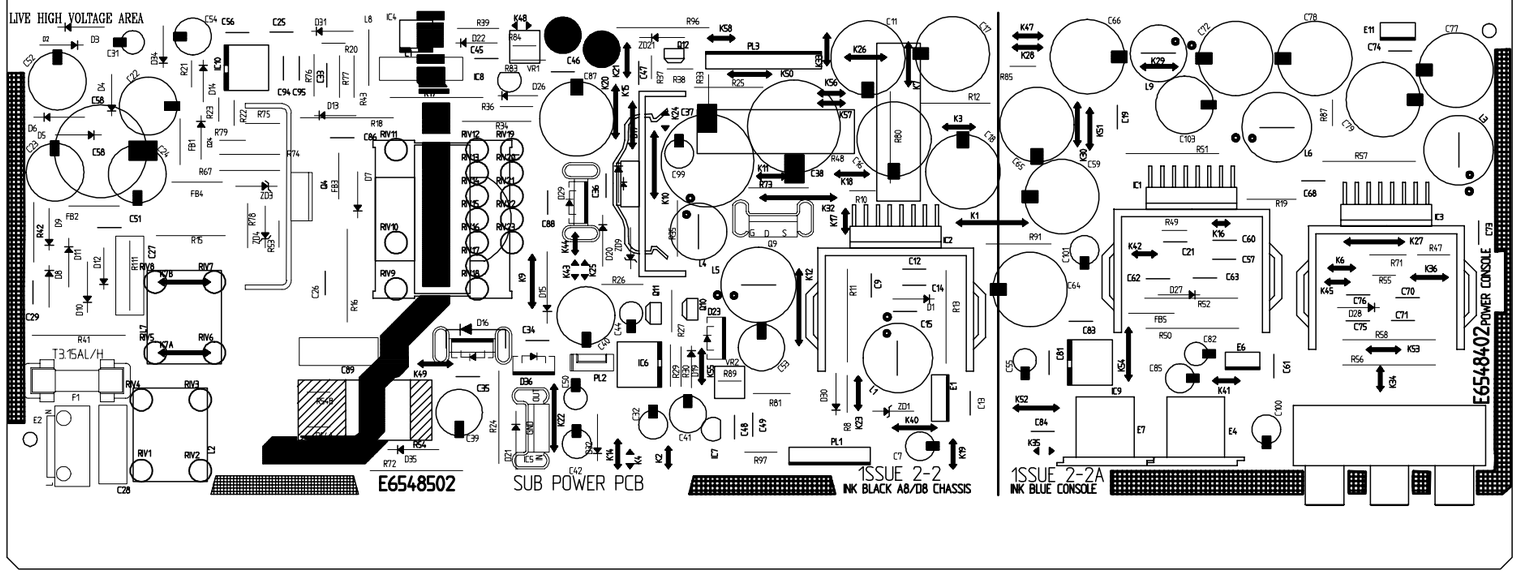
No 00021	1 of 12	MAIN PCB (SOLDER SIDE)	HITACHI



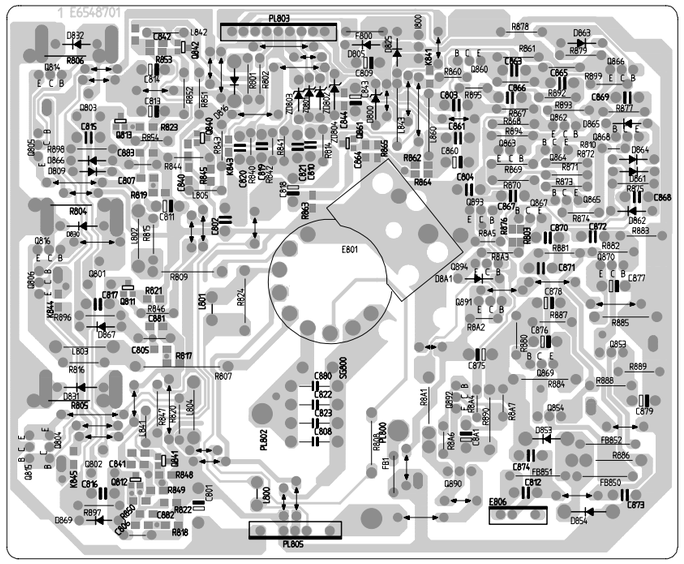
No 00021	2 of 12	MAIN PCB (COMPONENT SIDE)	HITACHI

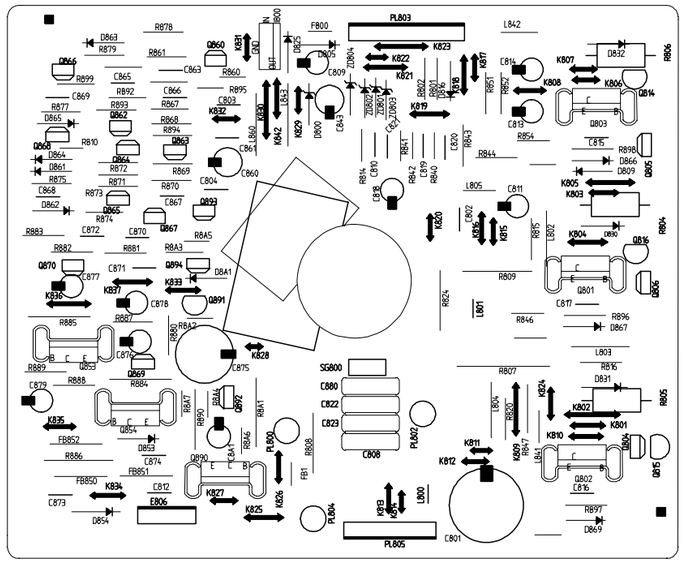


No 00021	3 of 12	SUB POWER (SOLDER SIDE)	HITACHI

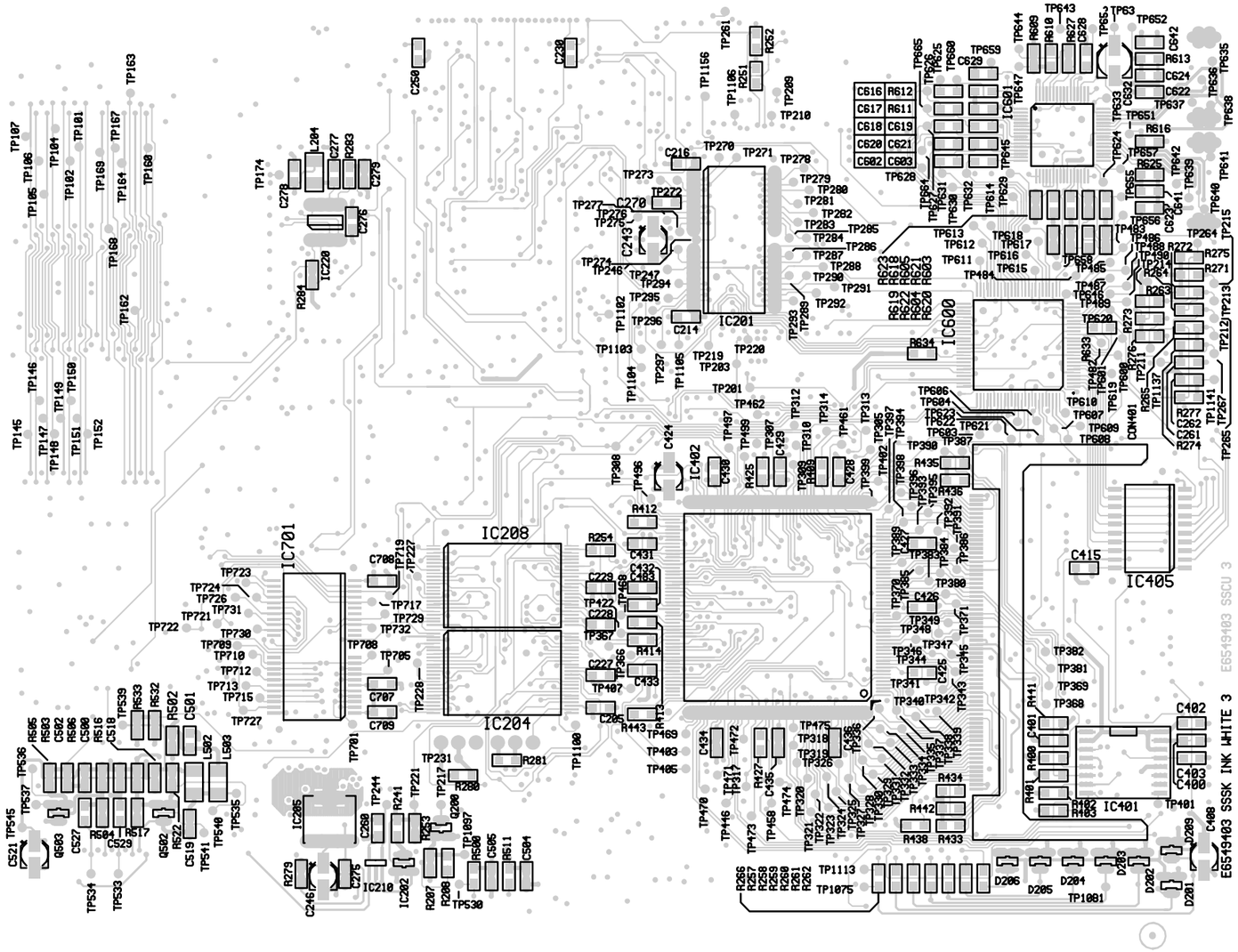


No 00021	4 of 12	SUB POWER (COMPONENT)	HITACHI

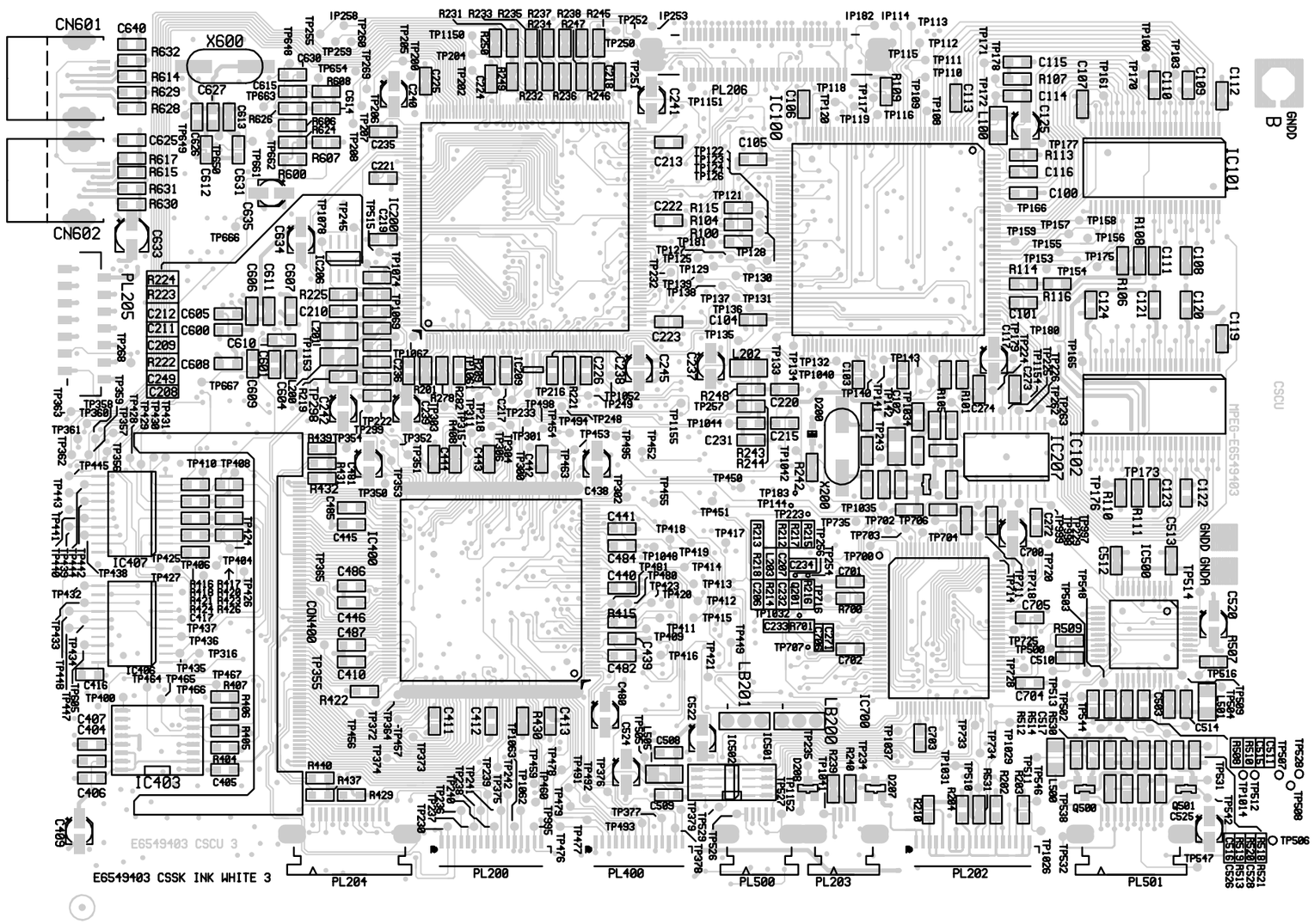




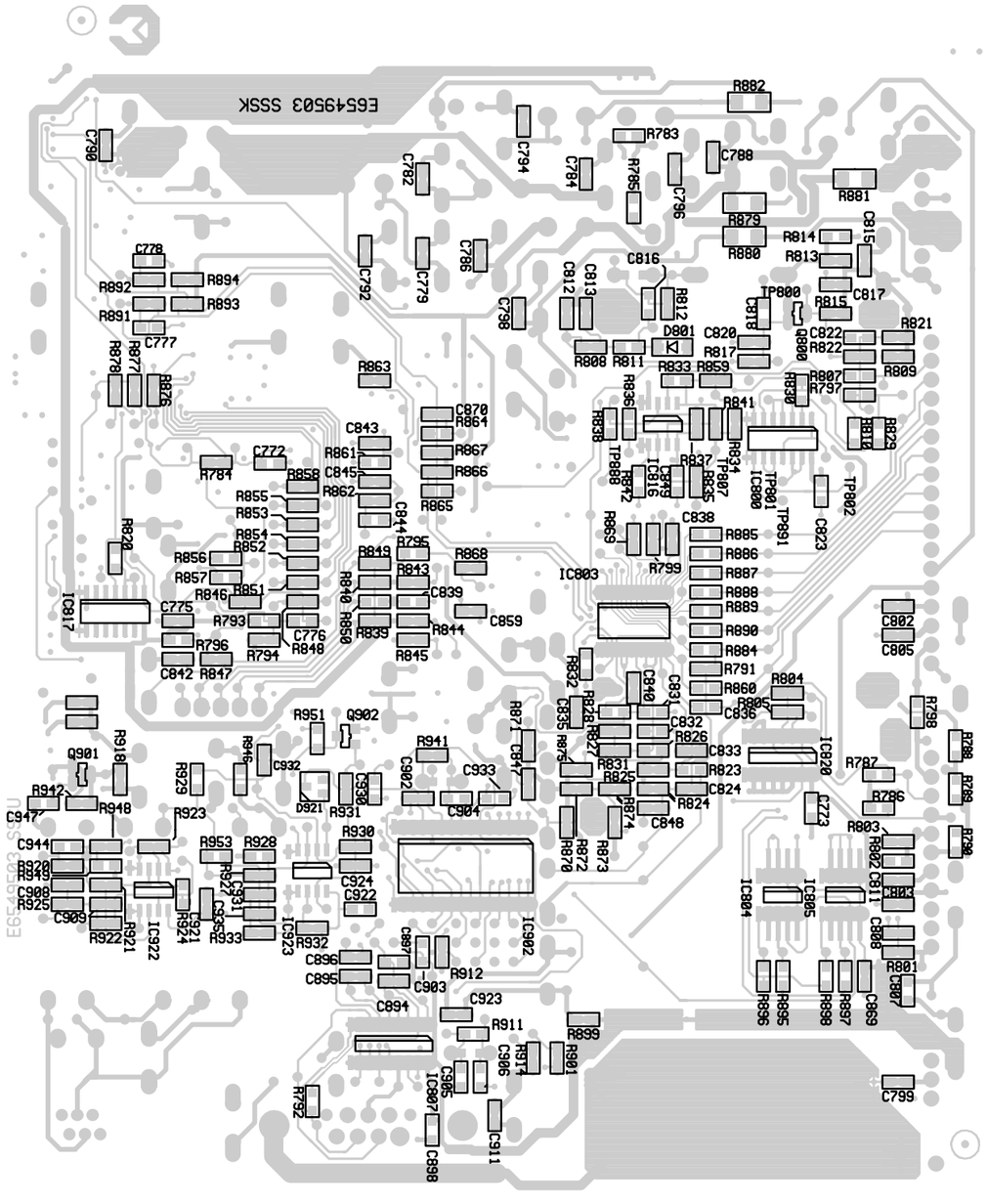
No 00021	5 of 12	CRT BASE	HITACHI



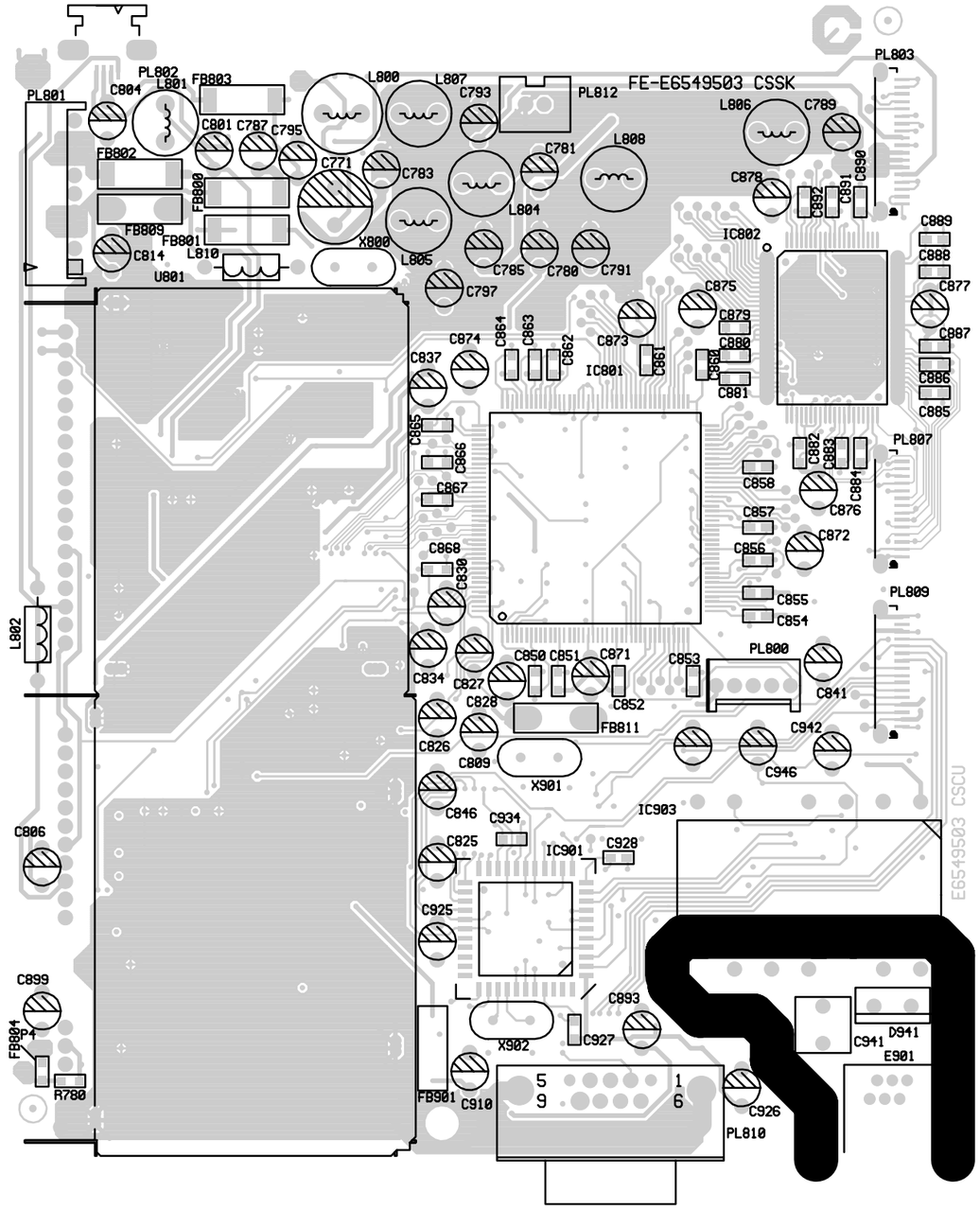
No 00021	6 of 12	MPEG (SOLDER SIDE)	HITACHI



No 00021	7 of 12	MPEG (COMPONENT SIDE)	HITACHI



No 00021	8 of 12	TER FRONT END (SOLDER SIDE)	HITACHI



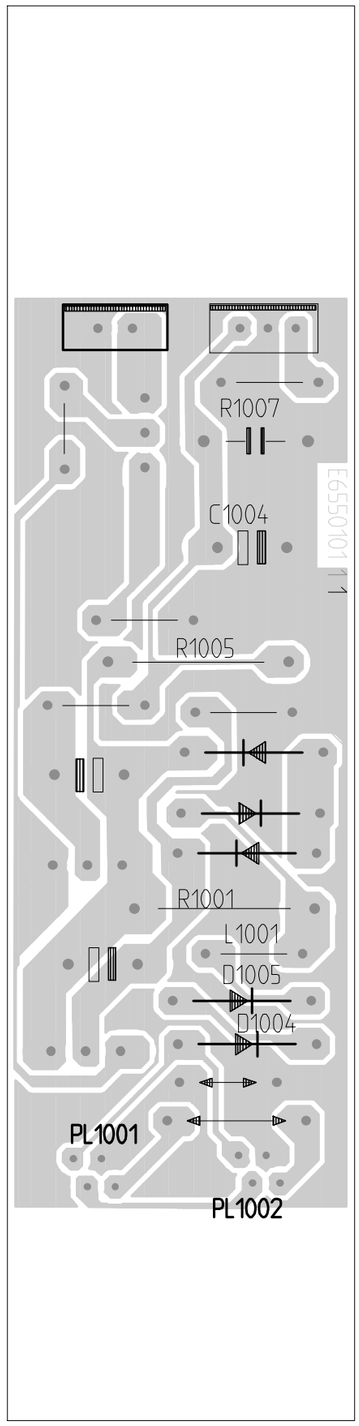
No 00021	9 of 12	TER FRONT END (COMPONENT SIDE)	HITACHI

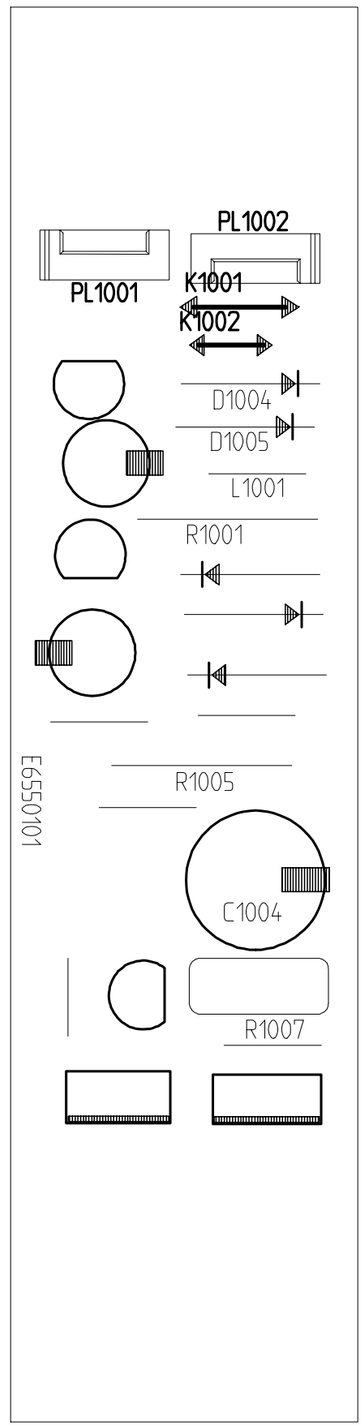
No 00021

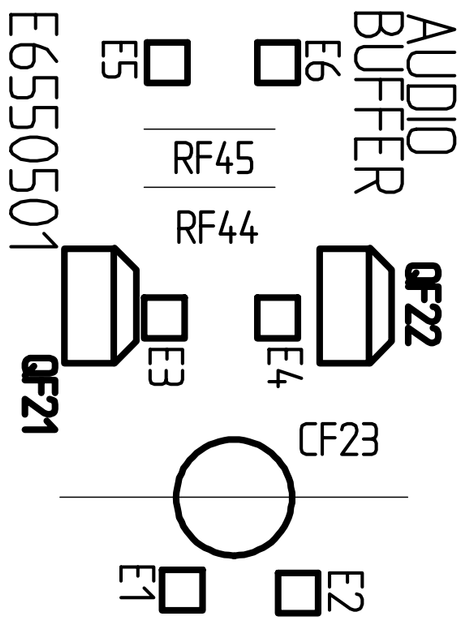
10 of 12

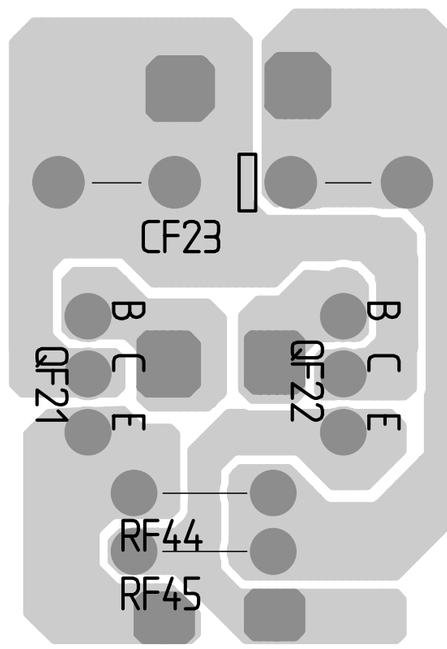
FAN PROTECTION

HITACHI





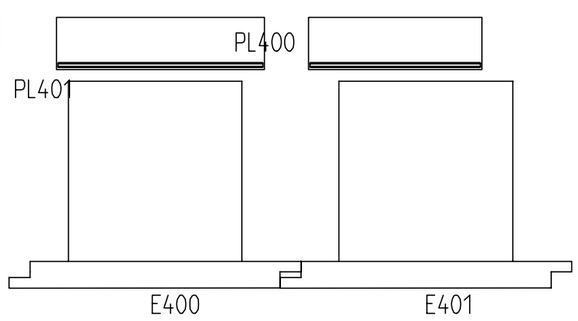




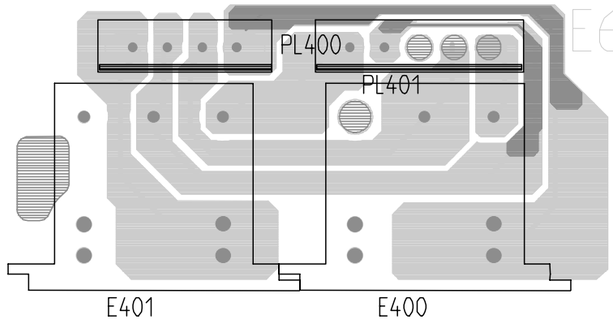
No 00021	11 of 12	AUDIO BUFFER

HITACHI

ISSUE 1-1
A8 DIN SUB



E6549901
1 1



No 00021	12 of 12	DIN SOCKET	HITACHI

HITACHI

Hitachi, Ltd. Tokyo, Japan

International Sales Division
THE HITACHI ATAGO BUILDING,
No. 15 –12 Nishi Shinbashi, 2 – Chome,
Minato – Ku, Tokyo 105-8430, Japan.
Tel: 03 35022111

HITACHI HOME ELECTRONICS (EUROPE) LTD.
Dukes Meadow
Millboard Road
Bourne End
Buckinghamshire
SL8 5XF
UNITED KINGDOM
Tel: 01628 643000
Fax: 01628 643400
Email: consumer-service@hitachi-eu.com

HITACHI HOME ELECTRONICS (HELLAS) S. A.
Faliroy 91
11741
Athens
GREECE
Tel: 01-9242620
Fax: 01-9240789
Email: dimitra.vlachou@hitachi-eu.com

HITACHI SALES EUROPA GmbH.
Am Seesterns 18
40547 Dusseldorf
GERMANY
Tel: 02 11 – 5 29 15 – 0
Fax: 02 11 – 5 29 15 – 190
Email: HSE-DUS.Service@Hitachi-eu.com

HITACHI SALES IBERICA, S. A
Gran Via Carlos III,, 101 - 1
08028 Barcelona
SPAIN
Tel: 093 409 2550
Fax: 093 491 3513
Email: rplan@hitachi-eu-com

HITACHI SALES ITALIANA SPA
Via Gulli n.39
20147 MILAN
ITALY
Tel: 02 38073415
Fax: 02 48786381/2
Email: customerservice.italy@hitachi-eu.com

HITACHI HOME ELECTRONICS (NORDIC) AB
Box 77
S-164 94 KISTA
SWEDEN
Tel: 08 562 711 00
Fax: 08 562 711 11
Email: csgswe@hitachi-eu.com

HITACHI FRANCE S.A.
BP 45, 69671 Bron Cedex
FRANCE
Tel: 04 -72.14.29.70
Fax: 04 -72.14.29.99
Email: conso-hitachi@compuserve.com

HITACHI HOME ELECTRONICS NORWAY
Brugata 14
N-0186
OSLO
NORWAY
Tel: 02205 9060
Fax: 02205 9061
Email csgnor@hitachi-eu.com:

ITEM N.V./S.A. (INTERNATIONAL TRADE FOR ELECTRONIC MATERIAL & MEDIA N.V./S.A)
UCO Tower – Bellevue,
17 – B – 9050 GENT
BELGIUM (for BENELUX)
Tel: 02 9 230 4801
Fax: 02 9 230 9680
Email: hitachi.item@skynet.be

No. 00021
MAY 1999